

3

微系统制造技术

集成电路的集成度遵循着摩尔定律以每 18 个月翻一番的速度增长。目前主流工艺的线宽为 90nm,能够在一个芯片上集成超过 10 亿个晶体管。集成电路的发展得益于以设计和制造为主的多个领域的发展和晶体管平面结构的特点。集成电路由大量结构单一的晶体管和金属互连构成,制造过程多次重复淀积、光刻、刻蚀、表面改性等工艺步骤,这些特点使集成电路具有通用的制造工艺和设计标准,制造、设计和封装相互分离^[1]。尽管集成度不断增加,特征尺寸不断减小,集成电路的制造技术相对已经非常成熟,其难点在于尺度缩小所带来的问题。

MEMS 是随着集成电路制造技术的发展而发展起来的,集成电路制造技术和微加工技术是 MEMS 的基础制造技术。与集成电路只包括平面晶体管和金属互连不同,MEMS 包括大量复杂的三维微结构和可动结构^[2],其制造对材料、设计、工艺、封装、测试和可靠性等方面都提出了更大的挑战。从这个角度讲,MEMS 制造比 IC 制造更加复杂。MEMS 制造的难点在于结构的悬空、可动、高深宽比和多样性,没有一种制造方法可以实现所有的 MEMS 器件,因此目前 MEMS 制造尚没有像 CMOS 那样的通用标准工艺。

微加工技术包括表面微加工技术、体微加工技术和特殊微加工技术等三种。本章在介绍集成电路基本工艺的基础上详细介绍微加工技术、典型微加工技术的应用、典型器件的制造方法,以及微机械结构与 IC 的集成方法。

3.1 集成电路工艺基础

MEMS 制造不仅大量借用了集成电路制造技术,同时 MEMS 中的处理电路部分还需要使用 IC 技术制造。IC 由晶体管和金属连线组成,IC 的制造过程就是制造晶体管并用金属连线将它们连接起来。制造 IC 的过程是通过多次重复薄膜淀积、光刻图形、表面改性(注入、扩散等)以及刻蚀等基本工艺过程实现的^[3~5]。

图 3-1 为双极型三极管的主要制造过程^[6]。(1)在 p 型硅衬底淀积 SiO₂ 薄膜作为注入的阻挡层,使用第一块掩模版光刻,刻蚀 SiO₂ 薄膜,开

出注入窗口,并进行砷注入;(2)注入完毕后去除 SiO_2 ,外延 n 型单晶硅,形成与衬底晶体结构相同的单晶硅层;(3)生长 SiO_2 薄膜作为隔离区注入的阻挡层,使用第二块掩模版光刻并刻蚀 SiO_2 ,开出隔离区注入窗口,进行 p 型注入及扩散,形成相邻晶体管的隔离区;(4)同样的过程,用第三块掩模版,光刻并刻蚀出基区注入窗口,进行 p 型注入形成晶体管的基区;(5)淀积 SiO_2 层作为发射区和集电区注入的阻挡层,用第四块掩模版光刻并刻蚀 SiO_2 层形成发射区和集电区注入窗口,并进行 n^+ 注入形成晶体管的发射区和集电区;(6)淀积 SiO_2 层作为电极连线之间的隔离介质层,光刻并刻蚀 SiO_2 形成基极、发射极和集电极引线窗口;(7)淀积并刻蚀铝,形成晶体管之间的连接,金属化后完成整个过程。图中仅是主要步骤的原理性说明,实际制造过程要复杂得多。另外,不同类型的集成电路(如 CMOS 和双极型)的制造过程差别很大,但是每种类型的制造过程基本相同。

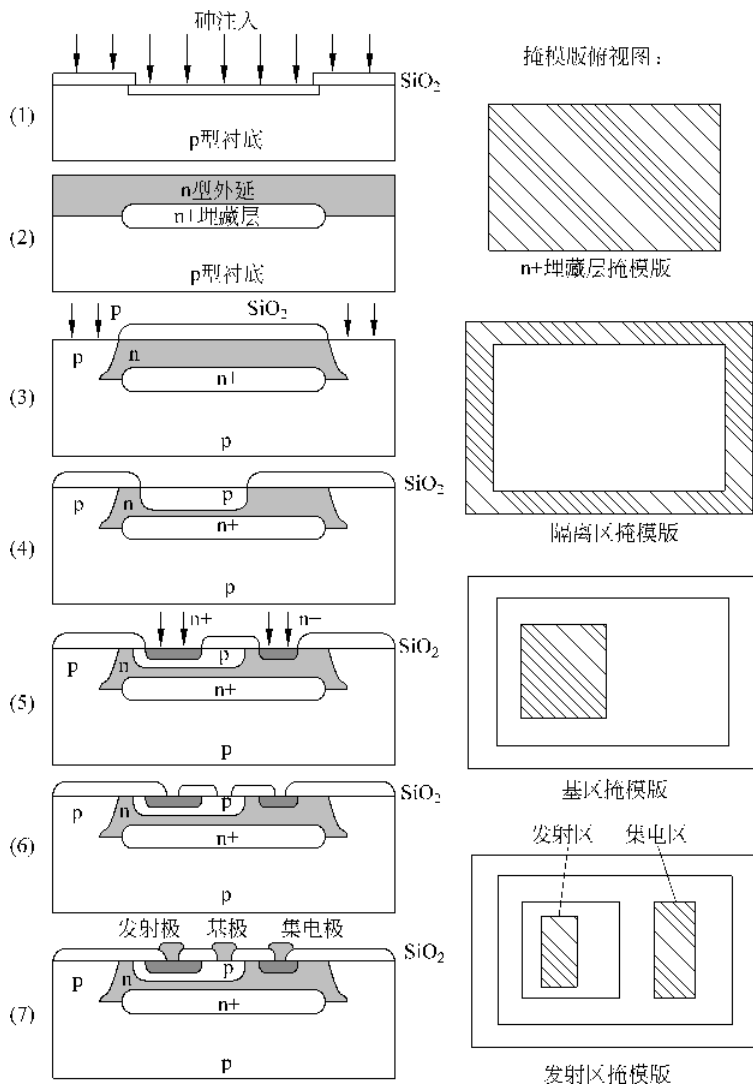


图 3-1 双极型集成电路制造过程示意图

3.1.1 集成电路与 MEMS 的材料

集成电路的主要材料是硅、硅的化合物和金属,例如单晶硅、二氧化硅、氮化硅、多晶硅、铝、铜、钛和钨等,而 SiGe 和 GaAs 等集成电路使用了Ⅲ~Ⅴ族半导体材料。硅的能带、半导体性、成本等因素使其适合集成电路特别是 CMOS 的特点。例如硅具有优秀的电学特性,其电阻率可以从掺杂的 $0.5\Omega \cdot \text{cm}$ (导体)到本征的 $230000\Omega \cdot \text{cm}$ (绝缘体),能够满足大多数电子器件的要求;另外,硅在地球上储量丰富,提纯技术成熟,材料成本相对低廉^[3,4]。

如图 3-2(a)所示,单晶硅具有金刚石的正四面体晶体结构。图中每个圆圈代表一个硅原子,每个原子与相邻的四个原子形成共价键连接。晶面常用密勒指数表示,即晶面与三个坐标轴交点倒数的最小整数倍,例如,图(b)中 ACH 晶面为(111), $ABFE$ 晶面为(010), $BCGF$ 晶面为(100), $ACGE$ 晶面为(110)。晶面族表示一系列位置对等的晶面,如 $ABFE$ 和 $BCGF$ 是 $\{100\}$ 族晶面,同族的晶面具有相同的性质。晶面的法向量定义为晶向,如 DA 为 $[100]$, DF 为 $[111]$, AH 为 $[101]$ 。同样, $\langle 100 \rangle$ 也表示一系列方向相同的晶向。图(c)依次为硅微加工中常用的三个晶面(111)、(100)和(110)的原子分布图。

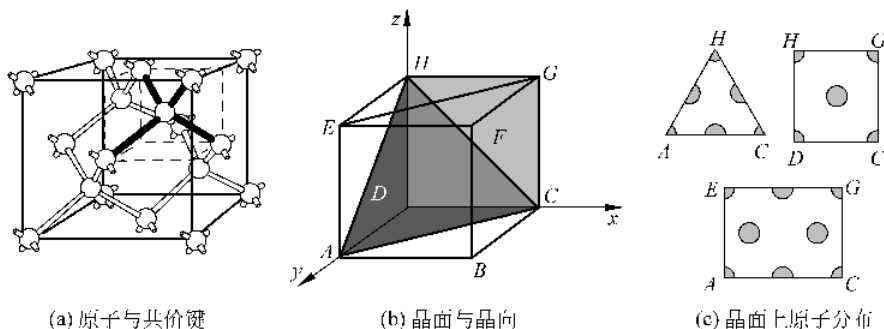


图 3-2 单晶硅的晶体结构示意图

纯净的硅称为本征硅,本征硅是不导电的。硅经过掺杂以后表现出一定的导电特性,成为半导体或者导体。掺杂是在硅中掺入一定浓度的砷(As)、磷(P)或硼(B)原子,这些原子进入硅的晶格以后会取代硅原子的位置,与 4 个相邻最近的硅原子形成共价键。如果掺入砷或磷原子,由于它们本身带有 5 个价电子,而与硅形成共价键只需要 4 个价电子,因此会有一个价电子游离在原子以外,形成可以导电的自由电子。这种由带有负电的电子参加导电的硅称为 n 型硅。同理,当掺杂的是带有 3 个价电子的硼原子时,会在晶格中出现一个可以导电的带正电空穴,这种硅称为 p 型硅。

MEMS 的主要材料也是硅。这是因为 MEMS 起源于集成电路制造技术,同时也因为硅具有一些适合 MEMS 需求的突出优点。硅具有优良的机械性能并能制成多种敏感器件,能够满足微传感器和微结构对测量和材料力学特性的要求。硅近似于理想弹性,其屈服强度是钢的 3 倍,弹性模量与钢相当,而密度仅为钢的 1/3,强度质量比超过了几乎所有常用工程材料,表 3-1 给出了几种常用材料性能的比较。硅具有压阻等敏感效应,对多种物理和化学量有敏感性。硅的加工方法较多,能够制造复杂的结构。另外,MEMS 可以利用 IC 设计和制造中已经积累的丰富知识,并可以与 IC 集成,形成复杂的微系统。

表 3-1 几种材料的性能比较

材料	屈服强度 /GPa	努氏硬度 /kg/mm ²	弹性模量 /GPa	密度 /kg/m ³	热膨胀系数 /(10 ⁻⁶ /°C)
金刚石	53	7000	1035	3500	1.0
碳化硅	21	2480	450	3200	4.2
氮化硅	14	3486	322	3100	0.8
硅	7	850	170(110)	2300	2.8
钢	2.1	660	208	7800	17.3
铝	1.7	130	70	2700	25

多晶硅是 MEMS 特别是表面微加工技术中常用的结构材料。尽管多晶硅具有较大的残余应力,但是多晶硅与单晶硅具有类似的力学性质,并且在制造过程中与二氧化硅刻蚀的选择比很高,适合作为微结构的材料。二氧化硅由于淀积的原因导致力学性质较差,一般只作为牺牲层材料而不作为结构材料使用。氮化硅可以实现较低的残余应力,可以作为结构材料使用。

除了单晶硅外,MEMS 使用的材料多为薄膜材料,而薄膜材料的性质与对应的体材料差别很大,这主要是由薄膜材料与体材料的制造方法不同引起的。在宏观情况下,体材料的缺陷尺寸和密度很低,往往忽略缺陷的存在,而在薄膜材料中,缺陷与薄膜的尺度相比已经不能忽略。体材料通常被假设为均匀的,但是在 MEMS 领域,薄膜材料的均匀性的假设有时会造成相当大的误差。薄膜材料的批与批之间,甚至同一薄膜内的随机因素都会造成材料的分散性,对材料性能产生较大的影响。当器件的尺度缩小到与材料缺陷密度相当的水平时,器件内材料缺陷的数量很低,甚至可以实现零缺陷的器件,这是小尺寸简单器件比大尺寸器件可靠性高的原因。

MEMS 的多样性使 MEMS 的材料已经远远超过了硅,金属(Al、Cu、Au、Pt、Ti、Ni)、玻璃、高分子、塑料、陶瓷(PZT、AlN、ZnO)等多种材料都在 MEMS 领域得到了广泛的应用。这些材料有各自的优点和局限性,可以应用在不同领域。在生物医学领域,出于生物相容性、制造成本等因素的考虑,多用玻璃和塑料作为基底。高分子材料具有柔软易弯曲、透光、耐腐蚀、较好的生物相容性、易于改变性质等优点,特别是制造简单、成本低,在传感器、执行器、BioMEMS 和微流体领域应用广泛,甚至已经超过了硅成为这些领域最主要的材料。常用的高分子材料包括聚甲基丙烯酸甲酯(PMMA)、聚碳酸酯(PC)、SU-8 厚膜光刻胶、聚二甲基硅氧烷(PDMS)以及聚酰亚胺(PI)等。

MEMS 材料的发展大体可分为四个方向:(1)提高现有材料的性能或改进材料的制备与刻蚀技术。如降低多晶硅残余应力、改进碳化硅和金刚石等高温材料的制备工艺。(2)研究 MEMS 尺度下材料的新特点。如薄膜材料的力学性能和电学性与宏观材料不同,并且随着薄膜厚度或制备方式发生变化。(3)新材料在 MEMS 中的应用。随着 MEMS 的不断发展和应用领域的不断拓宽,新材料不断涌现,如生物相容材料、高分子材料、压电材料等。(4)MEMS 与 IC 的集成。主要研究低温低应力多晶硅薄膜的淀积方法,以及 SiGe、GaAs 等平台上的 MEMS 器件制造方法等。

3.1.2 光刻技术

光刻是一种将掩模版的图形转移到衬底表面的图形复制技术,即利用光源选择性照射光

刻胶层使其化学性质发生改变,然后显影去除相应的光刻胶得到相应图形的过程。光刻得到的图形一般作为后续工艺的掩膜,进一步对光刻暴露的位置进行选择性的刻蚀、注入或者沉积等。

1. 光刻的基本过程

光刻胶是实现光刻图形转移的材料。光刻胶也叫光致刻蚀剂,是由高分子聚合物、增感剂、溶剂以及其他添加剂组成的混合物,在一定波长的光照射下高分子聚合物的结构会发生改变。光刻胶分为正胶和负胶,正胶经过光照的区域高分子材料发生裂解,在显影液中溶解,而未照射的区域保留;负胶经过光照的区域发生交联,在显影液中不溶解,未照射区域溶解。因此正胶曝光显影后得到的图形与掩模版上不透光的图形相同,而负胶曝光显影后的图形与掩模版上不透光的图形相反,即同样的掩模版,用正胶和负胶得到的光刻图形刚好相反(互补),如图 3-3 所示。负胶感光速度快、粘附性好、抗蚀能力强,成本低,但分辨率较低;正胶分辨率高,但是粘附性差,成本高。

光刻胶一般通过旋转匀胶的方式涂覆到硅衬底表面,即在高速旋转的硅片上滴入光刻胶,利用离心力将光刻胶涂覆均匀。光刻胶厚度 t 与硅片旋转角速度 ω 的关系为

$$t = KS \left(\frac{\nu}{\omega^2 R^2} \right)^{1/3} \quad (3-1)$$

其中 K 是常数, S 是固体在光刻胶中的比例, ν 是光刻胶的粘度, R 是硅片半径。

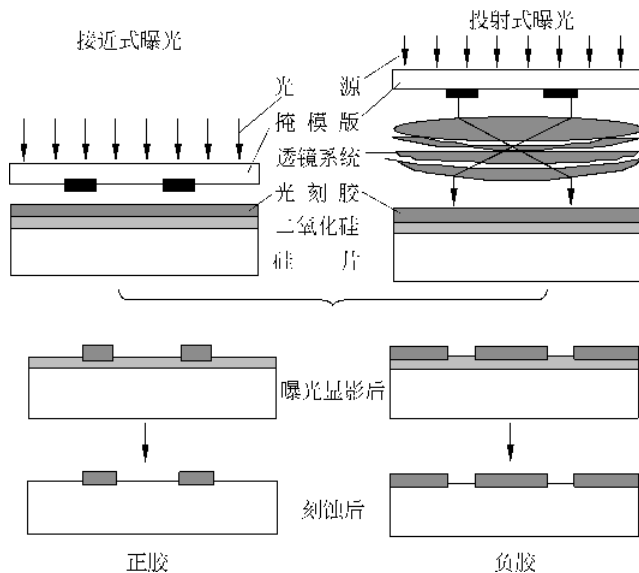


图 3-3 光刻原理示意图

光刻胶的显影液根据胶的极性不同而不同。正胶通常用碱金属水溶液,如 NaOH 、 NH_4OH 、 TMAH 作为显影液;负胶使用有机溶剂作为显影液,如二甲苯等。去除光刻胶时,氧化层上的正胶使用硫酸:双氧水=3:1 的溶液去除,金属上的正胶使用有机溶剂如丙酮去除。氧化层上的负胶也采用硫酸:双氧水=3:1 溶液去除,而金属上的负胶采用氯化物溶剂去除。作为注入或刻蚀掩膜(阻挡层)的光刻胶层,由于注入的能量改变了部分光刻胶的性质,溶液难以去除干净,一般采用氧等离子体去除变性的光刻胶。

光刻的主要步骤包括：(1)匀胶。硅片真空吸附在离心式匀胶机上高速旋转，把滴在硅片表面的光刻胶涂覆均匀。(2)前烘。加热蒸发光刻胶部分溶剂，使光刻胶层初步固化。(3)对准和曝光。将掩模版与硅片对准标记进行套准，对光刻胶曝光使部分区域发生结构改变，转移需要的图形。(4)显影。把硅片放在显影液中溶解去除光照(正胶)或者非光照(负胶)的部分。(5)后烘。加热硅片使光刻胶中的溶剂进一步蒸发使光刻胶更加稳定，提高掩模效果。光刻以前一般还要对硅片进行粘附性处理，让硅片暴露在六甲基二硅胺烷(HMDS)蒸气中，增加光刻胶与硅片的粘附强度。

曝光可分为投影式曝光和投射式曝光。投影式曝光是将掩模版图形按照原尺寸直接曝光到光刻胶层，分为接触式和接近式，如图 3-4 所示。接触式曝光是在掩模版上作用一定的压力使其接触到光刻胶层，接近式是使掩模版与光刻胶层有一个微小的距离。根据衍射原理，投影式曝光的最小理论线宽为

$$b_{\min} = \frac{3}{2} \sqrt{\lambda(s+z/2)} \quad (3-2)$$

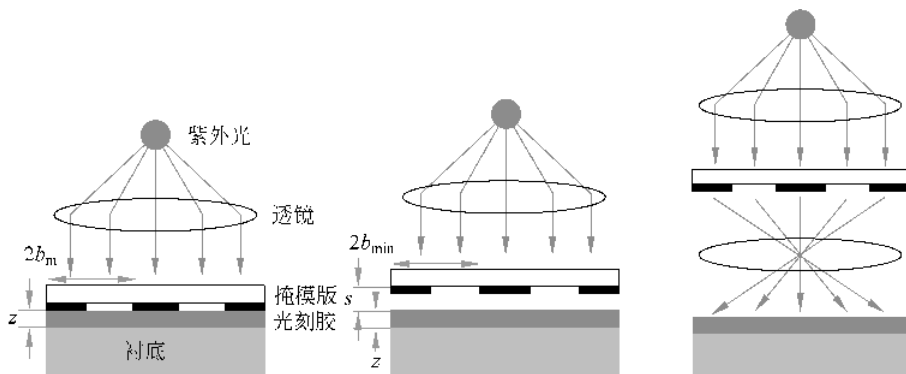


图 3-4 接触式曝光、接近式曝光和投射式曝光

其中 $b_{\min}$ 是曝光能够实现的最小线宽， s 是掩模版与光刻胶层的距离， λ 是光的波长， z 是光刻胶层厚度。可见为了减小最小线宽，应该尽量减小掩模版与光刻胶之间的距离、光源波长和光刻胶厚度。光刻胶厚度对分辨率有很大影响，厚度越厚，分辨率越低。负胶的最大厚度一般不超过最小线宽的一半，正胶的最大厚度可以达到最小线宽。接触式曝光的 $s=0$ ，其好处是减小了最小线宽，但是由于光刻胶与掩模版直接接触，会造成掩模版损伤和污染；接近式曝光的 $s \neq 0$ ，没有损伤和污染的问题，但是分辨率下降。

为了提高分辨率，目前 IC 制造广泛使用投射式步进重复曝光系统，利用光学透镜系统把掩模版上的图形按照一定比例投影缩小至 $1/5$ 或者 $1/10$ 投射到光刻胶层上对一个单元(1~2cm，一般是一个芯片)曝光，然后硅片移动到下一个曝光位置，重复该过程对整个硅片进行步进式曝光。投射式曝光的最小理论线宽为

$$b_{\min} = \frac{k_1}{2} \frac{\lambda}{NA} \quad (3-3)$$

其中 k_1 为常数， NA 为数值孔径， $NA = n \sin \theta_{\max}$ 。根据图 3-5 的几何关系，有

$$\frac{NA}{n} = \frac{D/2}{\sqrt{(D/2)^2 + f^2}}, \quad F = \frac{1}{2NA} = (1+M)f, \quad DOF = k_2 \frac{\lambda}{NA^2} \quad (3-4)$$

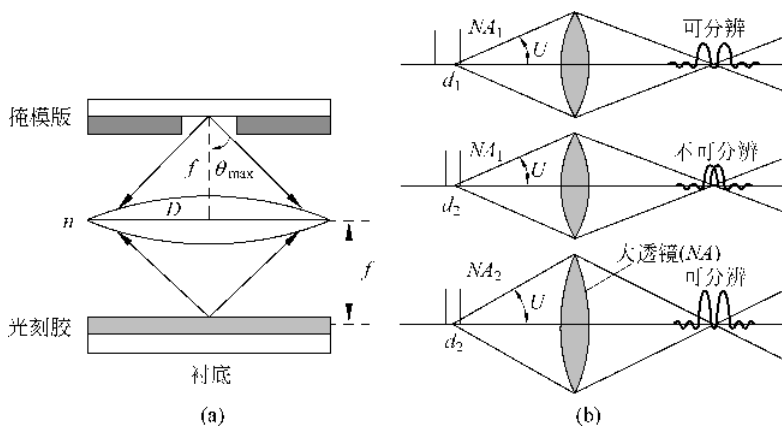


图 3-5 投射式曝光的几何关系和分辨率示意图

其中 k_2 为常数； n 为折射率，空气为 1； M 为放大倍数； f 为焦距； F 为光圈数； DOF 为聚焦深度； D 为透镜直径。影响投射式曝光最小线宽的因素很多，因此采用准分子激光源以减小 λ ，采用浸入式结构以增加 n 等方法都被广泛采用。与投影式曝光相比，投射式曝光在保持掩模版与光刻胶层距离的同时可以实现更高的分辨率。

接近式和接触式曝光用光学系统将图形以 1 : 1 投射到硅片上，需要掩模版的尺寸与硅片相同，掩模版上的图形尺寸和位置也必须与实际情况完全一样，这使掩模版的制造非常困难。而对于投射式曝光，例如 10 倍步进曝光机，芯片上 $0.3\mu\text{m}$ 的图形对应掩模版的图形为 $3\mu\text{m}$ ，降低了对掩模版制造的要求。另外，套准是对每个芯片单独进行的，由于芯片尺寸远小于硅片尺寸，因此大大降低了对套准精度的要求。步进重复曝光机的缺点是设备昂贵，并且对于尺寸超过 2cm 的 MEMS 结构无法使用。

光刻掩模版是覆盖有光刻胶和铬薄膜的石英板，制造掩模版可以使用光学图形发生器或者电子束光刻机。光学图形发生器带有可以开闭的光闸，计算机根据图形文件的内容，控制光闸对光刻胶的某一微小矩形区域曝光，然后掩模版移动到下一个需要曝光的位置，光闸重复曝光过程，直到整个掩模版上需要曝光的位置全部完成。显影后去除剩余的光刻胶和暴露的铬薄膜，就形成了由透明（石英板）和不透明（覆盖有铬）区域组成的图形。光学图形发生器的优点是制版速度快，但是对于复杂曲线需要多次使用矩形来近似，导致图形边缘类似锯齿。电子束曝光是用电子束照射掩模版上覆盖的光刻胶层，使高分子聚合物光刻胶裂解，在计算机的控制下边扫描掩模版一边开闭电子枪对掩模版进行照射，然后刻蚀暴露的铬，清洗光刻胶。掩模版上常用的光刻胶层是聚甲基异丁烯酸酯，它类似于正光刻胶，即受到电子束照射的部分经过显影后被去除。由于电子束直径很小，电子束制版不受图形复杂程度的限制，但是制版速度较慢。

步进式光刻机是集精密光学、精密机械、自动控制于一体的超精密光机电系统。目前世界上只有荷兰的 ASML，日本的 Nikon 和 Canon 等少数几家公司能够生产，价格极其昂贵。投射式光刻机常用的光源是汞灯产生的波长为 $200\sim 450\text{nm}$ 的紫外光，包括 436nm (G-line)、 405nm (H-line) 和 365nm (I-line) 等几种。紫外光波长较短，能够获得较高的分辨率。为了进一步提高分辨率，光源还采用比紫外光波长更短的准分子激光束。波长为 248nm 的 KrF 和

193nm 的 ArF 准分子激光束可以分别实现 $0.25\mu\text{m}$ 和 $0.18\mu\text{m}$ 的特征线宽。通过采用浸入式结构增加折射率,可以用于 110nm、90nm 和 65nm 的工艺。采用 157nm 的远紫外准分子激光束,分辨率可以达到 45nm。

从集成电路制造的角度,传统光刻技术需要不断提高分辨率,直到特征尺寸达到衍射决定的物理极限为止;或者开发波长更短的光源,例如 EUV、X 射线、电子束、聚焦离子束,以及接触式探针等光刻技术,如表 3-2 所示。尽管这些技术可以实现最小达到几纳米的特征尺寸,但是用这些方法实现低成本、适合大批量生产的光刻设备,还有相当长的路要走。

表 3-2 光刻机光源

光刻方法	波束源	曝光方法	波 长	主 要 特 点
X 射线	X 射线	掩模	$0.01\sim 5\text{nm}$	无衍射,分辨率高,设备复杂,可整个硅片同时曝光
电子束	$10\sim 100\text{keV}$ 电子束	扫描	100keV 时为 3.7pm	分辨率高,设备昂贵,产量低,电子散射
离子束	聚焦离子束	扫描		散射衍射小,分辨率高,离子源复杂,产量低
准分子激光	激光	投影	$157\sim 248\text{nm}$	分辨率低,光学衍射,产量高
极短紫外光	紫外光	投影	13.5nm	分辨率高,吸收强,反射式光学系统,产量高

2. MEMS 光刻

MEMS 结构的特征尺寸一般在 $1\mu\text{m}$ 以上,可以使用接近式和接触式曝光机。由于 MEMS 包含三维结构,因此 MEMS 光刻经常涉及到台阶光刻、厚胶光刻,以及双面光刻等 IC 制造中所没有用到的技术。在光刻胶涂覆方面,MEMS 需要解决起伏表面(即带有台阶)的均匀覆盖、厚胶涂覆、与衬底的牢固粘附,以及承受刻蚀环境的腐蚀等问题;在成像方面,MEMS 需要进行台阶和深槽结构底部的曝光、双面曝光,以及厚胶曝光等。

光刻胶的涂覆质量直接决定着光刻质量,MEMS 结构有时需要在深槽底部或者台阶进行光刻,对于起伏较大的台阶,光刻胶的均匀覆盖是比较困难的。不均匀的光刻胶涂覆会降低光刻质量,使线宽增加;同时,光刻胶的均匀性也对能否抵抗腐蚀环境起关键作用。由于离心式甩胶造成深槽底部与侧壁相接处光刻胶淤积,而远离旋转中心的表面与侧壁的交界又没有光刻胶^[7]。由于图形起伏的原因,相邻图形结构会产生相互干扰,导致涂胶的台阶覆盖情况与位置和相邻结构有关^[8]。采用特殊的涂胶方法,如喷涂或电镀光刻胶^[9,10],可以解决台阶和深槽涂胶的问题。

MEMS 制造中有时使用厚度达几十微米至几百微米,甚至毫米厚度的厚胶,例如在电镀和 LIGA 中。普通光刻胶单次旋涂的厚度一般在 $1\mu\text{m}$ 左右,由于粘度、平整度和牢固度的限制,即使多次旋涂也难以实现大厚度。厚胶需要特殊的光刻胶,例如 AZ4620 或者 SU-8 等,这类光刻胶粘度较大、增加了特殊的添加剂,单次旋涂可以达到 $50\mu\text{m}$ 以上的厚度。

在成像方面,尽管 MEMS 结构的特征线宽远大于目前 IC 的特征线宽,但在带有台阶或深槽的衬底上曝光成像却存在一些困难。对台阶和深槽曝光时,掩模版与光刻胶层距离增加,根据 3.2 节可知如果使用接触式或者接近式曝光,衍射导致分辨率下降。如果需要对深槽表面和底部同时曝光,由于光刻机聚焦深度的限制,造成曝光图形失真。另外,当深槽倾斜侧壁非常光滑时,不能保证光刻胶对侧壁的覆盖完整性,可能会使入射光被多次反射,导致光刻胶层

被不同方向的反射光多次曝光,形成“鬼影”,严重影响光刻效果。

随着光刻胶厚度的增加,厚胶光刻需要的曝光剂量也更大。当光刻胶厚度增加到一定程度后,由于已经曝光的厚度层的影响,仅仅通过增加剂量(受光刻机功率的限制)和曝光时间不能将整个厚度上的光刻胶完全曝光。因此,需要采用 UV 紫外光或 X 射线等合适的光源,以增加光线的穿透力。对于厚胶,当光线通过已经曝光交联的光刻胶层时产生折射和散射,使厚胶光刻失真严重,特别对光刻胶层的侧壁陡直度产生很大的影响。采用聚焦深度递进的方法对厚胶进行曝光^[11]可以减小失真,其基本原理是通过一连串的快门控制总体曝光剂量,使不同的图形光强曝光在不同的焦深。这种方法能够控制曝光图形的侧壁形状。

MEMS 经常要在硅片的正、反面都制造微结构,这需要保证正、反面结构之间的相对位置关系,即把反面的图形与正面图形对准。实现正反面对准的技术称为双面光刻,目前商业双面光刻机采用两种方法,分别是德国 Suss 微系统公司的照相存储和荷兰 ASML 公司的激光实时对准。图 3-6 是 Suss 公司发明的照相双面光刻的原理^[12]。首先将光刻掩模版装入光刻机,用显微镜和照相机将掩模版上的对准标记照相存储并显示到显示屏上,锁定掩模版与显微镜的相对位置,如图(a)所示;然后将硅片插入掩模版与显微镜之间,用显微镜将硅片表面的对准标记也显示到屏幕上,如图(b)所示;由于掩模版的位置是固定的,通过平移和旋转硅片,可将掩模版的对准标记与硅片表面的标记套准,如图(c)所示。这种方法的双面对准精度为 $1\sim 2\mu\text{m}$ 。

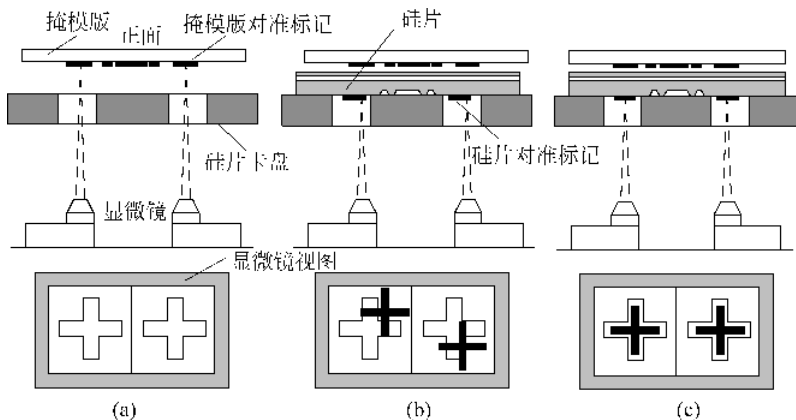


图 3-6 Suss 照相双面光刻对准原理

ASML 开发的三维对准技术,在硅片的卡盘上嵌入两组由透镜组组成的光学模块,用来反射对准激光束,通过激光系统将硅片一面已有的对准标记与掩模版的对准标记套准,对硅片的另一面曝光^[13]。首先对准硅片正面的对准标记并曝光正面,如图 3-7(a)所示;然后翻转硅片使正面朝下,背面朝上,如图(b)所示;利用卡盘上的光学模块反射对准激光束,将其投射到硅片边缘以外的聚焦平面上,由此确定正面对准标记的位置,如图(c)所示;根据该位置确定背面曝光位置,移动曝光系统对背面进行曝光,如图(d)所示。这种方法依靠复杂的精密光学和机械系统实现双面对准,其套准误差小于 $0.5\mu\text{m}$;并且在硅衬底背面仅用两个对准标记即可,光刻速度快,适合于大批量生产。另外,该系统不仅可以用于 MEMS,还可以用于实现 CMP 对准标记、背面与背面对准、消除或减小厚外延层漂移以及粒状金属引起的噪声等。

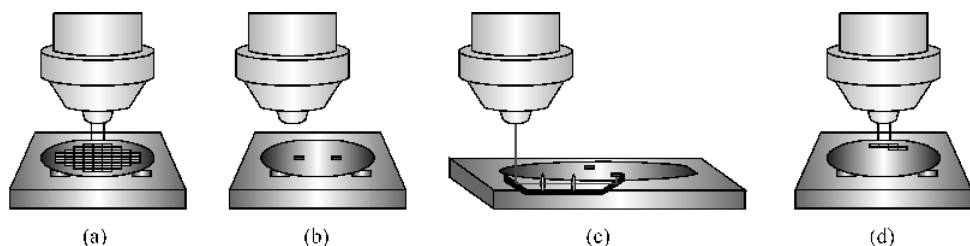


图 3-7 ASML 双面光刻三维激光对准原理

3.1.3 薄膜淀积

薄膜淀积通过化学或者物理方法把厚度为几纳米到几微米的薄膜沉积在衬底表面,是 IC 和 MEMS 制造中非常重要的工艺之一。化学方法包括化学气相沉积、外延、热氧化等,这些方法利用气体之间或者气体与衬底材料之间的化学反应沉积固体薄膜,通常有副产物产生;物理方法包括蒸镀和溅射,是利用物理过程使被淀积材料直接沉积到衬底表面形成薄膜,沉积过程不包含化学反应。

1. 化学气相沉积

化学气相沉积(CVD)是高温化学反应过程,把反应气体通入放有硅片的真空室内,在高温和一定压力下使气体之间或者气体与硅衬底之间产生化学反应,把固态产物沉积在衬底表面。CVD 可以淀积多种材料,如多晶硅、二氧化硅、氮化硅、铜、钨、钛等,可以得到比较好的台阶覆盖性和均匀性。CVD 淀积薄膜的性质变化较大,这与所采用的化学反应有直接关系,同时也与衬底温度、气体流量、纯度、气体流量均匀性、反应室形状、温度以及压力等多种因素有关。

按照反应室的压力可以将 CVD 分成常压(APCVD)、低压(LPCVD)和等离子体增强(PECVD)。图 3-8 所示为 LPCVD 所使用的热壁管式炉结构示意图。APCVD 和 LPCVD 得到的薄膜层质量较好,缺点是淀积速度低和淀积温度高,一般在 600°C 以上。PECVD 主要用来淀积 Si_3N_4 和 SiO_2 ,可以在较低的温度(小于 300°C)下进行,这主要是由于等离子体提供分子反应能量。PECVD 薄膜质量不如其他 CVD 好,一次只能对硅片的单面进行淀积,而 LPCVD 可以同时淀积硅片的双面。

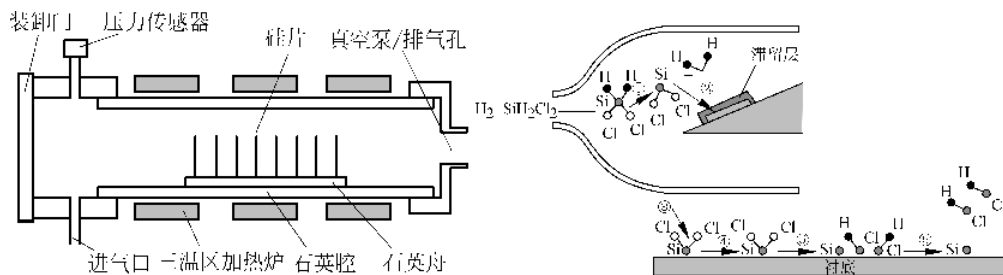
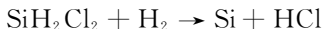


图 3-8 典型热壁 LPCVD 反应炉和 CVD 反应过程原理

(1) 多晶硅薄膜。多晶硅在 IC 中作为栅电极、电阻等,在 MEMS 中一般作为结构层材料。多晶硅局部晶胞内表现为单晶硅,但无数晶胞杂乱无章,总体表现为各向同性的非晶性质。多晶硅的淀积方法包括: LPCVD 热解硅烷 SiH_4 生成硅和氢气,在硅衬底表面沉积形成多晶硅薄膜,或者用 SiH_2Cl_2 和氢气反应。它们的反应原理分别为



LPCVD 淀积硅的结果随温度不同而不同。在 575°C 以下,淀积得到无定形(非晶)硅, 625°C 以上为柱状晶粒结构的多晶硅, 700°C 以上可以将局部结构变为单晶。淀积速度随着温度升高而增加, 625°C 时为 $10\text{nm}/\text{min}$ 左右, 700°C 时为 $70\text{nm}/\text{min}$ 。CVD 多晶硅淀积厚度从几十纳米到十几微米,一般与衬底结构共形的能力很好,可以得到满意的台阶覆盖性,类似图 3-9(a)的情况。PECVD 也可以淀积无定形结构的非晶硅,利用 PECVD 硅烷分解只能淀积无定形硅。

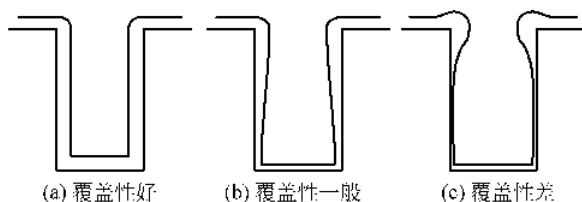


图 3-9 台阶覆盖(共形)示意图

淀积后的多晶硅可以进行氧化和掺杂,在淀积多晶硅的同时也可以进行原位掺杂。淀积时通入带有掺杂源物质的气体,例如砷化氢(AsH_3)和磷化氢(PH_3)可以分别提供 n 型掺杂的砷和磷,乙硼烷(B_2H_6)可以提供 p 型掺杂的硼。 AsH_3 和 PH_3 会降低多晶硅的淀积速度, B_2H_6 会增加淀积速度。

非掺杂多晶硅和掺杂多晶硅薄膜的应力都很大,超过 500MPa ,会使多晶硅 MEMS 结构在释放悬空后发生卷曲。多晶硅的应力较为复杂,在 600°C 以下淀积时应力为拉应力,在 600°C 以上时为压应力。为了减小应力,可以在 900°C 或者更高温度下退火,能够将应力降低到 50MPa 左右的水平。

(2) 二氧化硅薄膜。二氧化硅 SiO_2 是一种在 IC 和 MEMS 中都非常重要的薄膜材料,具有优异的绝缘性能和隔离性能,在 IC 中通常作为绝缘层或钝化层使用,在 MEMS 中是表面微加工技术中最重要的牺牲层材料。二氧化硅薄膜在淀积和退火过程中产生较大的残余应力。二氧化硅的淀积方法有多种,如表 3-3 所示,其中 CVD 是淀积 SiO_2 的常用方法,特别是金属层之间的绝缘和表面微加工中的牺牲层,但是 CVD 淀积的 SiO_2 薄膜的电学特性不如热生长的好,并表现出压应力。淀积 SiO_2 常用的方法包括: ①在 APCVD 或 LPCVD 中用硅烷 SiH_4 和氧气在 500°C 以下反应。②用 LPCVD 在 $650\sim 750^\circ\text{C}$ 热解四乙氧基硅烷 $\text{Si}(\text{OC}_2\text{H}_5)_4$ (称为 TEOS)。这种方法具有很好的均匀性和台阶覆盖性,但是温度比较高,不能在金属化铝后使用。③在 PECVD 中使用硅烷和一氧化二氮在氩气等离子体下反应,并且可以通过通入 PH_3 和 B_2H_6 实现磷和硼的掺杂。其反应原理分别为

