

第一部分

习题解答

第 1 章 概 述

1.1 微处理器、微型计算机和微型计算机系统三者之间有什么不同？

【解】 把 CPU(运算器和控制器)用大规模集成电路技术做在一个芯片上,即为微处理器。微处理器加上一定数量的存储器和外部设备(或外部设备的接口)构成了微型计算机。微型计算机与管理、维护计算机硬件以及支持应用的软件相结合就形成了微型计算机系统。

1.2 CPU 在内部结构上由哪几部分组成？CPU 应该具备哪些主要功能？

【解】 CPU 主要由起运算器作用的算术逻辑单元、起控制器作用的指令寄存器、指令译码器、可编程逻辑阵列和标志寄存器等一些寄存器组成。CPU 主要功能是进行算术和逻辑运算,以及控制计算机按照程序的规定自动运行。

1.3 微型计算机采用总线结构有什么优点？

【解】 采用总线结构,扩大了数据传送的灵活性、减少了连线;而且总线可以标准化,易于兼容和工业化生产。

1.4 数据总线和地址总线在结构上有什么不同之处？如果一个系统的数据和地址合用一组总线或者合用部分总线,那么要靠什么来区分地址和数据？

【解】 数据总线是双向的(数据既可以读也可以写),而地址总线是单向的。8086 CPU 为了减少芯片的引脚数量,采用数据与地址线复用,既作为数据总线也作为地址总线。它们主要靠信号的时序来区分。通常在读写数据时,总是先输出地址(指定要读或写数据的单元),过一段时间再读或写数据。

1.5 控制总线传输的信号主要有哪几种？

【解】 控制总线主要传输的是区分读或写存储器还是外部设备、读还是写以及外界输入的 READY 和 INT 等信号。

1.6 在以下 6 个题中所用的模型机的指令系统如表 1-1 所示。

表 1-1 模型机指令系统

指令种类	助 记 符	机器码	功 能
数据传送	LD A,n	3E n	n→A
	LD H,n	26 n	n→H
	LD A,H	7C	H→A
	LD H,A	67	A→H
	LD A,(n)	3A n	以 n 为地址,把该单元的内容送 A,即(n)→A
	LD (n),A	32 n	把 A 的内容送至以 n 为地址的单元,A→(n)
	LD A,(H)	7E	以 H 的内容为地址,把该单元的内容送 A,(H)→A
	LD (H),A	77	把 A 的内容送至以 H 的内容为地址的单元,A→(H)

指令种类	助记符	机器码	功 能
加 法	ADD A,n	C6 n	$A+n \rightarrow A$
	ADD A,H	84	$A+H \rightarrow A$
	ADD A,(H)	86	A 与以 H 为地址的单元的内容相加, $A+(H) \rightarrow A$
减 法	SUB n	D6 n	$A-n \rightarrow A$
	SUB H	94	$A-H \rightarrow A$
	SUB (H)	96	$A-(H) \rightarrow A$
逻辑与	AND A	A7	$A \wedge A \rightarrow A$
	AND H	A4	$A \wedge H \rightarrow A$
逻辑或	OR A	B7	$A \vee A \rightarrow A$
	OR H	B4	$A \vee H \rightarrow A$
异 或	XOR A	AF	$A \oplus A \rightarrow A$
	XOR H	AC	$A \oplus H \rightarrow A$
增 量	INC A	3C	$A+1 \rightarrow A$
	INC H	24	$H+1 \rightarrow H$
减 量	DEC A	3D	$A-1 \rightarrow A$
	DEC H	25	$H-1 \rightarrow H$
无条件转移	JP n	C3 n	$n \rightarrow PC$
	JP Z,n	CA n	$Z=1, n \rightarrow PC$
	JP NZ,n	C2 n	$Z=0, n \rightarrow PC$
	JP C,n	DA n	$C_y=1, n \rightarrow PC$
	JP NC,n	D2 n	$C_y=0, n \rightarrow PC$
	JP M,n	FA n	$S=1, n \rightarrow PC$
	JP P,n	F2 n	$S=0, n \rightarrow PC$
停机指令	HALT	76	停机

在给定的模型机中,若有以下程序,分析在程序运行后累加器 A 中的值为多大。若此程序放在以 10H 为起始地址的存储区内,画出此程序在内存中的存储图。

```
LD      A,20H
ADD     A,15H
LD      A,30H
ADD     A,36H
ADD     A,1FH
HALT
```

【解】 程序在存储器中存放示意图如图 1-1 所示。

这段程序运行完后累加器 A 中的值为
 $A=30H+36H+1FH=85H$ 。

1.7 条件和要求同题 1.6,程序如下：

```
LD      A,50H
SUB     30H
LD      A,10H
ADD     A,36H
SUB     1FH
HALT
```

分析程序运行后累加器中的值是多少，并且画出该程序在内存中的存储图。

【解】 程序在存储器中存放示意图如图 1-2 所示。

地址	内容	指令
10H	3E	LD A,20H
11H	20	
12H	C6	ADD A,15H
13H	15	
14H	3E	LD A,30H
15H	30	
16H	C6	ADD A,36H
17H	36	
18H	C6	ADD A,1FH
19H	1F	
1AH	76	HALT

图 1-1 题 1.6 程序在存储器中存放示意图

地址	内容	指令
10H	3E	LD A,50H
11H	50	
12H	D6	SUB A,30H
13H	30	
14H	3E	LD A,10H
15H	10	
16H	C6	ADD A,36H
17H	36	
18H	D6	SUB A,1FH
19H	1F	
1AH	76	HALT

图 1-2 题 1.7 程序在存储器中存放示意图

这段程序运行完以后,累加器 A 中的值为 $A=10H+36H-1FH=27H$ 。

1.8 在给定的模型机中,写出用累加的办法实现 15×15 的程序。

【解】

```
LD      A,0
LD      H,15
LOOP:  ADD A,15
DEC     H
JP      NZ,LOOP
HALT
```

1.9 在给定的模型机中,写出用累加的办法实现 20×20 的程序。

【解】 模型机的寄存器是 8 位,其能表示的最大值为 256,而 $20\times20=400$ 超出了

模型机中所能表示的最大值。故此题在模型机中无法做,需要用 8086 CPU 中的寄存器才能实现。

1. 10 在模型机中,用重复相减的办法实现除法的程序如下:

```
LD      A,(M2)      ;M2 为存放除数的存储单元
LD      H,A
XOR     A
LOOP:   LD      (M3),A  ;M3 为存放商的存储单元
LD      A,(M1)      ;M1 为存放被除数(或余数)的存储单元
SUB     H
JP      C,DONE
LD      (M1),A
LD      A,(M3)
INC     A
JP      LOOP
DONE:   MALT
```

若此程序放在以 20H 开始的存储区,画出它的存储图。

【解】 程序在存储器中的存储图如图 1-3 所示。

地址	内容	指令
20H	3A	LD A,(M2)
21H	M2	
22H	67	LD H,A
23H	AF	XOR A
24H	32	LD (M3),A
25H	M3	
26H	3A	LD A,(M1)
27H	M1	
28H	94	SUB H
29H	DA	JP C,DONE
2AH	32	
2BH	76	LD (M1),A
2CH	M1	
2DH	3A	LD A,(M3)
2EH	M3	
2FH	3C	INC A
30H	C3	JP LOOP
31H	24	
32H	76	HALT

图 1-3 题 1. 10 程序在存储器中存放示意图

1.11 在模型机中,把二进制数转换为 BCD 码的程序流程图如图 1-4 所示。

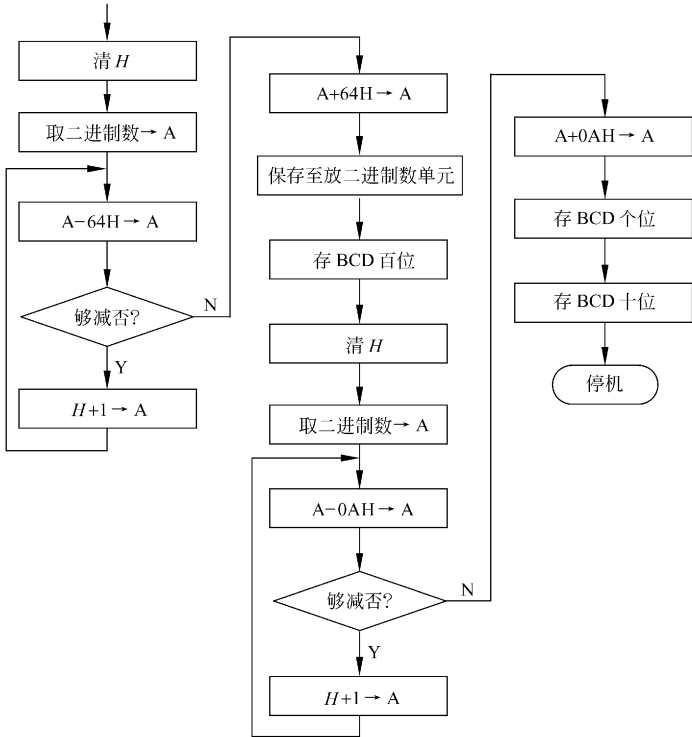


图 1-4 题 1.11 程序流程图

编写出相应的程序。

【解】

	LD	H,0	;计数值 H 清零
	LD	A,(Binary)	;把待转换的二进制数→A
S1:	SUB	A,64H	;待转换的二进制数－100
	JP	M,S2	;结果小于 0,转 S2
	INC	H	;计数值加 1
	JP	S1	
S2:	ADD	A,64H	;恢复剩余的二进制数
	LD	(Binary),A	;保存剩余的二进制数
	LD	(BCD3),H	;保存百位 BCD 码
	LD	H,0	;计数值 H 清零
	LD	A,(Binary)	;剩余的二进制数→A
S3:	SUB	A,0AH	;剩余的二进制数－10
	JP	M,S4	;结果小于 0,转 S4
	INC	H	;计数值加 1

	JP	S3	
S4:	ADD	A,0AH	;恢复剩余的二进制数
	LD	(BCD1),A	;保存个位 BCD 码
	LD	(BCD2),H	;保存十位 BCD 码
	HALT		

第 2 章 80x86 系列结构微处理器与 8086

2.1 IA-32 结构微处理器直至 Pentium 4, 有哪几种?

【解】 80386、80486、Pentium、Pentium Pro、Pentium II、Pentium III、Pentium 4。

2.2 80386 CPU 与 8086 CPU 在功能上有哪些主要区别?

【解】 从 8086 CPU 到 80386 CPU, 处理器的功能有了质的飞跃。主要体现在以下几点。

(1) 从 16 位寄存器发展为 32 位寄存器。

(2) 地址寄存器也发展为 32 位。可寻址的地址范围达到 4GB, 有了巨大的扩展。

(3) 增加了保护方式。使处理器有了两种工作方式: 实地址方式和保护虚地址方式。实地址方式用于与 8086 兼容; 保护方式才是 32 位处理器能真正发挥其完整功能的工作方式。

(4) 引入了多任务、任务切换的概念。

(5) 引入了四级特权机制, 引入了调用门、陷入门、中断门, 使程序能在不同特权之间切换。

(6) 引入了存储管理单元(MMU), 使采用 80386 的操作系统能方便地实现请页(每页为 4KB)虚拟存储器管理。

(7) 增加了新指令(主要是保护方式的指令)。

2.3 从功能上, 80486 CPU 与 80386 CPU 有哪些主要区别?

【解】 80486 CPU 从功能上来说是 80386 CPU + 80387 FPU + 片上缓存。

2.4 处理器 Pentium 相对于 80486 在功能上有什么扩展?

【解】 Pentium 增加了第二条流水线, 实现每个时钟执行两条指令; 片上的一级缓存容量加倍; 寄存器仍是 32 位, 但内部数据通路是 128 位和 256 位, 以加速内部数据传送, 且猝发的外部数据总线已经增加至 64 位; 增加了高级的可编程中断控制器(advanced programmable interrupt controller, APIC), 以支持多 Pentium 处理器系统。

2.5 Pentium II 以上处理器基于什么结构?

【解】 Pentium II 是基于 Pentium Pro 系列处理器, 又增加了 MMX 技术。

2.6 IA-32 结构微处理器支持哪几种操作模式?

【解】 IA-32 结构支持 3 种操作模式: 保护模式、实地址模式和系统管理模式。操作模式确定哪些指令和结构特性是可以访问的。

2.7 什么是基本执行环境? 它由哪些部分构成?

【解】 在 IA-32 处理器上执行的程序或任务都给予一组执行指令的资源, 用于存储代码、数据和状态信息。这些资源构成了 IA-32 处理器的执行环境。

(1) 地址空间。在 IA-32 处理器上运行的任一任务或程序能寻址多至 4GB(2^{32})的

线性地址空间(适用于 80386 以上的处理器,而 8086 只有 20 条地址线,只能寻址 1MB)和多至 64GB(2^{36})的物理存储器(Pentium Pro 以上的处理器)。

- (2) 基本程序执行寄存器。8 个通用寄存器、6 个段寄存器、标志寄存器 EFLAGS 和指令指针 EIP 寄存器组成了执行通用指令的基本执行环境。这些指令执行字节、字和双字整型数的基本整数算术运算,处理程序流程控制,在位和字节串上操作并寻址存储器。(这些就是 80386 处理器的操作。)
- (3) 80x87 FPU 寄存器。8 个 80 位的 80x87 FPU 数据寄存器,80x87 FPU 控制寄存器、状态寄存器、80x87 FPU 指令指针寄存器、80x87 FPU 操作数(数据)指针寄存器、80x87 FPU 标记寄存器和 80x87 FPU 操作码寄存器提供执行环境,以操作单精度、双精度和双扩展精度浮点数,字、双字和四字整数以及二进制编码的十进制(BCD)值。
- (4) MMX 寄存器。8 个 MMX 寄存器支持在 64 位组合的字节、字和双字整数上执行单指令多数据(SIMD)操作。
- (5) XMM 寄存器。8 个 XMM 数据寄存器和 MXCSR 寄存器支持在 128 位组合的单精度和双精度浮点值和 128 位组合的字节、字、双字和四字整数上执行 SIMD 操作。
- (6) 堆栈(stack)。为支持过程或子例程调用并在过程或子例程之间传递参数,堆栈和堆栈管理资源包含在基本执行环境中。堆栈定位在内存中。
- (7) I/O 端口。IA-32 结构支持数据在处理器和输入输出(I/O)端口之间的传送。

2.8 IA-32 结构微处理器的地址空间是如何形成的?

【解】 由段寄存器确定的段基地址与由各种寻址方式确定的有效地址相加形成了线性地址。若未启用分页机制,线性地址即为物理地址;若启用分页机制,则它把线性地址转换为物理地址。

2.9 8086 的基本程序执行寄存器是由哪些寄存器组成的?

【解】 基本程序执行寄存器由以下寄存器组成。

- (1) 通用寄存器。这 8 个寄存器可用于存放操作数和指针。
- (2) 段寄存器。这些寄存器最多能保持 6 个段选择子。
- (3) EFLAGS (程序状态和控制) 寄存器。EFLAGS 寄存器报告正在执行的程序的状态并允许有限地(应用程序级)控制处理器。
- (4) EIP (指令指针) 寄存器。EIP 寄存器包含下一条要执行的指令的 32 位指针。

2.10 实地址方式的存储器是如何组织的? 地址是如何形成的?

【解】 IA-32 结构微处理器中的实地址方式是为了与 8086(8088)CPU 兼容而设置的。所以,IA-32 结构微处理器的实地址方式从存储器组织来看,与 8086(8088)CPU 的存储器组织是一样的。

8086 微处理器有 20 条地址引线,它的直接寻址能力为 $2^{20}\text{B}=1\text{MB}$ 。所以,在一个由 8086 组成的系统中,可以有多达 1MB 的存储器。这 1MB 逻辑上可以组织成一个线性矩阵,地址范围为 00000H~FFFFFH。但是,在 8086 内部的 ALU 能进行 16 位运算,有关地址的寄存器如 SP、IP 以及 BP、SI、DI 等也都是 16 位的,因而

8086 对地址的运算也只能是 16 位。这就是说,对于 8086 来说,各种寻址方式、寻找操作数的范围最多只能是 64KB。所以,整个 1MB 存储器以 64KB 为范围分成若干段。在寻址一个具体物理单元时,必须要由一个基地址再加上由各种寻址方式确定的 16 位偏移量来形成实际的 20 位物理地址。段基地址就是由 8088 微处理器段寄存器中的 16 位数自动左移 4 位,然后再与 16 位偏移量相加,形成 20 位物理地址。

2.11 通用寄存器起什么作用?

【解】 通用寄存器主要作用如下。

(1) 存放逻辑和算术操作的操作数。

(2) 存放地址计算的操作数。

(3) 存放内存指针。

2.12 指令地址是如何形成的?

【解】 由段寄存器 CS 确定的段基地址,与由指令指针确定的偏移量相加,形成指令地址。

2.13 如何形成指令中的各种条件码?

【解】 指令中的条件码,即标志寄存器中的状态标志。它们主要由算术和逻辑运算指令设置或清除。指令系统中也有设置或清除状态标志的指令。

2.14 8086 微处理器的总线接口部件有哪些功能? 请逐一说明。

【解】 总线接口单元(BIU)负责与存储器接口;执行单元(EU)则执行各种操作。BIU 主要由段寄存器、指令指针、加法器(形成 20 位地址)和预取指令流队列等组成。

2.15 8086 微处理器的总线接口部件由哪几部分组成?

【解】 8086 微处理器中的总线接口单元(BIU)负责 CPU 与存储器之间的信息传送。具体地说,BIU 既负责从内存的指定部分取出指令,送至指令队列中排队(8086 的指令队列有 6 个字节,而 8088 的指令队列只有 4 个字节);也负责传送执行指令时所需的操作数。执行单元(EU)则负责执行指令规定的操作。

2.16 段寄存器 CS=1200H,指令指针寄存器 IP=FF00H,此时,指令的物理地址是多少?

【解】 指令的物理地址=12000H+FF00H=21F00H。

2.17 8086 微处理器的执行部件有什么功能? 由哪几部分组成?

【解】 8086 微处理器的执行部件负责指令的执行。它主要由算术逻辑单元、标志寄存器和通用寄存器等部分组成。

2.18 状态标志和控制标志有何不同? 8086 微处理器有哪些状态标志和控制标志?

【解】 状态标志反映算术和逻辑运算的结果,主要用于各种条件。控制标志实现一些控制作用。

(1) 8086 微处理器中的 EFLAGS 寄存器有下面 6 个状态标志。

① 进位标志 C(carry flag)

当结果的最高位(字节操作时的 D_7 、字操作时的 D_{15} 、双字操作时的 D_{31})产