

3

TH-union(FPGA)计算机的 硬件系统及其实验项目

随着半导体集成电路技术的迅猛发展,为进行大规模系统的设计和实现带来了新的方法和手段。以 HDL (Hardware Description Language, HDL) 语言表达设计意图、FPGA 作为硬件载体、计算机为设计开发工具、EDA 软件为开发环境的现代电子设计方法日趋完善。为了让学生了解科技发展的前沿技术,感受科学技术的成果,为了顺应最新的计算机设计趋势和教学实验的更高需求,我们在设计教学计算机时就做了充分的考虑,在 TH-union+教学计算机上设置了超大规模集成电路 FPGA 器件,以满足学生对专用集成电路(ASIC)设计的需求。本章将主要介绍以 TH-union+教学计算机为平台、以 VHDL 语言为设计手段,设计 16 位字长的 CPU 系统的基本方法和具体步骤,最后简要说明利用本章设计的 CPU 系统与存储器和输入输出接口线路相连接,构筑完整教学系统 TH-union(FPGA)的全过程。

3.1 TH-union(FPGA)教学计算机的 系统组成概述

在 TH-union+系统主板的右侧布放一片现场可编程芯片 FPGA,以 FPGA 为硬件平台设计的 CPU 部件,与必要的功能部件一起构成一个完整的、相对独立的计算机系统,称为 TH-union(FPGA)。该系统和第 2 章介绍的 TH-union 计原 16 系统共用内存储器系统、输入输出系统等外围电路,软件系统互相兼容。这样 TH-union(FPGA)和 TH-union 计原 16 系统就构成了双 CPU 的 TH-union+系统。

3.1.1 TH-union(FPGA)教学计算机系统的技术指标与系统配置

TH-union(FPGA)教学机系统的主要技术指标如下所述。

(1) 机器字长 16 位(也可设计成 8 位字长的另外一个新的系统),即运算器、主存储器、数据总线、地址总线、指令等都是 16 位。

(2) 完整的指令系统被划分为基本指令和扩展指令两部分,支持多种基本寻址方式。其中,基本指令已经全部实现,用于设计监控程序和常规的用户汇编程序,保留的多条扩展指令可供实验者自己实现。

(3) 主存最大寻址空间是 18K 字(16 位),基本容量为 8K 字的 ROM 和 2K 字的 RAM 存储区域,另外的 8K 字用于完成存储器容量扩展的教学实验。FPGA 芯片和存储器芯片之间可以通过地址总线 and 数据总线实现连接。

(4) 运算器是参照 Am2901 芯片的组成和功能来设计的,ALU 实现 8 种算术与逻辑运算功能,内部包括 16 个双端口读出、单端口写入的通用寄存器和一个能自行移位的乘商寄存器。设置 C(进位)、Z(结果为 0)、V(溢出)和 S(符号位)4 个状态标志位。

(5) 控制器采用硬连线控制器方案实现,也可修改成微程序控制器。实验人员可方便地修改已有设计,或加进若干条自己设计与实现的新指令,新旧指令同时运行。

TH-union(FPGA)系统的总体组成如图 3.1 所示。由图 3.1 可以看到 TH-union(FPGA)教学计算机系统也是一个完整的计算机系统,由以下几个基本部分组成:运算器部件、控制器部件、内存储器系统和串行接口线路。

3.1.2 FPGA 芯片的外特性和内部结构

现场可编程门阵列(FPGA)是近 10 多年来出现并开始被广泛应用的大规模集成电路器件。尽管它与 GAL20V8 和 MACH 类型的 PLD 同属现场可编程器件,但是其内部结构却完全不同,也有着不同的特性和性能。GAL20V8 和 MACH 都是采用“与-或”两级逻辑阵列加上输出逻辑单元的内部结构,而 FPGA 的内部结构则是采用许多个独立的可编程的逻辑模块 CLB(Configurable Logic Block)、输入输出模块 IOB(I/O Block)、内嵌存储器结构和互连资源(Interconnect Resource)4 部分组成。

FPGA 的输入输出引脚数量更多,并可根据需要设置为输入或输出端。内部的每一个 CLB 的电路中都包含组合逻辑电路、1~2 个触发器电路和一些数据选择器电路,可根据需要实现组合逻辑的功能,也可以实现时序逻辑的功能,可以使其运行于同步方式(使用公用的 CLK 时钟信号)或异步方式(使用 1 个特定数据输入端作为时钟),触发器接收的数据来自于组合逻辑部分的输出。

内部的互连资源由金属线、开关阵列和可编程连接点 3 部分构成,用于实现把数量很大的 CLB 和 IOB 相互连接起来以构成规模不同的复杂系统。

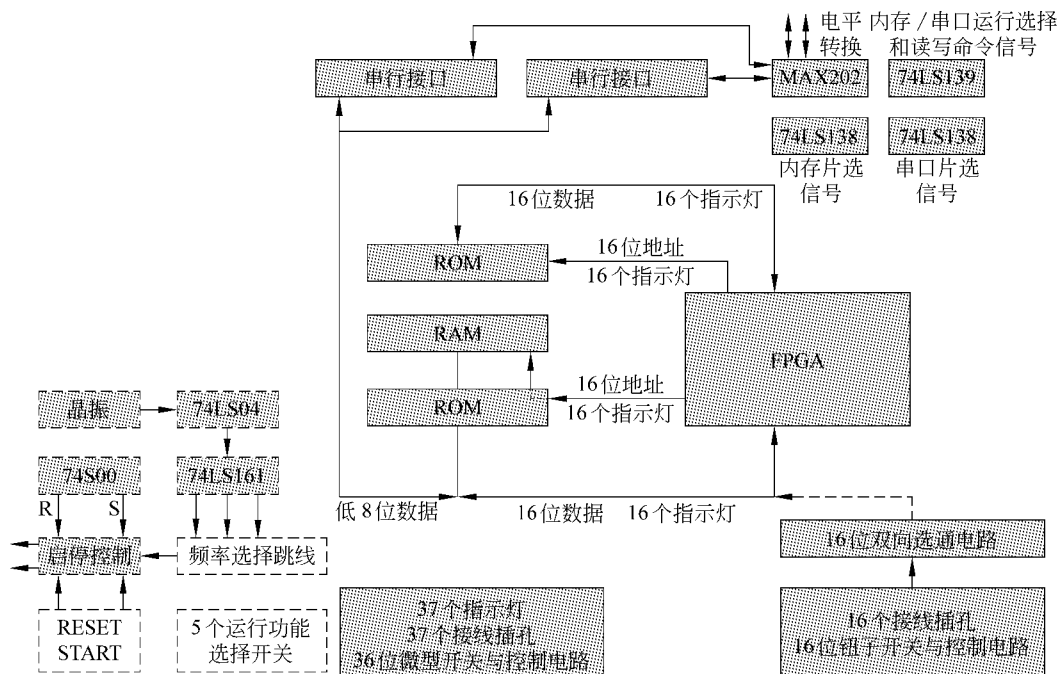


图 3.1 TH-union+(FPGA)系统逻辑框图

FPGA 芯片的工作状态(提供的逻辑功能)由芯片内的编程数据存储器设定,该存储器中的内容在断电后不被保存,因此必须在每次加电时被重新装入。我们通常把需要装入的数据存放在芯片之外的一片 EPROM 器件中,在每次加电启动时存储在 EPROM 中的数据被自动装入,这项工作是在芯片内的一个时序电路控制下自动完成的。或者把需要装入的数据保存在一个磁盘文件中,每次需通过工具软件将其下载到 FPGA 芯片中。

3.2 FPGA_CPU 教学实验

用 FPGA 芯片可以完成两个方面的教学实验,一个是围绕着组合逻辑或者时序逻辑的线路展开,另一个是围绕着设计实现 CPU 系统展开。

(1) 用 FPGA 芯片完成 EDA 方面的教学实验是方便和可行的,包括简单的组合逻辑的电路系统和时序逻辑的电路系统,或者更为复杂的数字电路系统。

(2) 设计实现 CPU 系统是计算机组成原理课程和计算机系统结构课程的核心教学实验内容。就 TH-union(FPGA)而言,首要任务是看懂已经实现了基本指令集的 CPU 系统的设计过程和相关技术,在此基础上可以开展添加扩展指令的教学实验。如果实现

了全部指令,则可以运行 BASIC 程序。在设计过程中,TH-union 计原 16 的组成与设计内容是重要的参考资料。

用这个 FPGA 芯片也可以实现微程序的控制器。这方面的内容留给同学们自己作为练习。

用这个芯片设计实现 8 位字长的教学计算机系统是方便可行的,包括微程序控制器和组合逻辑控制器两种实现方案。设计过程中,TH-union 计原 16 系统同时支持的 8 位字长的教学计算机系统(TH-union 计原 8)的组成与设计内容是重要的参考资料。

注意,TH-union+产品把 **TH-union 计原 16** 和 **TH-union(FPGA)** 两个计算机系统合并到同一块印制电路板上实现是一项很有创意的工作,在选用 FPGA 芯片设计实现 CPU 系统时,参照 TH-union 计原 16 系统的组成和设计会使这项工作变得更为轻松一些。完全仿照 TH-union 计原 16 来设计和实现一个 CPU 系统是建立在特定的目标基础上的,诸如保证软件兼容、硬件结构易于理解、教学内容有较好的延续性等。在 TH-union+系统上重新设计一个全新硬软件系统的计算机也是方便和可行的,例如设计实现 MIPS16e 计算机系统,仅仅表现在要付出更大的工作量,在技术上并没有任何难度。

3.3 基于 FPGA 芯片的基本逻辑电路实验

随着超大规模的可编程逻辑器件(CPLD)和现场可编程逻辑器件(FPGA)的发展,为实现片上可编程系统(System On Programmable Chip, SOPC)提供了强大的硬件支持。CPLD 中组合逻辑资源比较丰富,比较适合做含组合电路较多的设计,同时由于自身设计的原因,CPLD 在资源分配时限制较多,而 FPGA 则不同,它提供了更为丰富的资源,特别是寄存器资源比较丰富,比较适合做含同步时序电路较多的设计。为了让读者对基于不同类型芯片的设计都有所了解,我们在本节把第 2.3.2 节的部分实验项目在 FPGA 中用 VHDL 语言给予实现。

布放在 TH-union+教学计算机主板右侧的 FPGA 芯片能够实现不同规模的组合逻辑电路和时序逻辑电路的教学实验。实验的输入信号可以通过 8 位的数据开关(SWL)直接提供,连有 48 个指示灯的管脚都可以用作输出管脚,可以通过指示灯来显示实验的中间信号的状态和最终结果的状态。下面给出的教学实验项目主要集中在 FPGA 器件的使用和编程上,实现了多种不同功能的组合逻辑线路和时序逻辑线路,目的是让读者能够对比学习基于 PLD(GAL)、CPLD(MACH)和 FPGA 的功能部件实现的不同技术。

3.3.1 实验环境说明

从完成线路实验的角度可以把 FPGA 芯片和外围设备的连接关系简化为如图 3.2 所示。

对于输入端,输入信号可以用手拨数据开关 SWL 直接与 FPGA 的引脚连接。对于输出端,有 48 位可用输出信号并已经连接到指示灯,可以直接通过指示灯查看线路实验的结果信息,非常简单直观。

实验线路的逻辑功能是通过描述实验项目要求的功能的 VHDL 程序源代码体现出来的。使用 FPGA 芯片进行实验,可以为学生提供更大的硬件空间。

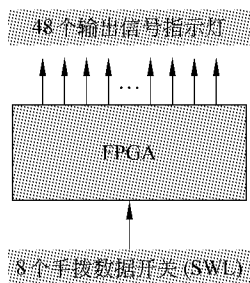


图 3.2 FPGA 芯片对外简化的连接关系

3.3.2 实验目的和实验内容

1. 实验目的

- (1) 了解使用 FPGA 器件实现逻辑门线路的设计方法与操作过程。
- (2) 进一步学习掌握利用 VHDL 语言进行电路的功能描述。
- (3) 学习使用 FPGA 器件实现某些简单或者复杂组合逻辑线路的功能。
- (4) 学习使用 FPGA 器件实现某些简单或者复杂时序逻辑线路的功能。
- (5) 为选用 FPGA 器件实现教学计算机 CPU 部件设计打好基础。

2. 实验内容

本节共设计实现了 4 个线路实验项目,编号从 0 到 3,分别是: 2-4 译码器,二路选择器,4 位的 2 功能 ALU,4 位的二进制计数器,可以通过实验项目编号来选择线路实验的内容。在图 3.3 中给出了实验功能线路图和重要信号。

在实验过程中,可用教学机主板上的 8 个钮子开关作为运算数据和某些控制信号的来源,使用 48 个指示灯显示实验操作的结果,实验工作主要集中到以下几方面。

- (1) 设计 FPGA 器件内相关电路的逻辑表达式。
- (2) 执行编译和下载操作。
- (3) 实验运行和调试,查看实验结果。

这 4 项实验虽然比较简单却很有代表性,包含了组合逻辑电路和时序逻辑电路。实验项目 2 的内容有一定的综合性,提供了一个 4 位运算器部件(包括 ALU 和累加器)的原理性方案,引申一步可理解为最简单的 4 位字长的 CPU 系统模型。4 位的数据用开关 K3~K0 提供,2 位的指令用 K5~K4 提供,同时 K5~K4 还选择 ALU 一路数据的来源,由 161 管脚直接提供 ALU 最低位的进位输入。

3. 注意事项

在选用 FPGA 芯片完成线路实验时,需要明确下述概念。

(1) 首先要理解如何在程序模块中选择和使用输入信号名称,如何确定信号和器件管脚的对应关系。FPGA 芯片的核心作用是实现教学计算机的 CPU,在印制电路板上给



图 3.3 选用 FPGA 器件实现的线路实验

出的都是 CPU 用到的信号名称,在图 3.4 中给出了这些信号和器件管脚的对应关系。

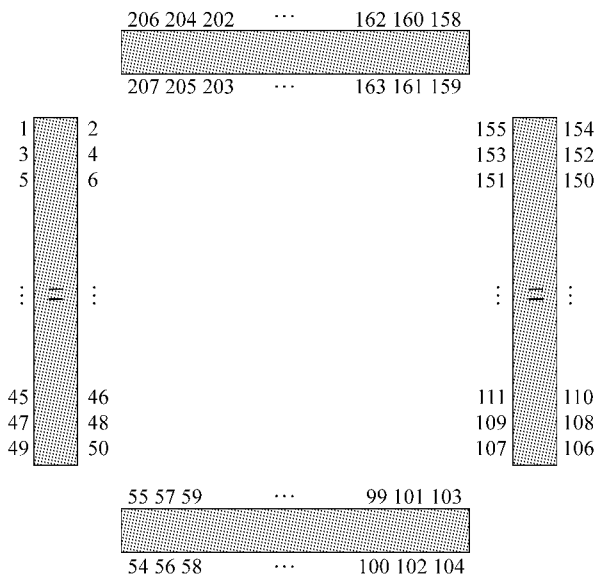


图 3.4 FPGA 小板布线与管脚分配图

图 3.4 所示的 FPGA 小板引脚分配结果是:数字是芯片的引脚编号,标识符是在 VHDL 语言程序中定义的与管脚对应的信号名称,把各个信号分配到相应的管脚。

FPGA 芯片引出了两路存储器总线,其中一路和主板上原来使用的基本存储区(含 RAM 和 ROM 两个存储空间)相连,另一路和扩展存储区(ExROM)相连,各自使用独立的地址总线 and 数据总线,这是支持通畅的指令流水所必需的。

DataBus0~DataBus15 的管脚是 3~10、14~18、20~22。

AddressBus0~AddressBus15 的管脚是 23、24、27、29~31、33~37、41~45。

ExAddressBus0~ExAddressBus12 这 13 个管脚是 187~189、191~195、199~203。
ExAddressBus13~ExAddressBus15 管脚没有焊线。

ExDataBus0~ExDataBus15 的管脚是 162~168、172~176、178~181。

/MIO、REQ、/WE 的管脚分别是 205、204、206。

CLK 管脚 pin182, Reset 管脚 pin160。

FPGA 小板下方从左至右 3 组共 24 个 TEST LED 对应的管脚分别是:

- ① 第一组 57~63、67。
- ② 第二组 68~71、73~75、81。
- ③ 第三组 82~84、86~90。

FPGA 小板右侧从下向上 3 组共 24 个 TEST LED 对应的管脚分别是:

① 第一组 94~101

② 第二组 108~115

③ 第三组 132、136、138~141、147、149

Pin56 与 Pin90、Pin148 不能用,已经短接在电源接口为指示灯提供电源。

Pin46~Pin49、Pin150~Pin152、Pin154、Pin161 可以作为输入输出管脚。

(2) 其次要理解实验过程中如何选定实验项目,怎样操作才算完成一次实验过程。

前面讲到,已经为每一项实验分配了一个项目编号(用开关 K7~K6 表示),因此选择或切换到一项新的实验项目时,首先要使用 K7~K6 给出实验项目编号。2 位的项目编号经过译码操作,产生的 4 个译码结果将点亮对应的一个指示灯,其余 3 个灯则不会亮。

实验的输入数据和一些控制信号(包括项目编号 K7~K6)是通过 8 个开关拨入的。

(3) 一个完整的 FPGA 设计流程包括电路设计、电路功能描述、功能仿真、综合、综合后仿真、实现、布线后仿真和下载调试等主要步骤。

基于 FPGA 芯片的实验和第 2 章基于 MACH 的实验类似,我们在此仅给出图 3.3 所示的实验项目的 VHDL 语言的源程序。

4. 实验项目功能描述的 VHDL 语言源程序

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity experiment is
Port ( CLK : in std_logic;
      K : in std_logic_vector(7 downto 0);
      Y : out std_logic_vector(3 downto 0);
      Q : out std_logic_vector(3 downto 0);
      R : inout std_logic_vector(3 downto 0);
      S : inout std_logic_vector(3 downto 0);
      X : inout std_logic_vector(3 downto 0);
      C0 : in std_logic;
      C4 : out std_logic);
end experiment;

architecture Behavioral of experiment is
    Signal X_tmp1: std_logic_vector(3 downto 0) := "0000";
    Signal X_tmp2: std_logic_vector(3 downto 0) := "0000";
begin
    X<=X_tmp1 or X_tmp2;
```

encoder: process(K(7 downto 6))--实验项目 0

```
begin
  case K(1 downto 0) is
    when "00" => Y<="0001";
    when "01" => Y<="0010";
    when "10" => Y<="0100";
    when others=> Y<="1000";
  end case;
end process encoder;
```

selector: process(K(7 downto 4))--实验项目 1

```
begin
  if K(7 downto 6)="01"|"10" then
    case K(5 downto 4) is
      when "00"=>X_tmp2<=K(3 downto 0);
      when "01"=>X_tmp2<=R;
      when "10"=>X_tmp1<=K(3 downto 0);
      when "11"=>X_tmp1<=R;
    end case;
  end process selector;
```

ALU: process(Clk)

Variable S_tmp: std_logic_vector(4 downto 0);

```
begin
  S_tmp(4) := '0';
  if K(7 downto 6)="10" then
    Case K(5 downto 4) is
      when "00" => S_tmp := '0' & X_tmp2 + K(3 downto 0) + C0;
      when "01" => S<=X_tmp2 OR K(3 downto 0);
      when others=>S_tmp := "00000";
    End case;
    C4<=S_tmp(4);
    S<=S_tmp(3 downto 0);
  end if;
  if (Clk'event and Clk='1') then R<=S; end if;
end process Alu_4;
```

--做加法运算并产生进位信号

--做或运算

counter: process(CLK) --实验项目 3

variable Q_tmp: std_logic_vector(3 downto 0);

```
begin
  if(K(7 downto 6)='11' then
    if (CLK'EVENT and CLK='1') then
      Q_tmp<=Q_tmp+1;
    end if;
  end if;
  Q<=Q_tmp;
end process counter;

end Behavioral;
```

3.4 在 FPGA 芯片中实现的非流水线的 CPU 系统

本节将以不使用指令流水线技术实现的 CPU 系统为例,介绍设计、实现的完整 CPU 系统的一般过程和相关技术,主要属于计算机系统结构课程的知识。这里所说的 CPU 系统设计是针对特定的目标、设计特定的 CPU 系统来展开的。特定的目标指的是重点针对计算机硬件课程的教学需求,特定的 CPU 系统指的是新设计与实现的 CPU 在指令系统、使用的软件资源等方面尽可能地与 TH-union 计原 16 系统实现完全的兼容;在硬件构成、实现技术等方面也尽可能地与 TH-union 计原 16 系统类似。这样既能使已有的软件资源得到充分的应用,减轻研制软件系统的负担,又能更好地在两个系统之间得到尽可能高的可比较性,保持教材和教学内容的延续性,降低授课难度,提高学生的学习效率。这就意味着,设计与实现的 CPU 系统的外特性是严格限定在与 TH-union 计原 16 系统是严格意义上的同一体系结构的 CPU 系统,差别仅表现在 CPU 具体实现有所不同,包括选用的器件类型和集成度不同、所用设计手段、设计过程有所不同,体现出来的设计与实现技术也不尽相同。

对于 TH-union (FPGA) 中 CPU 系统的实现,这里选择了 xinlinx 公司的 SPARTAN-II 系列的芯片(型号是 XC2S200)。该器件容量为 20 万门,内部有 2352 个 CLB,14 个 4KB 的 RAM 块,208 脚 PQFP 封装形式,支持在系统编程(In-System Programmable),可以实现 TH-union 计原 16 系统中 CPU 的全部功能。在进行这项任务设计时,我们已经充分考虑到如何照顾到现有教学资源(如教材、系统监控程序、软件等)的稳定性。首先,保证了新设计的教学机的指令系统,与 TH-union 计原 16 系统的指令系统有良好的兼容性;其次,在构思新型教学计算机的逻辑结构过程中,适当地向 TH-union 计原 16 系统的实际组成靠拢,尽量地在二者之间有一个平滑的过渡。这对我们的设计加进了某些限制条件,但对减轻任课教师的教学负担、保证教学质量是极其有益的。

TH-union+系统的有关指令系统,提供的软、硬件资源等内容与 TH-union 计原 16