

第 3 章

触发器的设计与应用

单元技能目标

- (1) 能够用基本门电路实现触发器功能。
- (2) 能对 RS 触发器、D 触发器和 JK 触发器的逻辑功能进行测试。
- (3) 会对各触发器工作特点进行分析。
- (4) 能应用触发器设计制作组合逻辑电路。

单元知识目标

- (1) 熟悉各触发器的原理及特点。
- (2) 熟悉典型集成触发器的特点。了解触发器的工作特点及分类。
- (3) 掌握 RS 触发器、D 触发器和 JK 触发器的逻辑功能及使用方法。
- (4) 掌握各触发器的特点及其相互转换。

触发器是组成时序逻辑电路的基本单元,能够寄存二进制编码的信息。触发器有两个稳定状态,在输入信号的作用下,能从一种状态翻转到另一种状态,并保持稳定,所以常用来构成各种计数器和寄存器。本节主要讨论各种触发器的电路结构、逻辑功能及其分类,并介绍不同结构所具备的动作特点,不同逻辑功能的触发器之间实现的逻辑功能转换。

3.1 RS 触发器

3.1.1 基本 RS 触发器

基本 RS 触发器(又称 R-S 锁存器)是各种触发器电路中结构形式最简单的一种,是构成各种触发器的最基本的单元。

1. 逻辑电路及逻辑符号

基本 RS 触发器是由 G_1 、 G_2 两个“与非”门交叉连接而成的,如图 3-1(a)所示。 $\overline{R_D}$ 和 $\overline{S_D}$ 是两个触发信号的输入端,低电平有效。我们定义: $Q=1, \overline{Q}=0$ 的状态为触发器的“1”状态; $Q=0, \overline{Q}=1$ 的状态为触发器的“0”状态。图 3-1(b)所

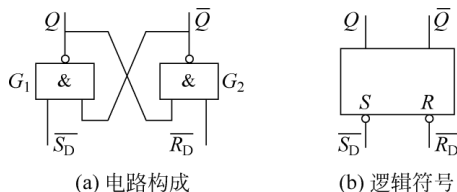


图 3-1 基本 RS 触发器的电路构成及逻辑符号

示为基本 RS 触发器的逻辑符号,下方的小圆圈表示触发器是用低电平触发的。

2. 逻辑功能

(1) 当 $\overline{R_D}=1, \overline{S_D}=1$ 时,触发器将保持原态不变。如电路原来处于 $Q=0, \overline{Q}=1$ 的“0”状态时,由于 G_2 输入有低电平“0”,输出 $\overline{Q}=1$; 对于 G_1 , 输入全为高电平“1”,输出 $Q=0$; 因此,电路所处的“0”状态是稳定的。同理,分析 $Q=1, \overline{Q}=0$ 的状态也是稳定的。

(2) 当 $\overline{R_D}=1, \overline{S_D}=0$ 时,触发器具有“置 1”的功能。如图 3-1(a)所示电路,无论电路原来处于何种状态,由于 $\overline{S_D}=0$,则使 G_1 输出 $Q=1$,触发器翻到“1”状态。由于 $\overline{R_D}=1, Q=1$,则使 $\overline{Q}=0$,而 $\overline{Q}=0$ 反馈到 G_1 的输入端,维持 $Q=1$ 不变,即使在 $\overline{S_D}=0$ 消失之后也是如此。所以 $\overline{R_D}=1, \overline{S_D}=0$ 时,触发器具有“置 1”的功能。

(3) 当 $\overline{R_D}=0, \overline{S_D}=1$ 时,触发器具有“置 0”的功能。如图 3-1(a)所示电路,无论电路原来处于何种状态,由于 $\overline{R_D}=0$,则使 G_2 输出 $\overline{Q}=1, \overline{S_D}=1, \overline{Q}=1$ 使 $Q=0$,即触发器翻到“0”状态。而 $Q=0$,反馈到 G_2 的输入端,维持 $\overline{Q}=1, Q=0$ 不变,即使在 $\overline{R_D}=0$ 消失之后也是如此。所以 $\overline{R_D}=0, \overline{S_D}=1$ 时,触发器具有“置 0”的功能。

(4) 当 $\overline{R_D}=\overline{S_D}=0$ 时,由于 G_1 门和 G_2 门的输入都有“0”,使得 $Q=\overline{Q}=1$,这是一种未定义状态。当 $\overline{R_D}=\overline{S_D}=0$ 同时消失时,触发器是处于 0 状态还是 1 状态将由各种偶然因素决定,因此,要保证基本 RS 触发器能正常工作,不允许 $\overline{R_D}$ 和 $\overline{S_D}$ 同时为零,而要求 $\overline{R_D}+\overline{S_D}=1$ 。

通过以上分析可知,基本 RS 触发器的输入信号直接加在输出门上,所以输入信号只要在作用时间里(即 $\overline{S_D}$ 或 $\overline{R_D}$ 为 0 时的全部时间)都将直接改变输出端 Q 和 $\overline{Q}$ 的状态,这就是基本 RS 触发器的动作特点。

为了说明触发器新状态、原状态以及输入三者之间的关系,引入两个名词: 现态,指触发器在触发信号作用前的稳定状态,记作 Q^n ; 次态,指触发信号作用后电路新的稳定状态,记作 Q^{n+1} 。因此,上述基本 RS 触发器的逻辑功能可用表 3-1 表示。

表 3-1 基本 RS 触发器逻辑功能表

输 入		输出原态	输出次态	功 能 说 明
$\overline{R_D}$	$\overline{S_D}$	Q^n	Q^{n+1}	
0	0	0	×	禁止状态,触发器状态不定
0	0	1	×	
0	1	0	0	触发器置 0
0	1	1	0	
1	0	0	1	触发器置 1
1	0	1	1	
1	1	0	0	触发器保持原状态不变
1	1	1	1	

3. 特性方程

根据表 3-1 画出基本 RS 触发器的卡诺图,如图 3-2 所示。

$\overline{R_D} \cdot \overline{S_D}$	00	01	11	10
Q^n				
0	×	0	0	1
1	×	0	1	1

图 3-2 基本 RS 触发器的卡诺图

由卡诺图可求得其特征方程为：

$$\begin{cases} Q^{n+1} = S_D + \overline{R_D}Q^n \\ \overline{R_D} + \overline{S_D} = 1 (\text{或 } R_D S_D = 0) \end{cases} \quad (3-1)$$

式中, $\overline{R_D} + \overline{S_D} = 1$ 是 RS 触发器的约束条件。

4. 激励表和状态转换图

在表 3-2 中列出了由现态 Q^n 和次态 Q^{n+1} 的取值来确定输入信号的取值关系, 称为特性表, 又称驱动表。

表 3-2 RS 触发器的特性表

输 入		输 出	
$\overline{R_D}$	$\overline{S_D}$	Q^n	Q^{n+1}
×	1	0	0
1	0	0	1
0	1	1	0
1	×	1	1

由激励表还可得出描述触发器逻辑功能的状态转换图, 如图 3-3 所示。

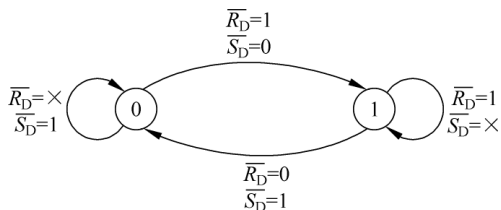


图 3-3 RS 触发器的状态转换图

图中两个圆圈分别表示触发器的两个稳定状态, 箭头表示在输入信号作用下状态转换的方向, 箭头旁的标注表示转换的条件。如要使触发器的状态由 $Q^n=0$ 转换到 $Q^{n+1}=1$, 则要求输入信号 $\overline{R_D}=1$ 、 $\overline{S_D}=0$ 。同理, 若要使触发器的状态由 $Q^n=1$ 转换到 $Q^{n+1}=0$, 则要求输入信号 $\overline{R_D}=0$ 、 $\overline{S_D}=1$ 。其余类推。

3.1.2 同步 RS 触发器

实际应用中, 为协调数字系统中各部分的动作, 常常要求某些触发器在同一时刻输入信号, 并依据所要求的状态触发翻转, 这一指定时刻由外加时钟信号来决定。时钟控制

RS 触发器输出状态的翻转与时钟信号出现的时刻一致,所以也称为同步 RS 触发器,这也是时钟控制的含义。同步信号也称为时钟脉冲,或时钟信号,简称时钟,可用 CP (Clock Pulse 的缩写)表示。

1. 逻辑电路及逻辑符号

同步 RS 触发器是以基本 RS 触发器为基础构成的。它的逻辑电路及逻辑符号如图 3-4 所示。

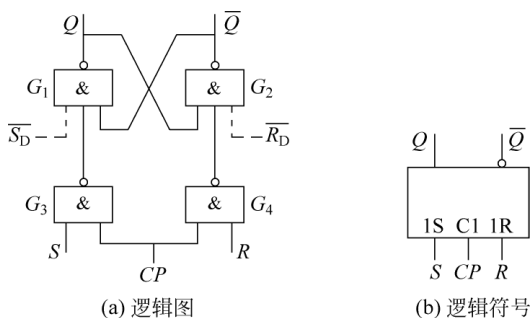


图 3-4 同步 RS 触发器电路及逻辑符号

2. 逻辑功能

(1) $CP=0$ 时,门 G_3 、 G_4 截止,输入信号 S 、 R 不会影响输出端的状态,触发器保持原状态不变。

(2) $CP=1$ 时, S 、 R 信号通过门 G_3 、 G_4 反相后,加到由 G_1 、 G_2 组成的基本 RS 触发器上,输出端 Q 和 $\bar{Q}$ 的状态跟随输入状态的变化而变化,其功能表如表 3-3 所示。

表 3-3 同步 RS 触发器的逻辑功能(真值表)

时钟	输 入		输 出	功能
CP	R	S	Q^{n+1}	
0	×	×	Q^n	保持
1	0	0	Q^n	保持
1	0	1	1	置 1
1	1	0	0	置 0
1	1	1	不定	禁止

由图 3-4 可知,在 $CP=1$ 的全部时间里, S 和 R 输入的信号都能通过门 G_3 、 G_4 加到基本 RS 触发器上,所以 $CP=1$ 的全部时间里 S 和 R 的变化都将引起触发器输出状态的变化,这就是同步 RS 触发器的动作特点。如果在 $CP=1$ 期间输入信号多次发生变化,则触发器的状态也会发生多次翻转,这样就降低了电路的抗干扰能力。

根据同步 RS 触发器的真值表,得到同步 RS 触发器的特征方程如下

$$Q^{n+1} = S + \bar{R}Q^n \quad (CP = 1 \text{ 有效, 且 } RS = 0) \quad (3-2)$$

式中, $RS=0$ 为同步 RS 触发器的约束条件。

由上述分析可知,基本 RS 触发器和同步 RS 触发器都有一个严重的缺陷,就是会出

现输出不确定的工作状态,所以输入信号同样需要遵守 $RS=0$ 的约束条件。

3.1.3 主从 RS 触发器

为了提高触发器工作的可靠性,防止触发器可能出现的空翻和振荡现象,我们希望在每个 CP 周期里输出端的状态只能改变一次,为此在同步 RS 触发器的基础上又进行改进,设计出了主从型结构的触发器。

1. 逻辑电路及逻辑符号

如图 3-5 所示为主从型 RS 触发器逻辑电路图及逻辑符号。

主从型 RS 触发器由两个时钟控制的 RS 触发器组成,上面的为从触发器,下面的为主触发器, G 为一非门,其作用是将 CP 反相为 $\overline{CP}$,主触发器接受 CP 控制,从触发器接受 $\overline{CP}$ 的控制,主、从两个触发器分别工作在两个不同的时区内。

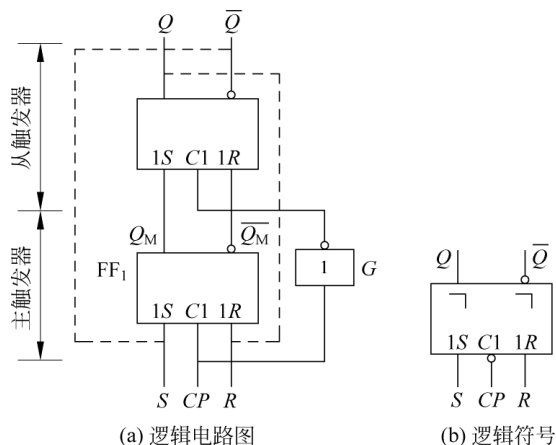


图 3-5 主从 RS 触发器的逻辑电路图与逻辑符号

2. 逻辑功能

当 $S=1, R=0$ 时,在 $CP=1$ 期间,主触发器按时钟控制 RS 触发器的逻辑功能要求置 1 态,即 $Q_M^{n+1}=1, \overline{Q_M^{n+1}}=0$ 。在整个 $CP=1$ 期间,由于从触发器的时钟信号 $\overline{CP}=0$,从触发器被封锁,主触发器的状态不能传至从触发器。

当 CP 下降沿到来时, $CP=0$,主触发器被封锁,不接收外来信号,保持现有状态,直到下一个 CP 的上升沿到来时才接收控制信号 S, R 的作用。此时 $\overline{CP}=1$,从触发器开启,主触发器的状态 $Q_M^{n+1}=1, \overline{Q_M^{n+1}}=0$ 才被传至从触发器,从触发器处于主触发器的相同状态。

由此可见,主从型 RS 触发器的工作过程分两步:第一步, CP 由 0 上升到 1 的上升沿时,主触发器接收 S, R 信号,从触发器被封锁;第二步, CP 由 1 下降到 0 的下降沿时,从触发器追随主触发器状态,与主触发器状态一致,同时主触发器 $CP=0$ 被封锁。

因此就整个触发器而言,其状态在 $CP=1$ 期间是不变的,仅在 CP 的下降沿时改变状态一次,从而有效地防止了空翻现象。如图 3-6 所示为主从型 RS 触发器的时序波形图。由图可见,在 $CP=1$ 期间,虽然控制信号 R, S 都发生了变化,但整个触发器仅在 CP

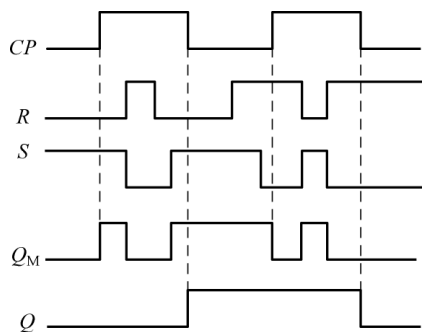


图 3-6 主从型 RS 触发器的时序波形图

下降沿时改变一次状态。

主从型触发器的逻辑符号中有一个表示输出延迟的记号“ $\neg$ ”，是主从触发器特有的，使用时注意区别。

R 、 S 为其他输入情况的读者自行分析。

3.2 JK 触发器

JK 触发器是一种双输入双稳态触发器，特点是功能完善，使用灵活，因此应用比较广泛。

3.2.1 同步 JK 触发器

1. 逻辑电路和逻辑符号

JK 触发器的逻辑电路是在时钟控制 RS 触发器的基础上发展而来的，将触发器输出端 Q 和 $\bar{Q}$ 的状态反馈到输入端，克服了同步 RS 触发器在 $R=S=1$ 时出现的不确定状态，这样就构成了同步 JK 触发器。根据电路的结构特点，门电路 G_3 和 G_4 的输出不会同时出现 0，从而避免了不确定状态的出现。同步 JK 触发器的电路如图 3-7(a) 所示。图 3-7(b) 为同步 JK 触发器的逻辑符号。

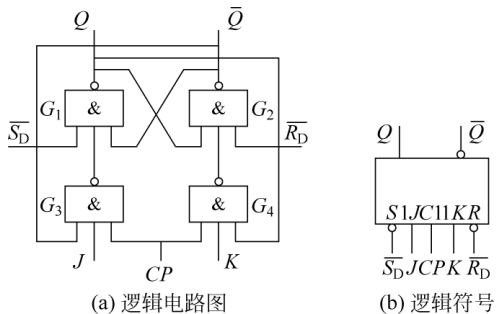


图 3-7 同步 JK 触发器的电路结构和逻辑符号

2. 逻辑功能

在 $CP=0$ 时, G_3 和 G_4 被封锁, 都输出 1, 触发器保持原状态不变。

当 $CP=1$ 时, G_3 、 G_4 解除封锁, 输入 J 、 K 端的信号可控制触发器的状态。

(1) 当 $J=K=0$ 时, G_3 和 G_4 都输出 1, 触发器保持原状态不变, 即 $Q^{n+1}=Q^n$ 。

(2) 当 $J=1$ 、 $K=0$ 时, 如触发器此时处于 0 状态, 由于 $\overline{Q^n}=1$, 则在 $CP=1$ 时, G_3 输入全为 1, 其输出为 0, G_4 的输出 $Q^{n+1}=1$ 。又因为 $K=0$, G_4 输出 1, 这时 G_2 输入全 1, 输出 $\overline{Q^{n+1}}=0$ 。触发器翻到 1 状态, 即 $Q^{n+1}=1$ 。

如触发器为 $Q^n=1$ 、 $\overline{Q^n}=0$ 的 1 状态, 在 $CP=1$ 时, G_3 和 G_4 的输入分别为 $\overline{Q^n}=0$ 和 $K=0$, 这两个门都输出 1, 触发器保持原状态不变, 即保持 $Q^{n+1}=Q^n=1$ 的状态。

可见在 $J=1$ 、 $K=0$ 时, 不论触发器原来处于什么状态, 则在 CP 由 0 变为 1 后, 触发器翻到和 J 相同的 1 状态。

(3) 当 $J=0$ 、 $K=1$ 时, 同理可知, 在 CP 由 0 变为 1 之后, 触发器翻到 0 状态。

(4) 当 $J=K=1$ 时, 在 CP 由 0 变为 1 之后, 触发器的状态由 Q 和 $\overline{Q}$ 端的反馈信号决定。若触发器原先处于 $Q^n=0$ 、 $\overline{Q^n}=1$ 的 0 状态, 则此时触发器会翻转到 1 状态; 而如果触发器原处于 $Q^n=1$ 、 $\overline{Q^n}=0$ 的 1 状态, 则此时触发器会翻转到 0 状态。读者可自行分析其翻转过程。

可见, 当 $J=K=1$ 时, 每输入一个时钟脉冲 CP , 触发器的状态就变化一次, 电路的次态总是与现态相反, 即 $Q^{n+1}=\overline{Q^n}$ 。

由以上分析得出同步 JK 触发器的激励表如表 3-4 所示。

表 3-4 同步 JK 触发器的激励表(真值表)

输 入		输 出	功 能
J	K	Q^{n+1}	
0	0	Q^n	保持
0	1	0	置 0
1	0	1	置 1
1	1	$\overline{Q^n}$	翻转

同步 JK 触发器的特性方程为

$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n \quad (3-3)$$

根据激励表可画出同步 JK 触发器的状态转换图, 如图 3-8 所示。

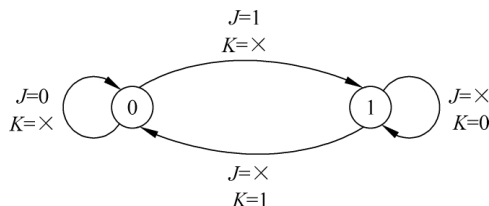


图 3-8 同步 JK 触发器的状态转换图

3.2.2 主从 JK 触发器

1. 主从 JK 触发器的结构框图

主从 JK 触发器的结构框图如图 3-9 所示,其中主触发器和从触发器均为钟控 JK 触发器。

2. 主从 JK 触发器的工作原理

当 $CP=1$ 时,从触发器被封锁,输出状态不变化。此时主触发器被触发,接收 J 、 K 输入信息,因此可得

$$Q_{\text{主}}^{n+1} = J \overline{Q_{\text{主}}^n} + \overline{K} Q_{\text{主}}^n \quad (3-4)$$

当 $CP=0$ 时,主触发器被封锁,从触发器被触发,该主从触发器的输出状态随 $J_{\text{从}}$ 和 $K_{\text{从}}$ 的变化而发生状态转移。由结构框图可得: $J_{\text{从}}=Q_{\text{主}}^{n+1}$ 、 $K_{\text{从}}=\overline{Q_{\text{主}}^{n+1}}$,将 $J_{\text{从}}$ 和 $K_{\text{从}}$ 代入到 JK 触发器的特征方程中可得:

$$Q^{n+1} = J_{\text{从}} \overline{Q^n} + \overline{K_{\text{从}}} Q^n = Q_{\text{主}}^{n+1} \quad (3-5)$$

也就是将主触发器的状态转移到从触发器的输出端,从触发器的状态和主触发器一致。因而可有 $Q^n=Q_{\text{主}}^n$,将其代入式(3-4)和式(3-5)可得

$$Q^{n+1} = J \overline{Q^n} + \overline{K} Q^n$$

上式即为主从 JK 触发器的状态方程,说明 $CP=1$ 时,可按 JK 触发器的特性来决定主触发器的状态,然后在 CP 下降沿($1 \rightarrow 0$)时从触发器的输出才改变一次状态。

综上所述,主从 JK 触发器防止了空翻,其工作特点如下。

(1) 输出状态变化的时刻在时钟的下降沿。

(2) 输出状态的变化由时钟 CP 下降沿到来前一瞬间的 J 、 K 值按 JK 触发器的特征方程来决定。

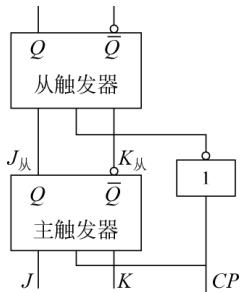


图 3-9 主从 JK 触发器的结构框图

3.2.3 边沿 JK 触发器

边沿触发器由于仅在 CP 时钟信号的上升或下降瞬间接收输入信号,触发器才按照逻辑功能要求改变状态,在时钟信号的其他时刻触发器处于保持状态,因此称为边沿触发。

边沿触发器不仅克服了电平触发的多次翻转现象,而且也克服了主从触发的一次翻转特性,大大提高了触发器的抗干扰能力,实用性强,应用最为广泛。

我们先来分析一下边沿触发型 JK 触发器。

1. 逻辑电路及逻辑符号

如图 3-10 是一种下降沿触发的边沿触发型 JK 触发器 CT74LS112 逻辑电路图及其逻辑符号。

2. 工作原理

(1) $CP=0$ 时,触发器的状态不变。在 $CP=0$ 时, G_3 、 G_4 被封锁 $Q_3=1$ 、 $Q_4=1$,与门 A 和 D 被封锁,因此触发器保持原稳定状态不变。

(2) CP 由 0 跳变到 1 时,触发器状态不变。在 $CP=0$ 时,如触发器的状态为 $Q^n=0$ 、

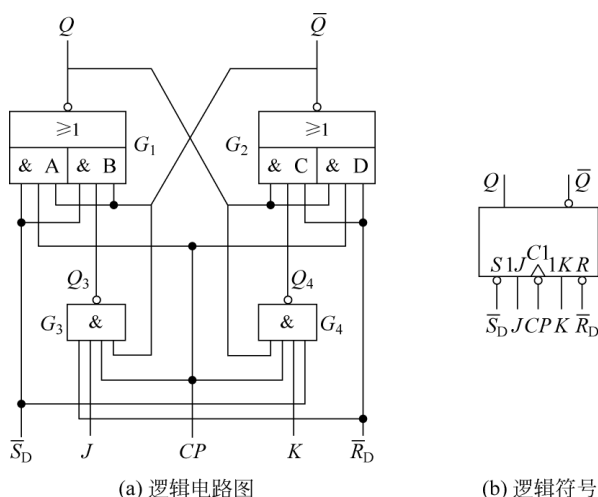


图 3-10 边沿 JK 触发器的逻辑电路图和逻辑符号

$\overline{Q^n}=1$, 当 CP 由 0 跳变到 1 时, 首先与门 A 输入全为 1, 则输出 $Q^{n+1}=0$ 。由于 $Q^{n+1}=0$, 同时加到与门 C、D 的输入端, 所以输出 $\overline{Q^{n+1}}=1$, 触发器保持原状态不变。如触发器原来为 1 状态, 则在 CP 由 0 跳变到 1 时, 触发器仍保持 1 状态不变。

(3) CP 由 1 跳变到 0 时, 触发器的状态根据 J 、 K 端的输入信号确定。

① $J=0$ 、 $K=0$ 时, 触发器保持原状态不变。

② $J=0$ 、 $K=1$ 时, 触发器置 0 状态。

③ $J=1$ 、 $K=0$ 时, 触发器置 1 状态。

④ $J=1$ 、 $K=1$ 时, 触发器翻转状态, 若原为 0 状态, 则翻转为 1 状态; 原为 1 状态, 则翻转为 0 状态。

3.3 D 触发器

3.3.1 同步 D 触发器

1. 电路结构及逻辑符号

为了避免同步 RS 触发器同时出现 R 和 S 都为 1 的不确定工作状态, 在 R 和 S 之间接入非门 G_5 , 如图 3-11 所示, 这就构成单输入端形式的 D 触发器。

2. 逻辑功能

(1) 在 $CP=0$ 时, G_3 和 G_4 被封锁, 都输出 1, 触发器保持原状态不变, 不受 D 端输入信号的控制。

(2) 当 $CP=1$ 时, G_3 、 G_4 解除封锁, 可接收 D 端输入的信号。

如 $D=1$ 时, $\overline{D}=0$, G_4 输出为 1 状态, G_3 输出为 0 态, 则 $Q^{n+1}=1$; 若 $D=0$ 时, $\overline{D}=1$, G_3 输出为 1 状态, G_4 输出为 0 状态, 则 $Q^{n+1}=0$ 。

由此得出, D 触发器的逻辑功能如下: 当 CP 由 0 变为 1 时, 触发器的状态翻到和 D

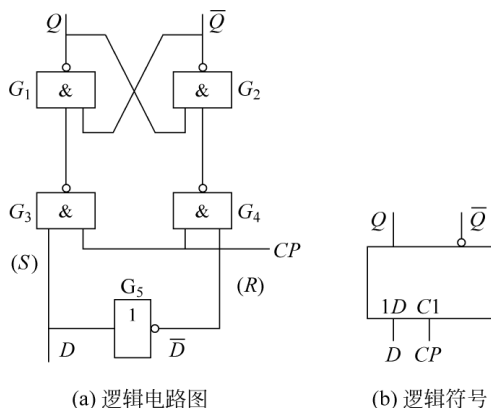


图 3-11 同步 D 触发器的逻辑电路图与逻辑符号

的状态相同；当 CP 由 1 变为 0 时，触发器保持原状态不变。同步 D 触发器的特性表如表 3-5 所示。并由特性表可画出图 3-12 所示的状态转换图。

表 3-5 同步 D 触发器的特性表

时钟	输入	输出
CP	D	Q^{n+1}
0	$\times$	Q^n
1	0	D
1	1	

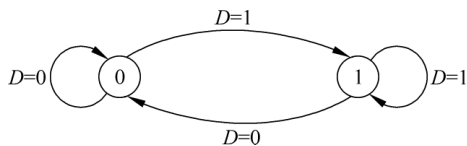


图 3-12 D 触发器的状态转换图

同步 D 触发器的特性方程为

$$Q^{n+1} = D \quad (3-6)$$

3.3.2 边沿 D 触发器

边沿触发方式的触发器有两种：一种是边沿触发器，如边沿触发型 JK 触发器；另一种为维持—阻塞式触发器，这里以维持—阻塞式 D 触发器为例加以说明。

维持—阻塞触发器利用触发器翻转时内部产生的反馈信号使触发器翻转后的状态 Q^{n+1} 得以维持，同时阻止触发器向下一个状态转换，从而有效克服了空翻现象。维持—阻塞式 D 触发器是 CP 脉冲的上升沿触发的，有较强的抗干扰能力，因其内部结构比较复杂，在此不作详细介绍。维持—阻塞触发器有 RS、JK、D、T、T' 触发器，应用较多的是 D 触发器。D 触发器又称 D 锁存器，专门用来存放数据。

如图 3-13 所示为维持—阻塞 D 触发器的逻辑符号。

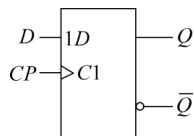


图 3-13 D 触发器逻辑符号