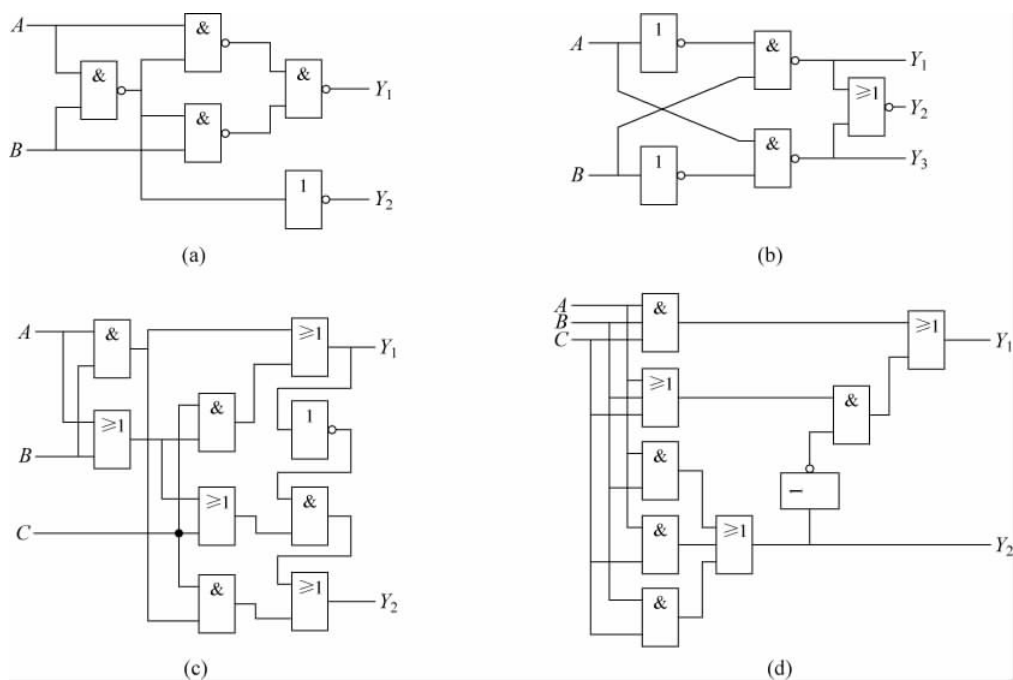


第 3 章

组合逻辑电路

3.1 试写出如图题 3.1 所示的各电路的输出逻辑表达式,并分析电路的逻辑功能。



图题 3.1

解:

(a) 异或运算 $Y_1 = A \oplus B$, 与运算 $Y_2 = AB$ 。

(b) $Y_1 = A + \bar{B}$, $Y_2 = 0$, $Y_3 = \bar{A} + B$ 。

(c) $Y_1 = ABC$, $Y_2 = ABC + A \oplus B + A \oplus C + B \oplus C$ 。

(d) $Y_1 = A \oplus B \oplus C$, $Y_2 = AB + AC + BC$, 该电路是全加器。

3.2 试写出如图题 3.2 所示的电路输出 Y 的逻辑表达式。双 4 选 1 数据选择器 74LS153 的功能表如表 3.4.3 所示。

解: 74LS153 的逻辑表达式是

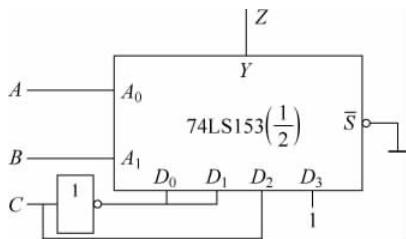
$$Y = [(\bar{A}_1 \bar{A}_0)D_0 + (\bar{A}_1 A_0)D_1 + (A_1 \bar{A}_0)D_2 + (A_1 A_0)D_3]S_1$$

由图可知: $D_0 = D_1 = \bar{C}, D_2 = C, D_3 = 1, A = A_0, B = A_1$

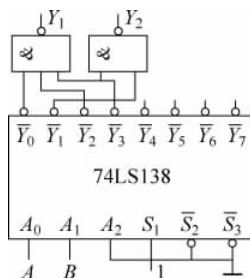
所以

$$Y = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}BC + AB = \bar{B}\bar{C} + \bar{A}BC + AB$$

3.3 试写出如图题 3.3 所示的电路输出 Y_1 、 Y_2 的逻辑表达式。3 线-8 线译码器的功能表如表 3.3.4 所示。



图题 3.2



图题 3.3

解: 根据 $\bar{Y}_i = \bar{m}_i$, 由图可知

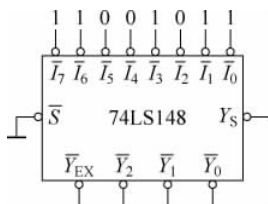
$$Y_1 = \overline{\bar{m}_0 \bar{m}_2 \bar{m}_3} = \bar{A}\bar{B} + \bar{A}B + AB = \bar{A} + B$$

$$Y_2 = \overline{\bar{m}_1 \bar{m}_3} = A\bar{B} + AB = A$$

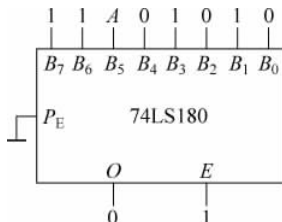
3.4 对于如图题 3.4 所示的电路, 试分析输出 $\bar{Y}_0$ 、 $\bar{Y}_1$ 、 $\bar{Y}_2$ 、 $\bar{Y}_{EX}$ 、 $\bar{Y}_S$ 是高电平还是低电平。74LS148 是 8 线-3 线编码器。

解: 根据 8 线-3 线优先编码器真值表可知, $\bar{I}_7$ 优先级高, $\bar{I}_0$ 优先级最低。由电路图可知 $\bar{I}_7 = \bar{I}_6 = 1, \bar{I}_5 = 0$, 所以对 $\bar{I}_5$ 进行编码, 输出 $\bar{Y}_2 \bar{Y}_1 \bar{Y}_0 = 010, \bar{Y}_{EX} = 0, \bar{Y}_S = 1$ 。

3.5 如图题 3.5 所示的电路中的 74LS180 是 8 位的奇偶发生器/校验器, 试分析输入信号 A 是高电平还是低电平。



图题 3.4



图题 3.5

解: 由表 3.5.2 奇偶发生器/校验器 74LS180 的功能表知, $b_1 \sim b_8$ 中 1 的个数应该是偶数, 所以输入信号 A 是低电平。

3.6 用与非门设计四变量的多数表决器电路。当 A、B、C、D 有 3 个或 3 个以上为 1 时输出为 1, 其他状态时输出为 0。

解: 根据题意可列出多数表决器真值表如表 3.1 所示。

表 3.1 多数表决器真值表

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

根据真值表,得到逻辑表达式如下:

$$Y = \overline{A}BCD + A\overline{B}CD + AB\overline{C}D + ABC\overline{D} + ABCD = \overline{\overline{A}B\overline{C}\overline{D}} + \overline{\overline{A}B\overline{C}D} + \overline{\overline{A}B\overline{C}D} + \overline{\overline{A}B\overline{C}D} + \overline{\overline{A}B\overline{C}D}$$

可用与非门实现,电路图略。

3.7 用与非门设计一个 4 位的补码输出电路。电路输入是 4 位二进制数,输出为输入的补码。

解: 根据题意可列出真值表如表 3.2 所示。

表 3.2 真值表

A	B	C	D	M	N	P	Q
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	0
1	0	0	1	1	1	1	1
1	0	1	0	1	1	1	0
1	0	1	1	1	1	0	1
1	1	0	0	1	1	0	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	1	0
1	1	1	1	1	0	0	1

由真值表经化简后可得与非-与非逻辑表达式:

$$M = A$$

$$N = \overline{\overline{AB} \overline{BCD} \overline{ABC} \overline{ABD}}$$

$$P = \overline{\overline{AC} \overline{ACD} \overline{CD}}$$

$$Q = D$$

用与非门实现的逻辑电路图如图 3.1 所示。

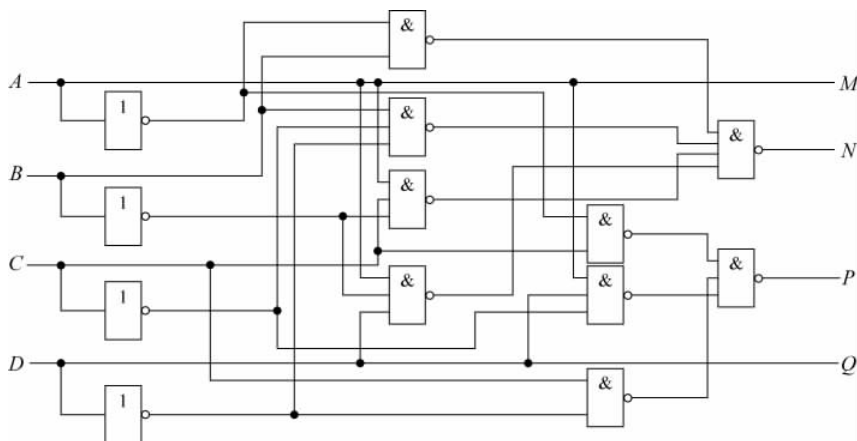


图 3.1

3.8 某工厂有 3 个车间,每个车间各需 1kW 的电力,这 3 个车间由两台发电机组供电,一台是 1kW,另一台是 2kW,这 3 个车间经常不同时工作,有时只一个车间工作,也可能有两个车间或三个车间工作。为了节省能源,同时保证电力的供应,试用门电路设计一个逻辑电路,能自动完成配电任务。

解: 设 3 个车间代码分别是 A、B、C,1kW 的发动机代码是 M,2kW 的发动机代码是 N,真值表如表 3.3 所示,其中 0 代表不工作,1 代表工作。

表 3.3 真值表

A	B	C	M	N
1	0	0	1	0
0	1	0	1	0
0	0	1	1	0
1	1	0	0	1
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

由真值表得逻辑表达式

$$M = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC = A \oplus B \oplus C$$

$$N = \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}C + ABC = AB + AC + BC$$

用异或门和与或门实现,逻辑图如图 3.2 所示。

3.9 现有 3 台用电设备,每台用电量均为 10kW,由两台发电机组供电,一台发电机组的功率为 10kW,另一台发电机组的功率为 20kW。试用 3 线-8 线译码器 74LS138 设计一个供电控制系统,在保证电力供应的条件下,达到节省能源的目的。

解: 设 3 台用电设备的代码分别是 A、B、C,10kW 的发电机组代码是 M,20kW 的发电机组的代码是 N,真值表与表 3.3 相同。

由真值表得逻辑表达式

$$M = A\bar{B}\bar{C} + \bar{A}B\bar{C} + \bar{A}\bar{B}C + ABC = \overline{\bar{m}_1\bar{m}_2\bar{m}_4\bar{m}_7}$$

$$N = A\bar{B}\bar{C} + \bar{A}B\bar{C} + \bar{A}BC + ABC = \overline{\bar{m}_3\bar{m}_5\bar{m}_6\bar{m}_7}$$

用 3 线-8 线译码器 74LS138 实现的供电控制系统逻辑图如图 3.3 所示。

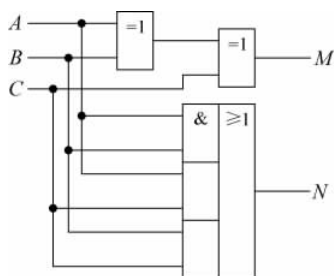


图 3.2

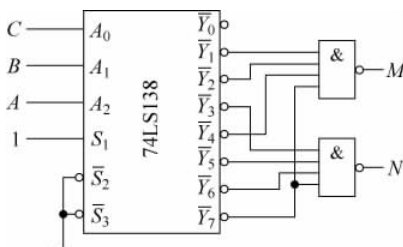


图 3.3

3.10 将下列函数化简,并用与非门画出逻辑电路图。

(1) $Y_1 = AB + (\bar{A}\bar{B} + B\bar{A})C$

(2) $Y_2 = \bar{A}\bar{B} + \bar{A}\bar{C}D + \bar{A}C + BC$

(3) $Y_3 = \sum m_i (i = 1, 2, 3, 5, 6, 8, 9, 12)$

(4) $Y_4 = \prod M_i (i = 0, 2, 4, 5, 9, 10, 13, 14)$

解: 用卡诺图化简并转换成与非-与非形式,逻辑图略。

(1) $Y_1 = \overline{\overline{ABACBC}}$

(2) $Y_2 = \overline{\overline{\bar{A}\bar{B}AD\bar{C}}}$

(3) $Y_3 = \overline{\overline{\bar{A}\bar{C}D\bar{A}\bar{C}D\bar{A}BC\bar{A}\bar{C}D\bar{A}BC}}$

(4) $Y_4 = \overline{\overline{\bar{C}D\bar{A}\bar{C}D\bar{A}B\bar{D}\bar{A}BC}}$

3.11 试用 3 线-8 线译码器 74LS138 和与非门实现下列函数。

(1) $F(A, B, C) = A\bar{B}\bar{C} + \bar{A}(B + C)$

(2) $F(A, B, C) = \sum m_i (i = 0, 3, 6, 7)$

(3) $\begin{cases} F_1(A, B, C) = (A + \bar{C})(\bar{A} + B + C) \\ F_2(A, B, C) = AB + AC + BC \end{cases}$

解: 将逻辑函数转换成最小项之和,并转换成与非-与非式,然后用 74LS138 和与非门实现,这里仅画出逻辑函数(3)的逻辑图,如图 3.4 所示。

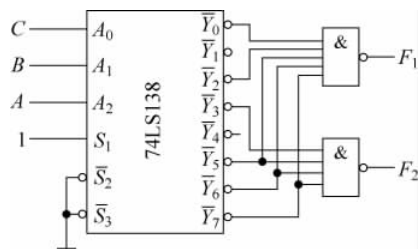


图 3.4

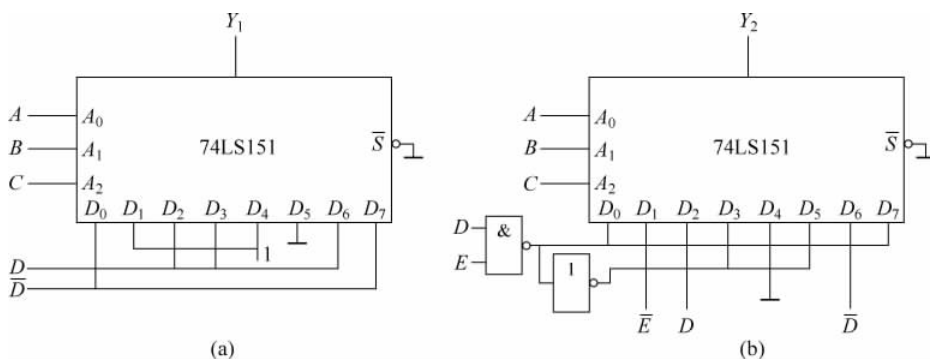
$$(1) F(A, B, C) = ABC + \bar{A}(B+C) = ABC + \bar{A}BC + \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} = \overline{\bar{m}_1\bar{m}_2\bar{m}_3\bar{m}_6}$$

$$(2) F(A, B, C) = \sum m_i (i = 0, 3, 6, 7) = \overline{\bar{m}_0\bar{m}_3\bar{m}_6\bar{m}_7}$$

$$(3) F_1(A, B, C) = (A+\bar{C})(\bar{A}+B+C) = AB+AC+\bar{A}\bar{C}+BC = \overline{\bar{m}_0\bar{m}_2\bar{m}_5\bar{m}_6\bar{m}_7}$$

$$F_2(A, B, C) = AB+AC+BC = \overline{\bar{m}_3\bar{m}_5\bar{m}_6\bar{m}_7}$$

3.12 试分析如图题 3.12(a)、(b)所示的用 74LS151 数据选择器构成的电路, 写出其逻辑表达式。



图题 3.12

解: 根据 74LS151 数据选择器输出变量逻辑表达式整理得

$$Y = [(\bar{A}_2\bar{A}_1\bar{A}_0)D_0 + (\bar{A}_2\bar{A}_1A_0)D_1 + (\bar{A}_2A_1\bar{A}_0)D_2 + (\bar{A}_2A_1A_0)D_3 + (A_2\bar{A}_1\bar{A}_0)D_4 + (A_2\bar{A}_1A_0)D_5 + (A_2A_1\bar{A}_0)D_6 + (A_2A_1A_0)D_7]S$$

由图题 3.12(a)可知: $A_0 = A, A_1 = B, A_2 = C, D_0 = D_7 = \bar{D}, D_1 = D_4 = 1, D_2 = D_3 = D_6 = D, D_5 = 0$, 代入上式得

$$Y_1 = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C} + \bar{A}BCD + \bar{A}BC\bar{D}$$

同样由图题 3.12(b)知: $D_0 = D_7 = \bar{D}E, D_1 = \bar{E}, D_2 = D, D_3 = D_5 = DE, D_6 = \bar{D}$, 代入上式得

$$Y_2 = \bar{A}\bar{B}\bar{C}\bar{D}E + \bar{A}\bar{B}\bar{C}\bar{E} + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CDE + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}DE + \bar{A}BC\bar{D}E$$

3.13 试用八选一数据选择器 74LS151 实现下列逻辑函数。

$$(1) Y_1 = \sum m_i (i = 0, 1, 6, 8, 12, 15)$$

$$(2) Y_2 = \sum m_i (i = 1, 2, 4, 7)$$

$$(3) Y_3 = A + BC$$

$$(4) Y_4 = AB + AC + BC$$

解：这里只给出(1)的实现,其他类似。

$$\begin{aligned} Y_1 &= \sum m_i (i = 0, 1, 6, 8, 12, 15) \\ &= \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + A\overline{B}\overline{C}\overline{D} + ABCD \end{aligned}$$

按照 74LS151 数据选择器输出变量逻辑表达式来整理得

$$\begin{aligned} Y_1 &= (\overline{A}\overline{B}\overline{C}) \cdot 1 + (\overline{A}\overline{B}C) \cdot 0 + (\overline{A}B\overline{C}) \cdot 0 + (\overline{A}BC)\overline{D} + (A\overline{B}\overline{C})\overline{D} \\ &\quad + (A\overline{B}C) \cdot 0 + (AB\overline{C})\overline{D} + (ABC)D \end{aligned}$$

选取 $A_0 = C, A_1 = B, A_2 = A, D_0 = 1, D_1 = D_2 = D_5 = 0, D_3 = D_4 = D_6 = \overline{D}, D_7 = D$ 即可,要实现逻辑电路图与图题 3.12 中的类似。

3.14 试分别用下列方法分别设计全加器。

- (1) 用与非门;
- (2) 用或非门;
- (3) 用双四选一数据选择器 74LS153;
- (4) 用 3 线-8 线译码器 74LS138 和与非门。

解：全加器的真值表如表 3.4 所示。

表 3.4

A_i	B_i	C_i	S_i	C_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

由真值表可写出 S_i, C_{i+1} 和 A_i, B_i, C_i 的函数关系表达式为

$$\begin{aligned} S_i &= \overline{A_i}\overline{B_i}C_i + \overline{A_i}B_i\overline{C_i} + A_i\overline{B_i}\overline{C_i} + A_iB_iC_i \\ C_{i+1} &= \overline{A_i}B_iC_i + A_i\overline{B_i}C_i + A_iB_i\overline{C_i} + A_iB_iC_i \end{aligned}$$

(1) 用与非门实现。将 S_i, C_{i+1} 整理成与非-与非式,其电路实现逻辑图见图 3.5(a)。

$$\begin{aligned} S_i &= \overline{\overline{\overline{A_i}\overline{B_i}C_i} \overline{\overline{\overline{A_i}B_i\overline{C_i}} \overline{\overline{A_i}\overline{B_i}\overline{C_i}} \overline{\overline{A_i}B_iC_i}}} \\ C_{i+1} &= \overline{\overline{\overline{A_i}B_iC_i} \overline{\overline{A_i}\overline{B_i}C_i} \overline{\overline{A_i}B_i\overline{C_i}}} \end{aligned}$$

(2) 用或非门实现。将 S_i, C_{i+1} 整理成或非式,其实现逻辑图略。

$$\begin{aligned} S_i &= \overline{(A_i + B_i + \overline{C_i})(A_i + \overline{B_i} + C_i)(\overline{A_i} + B_i + C_i)(\overline{A_i} + \overline{B_i} + \overline{C_i})} \\ &= \overline{\overline{A_i + B_i + \overline{C_i}} \overline{A_i + \overline{B_i} + C_i} \overline{\overline{A_i} + B_i + C_i} \overline{\overline{A_i} + \overline{B_i} + \overline{C_i}}} \\ C_{i+1} &= \overline{\overline{A_i + \overline{B_i} + \overline{C_i}} \overline{\overline{A_i} + B_i + \overline{C_i}} \overline{\overline{A_i} + \overline{B_i}}} \end{aligned}$$

(3) 用双四选一数据选择器 74LS153 实现。74LS153 逻辑表达式为

$$Y_1 = [(\bar{A}_1\bar{A}_0)D_{10} + (\bar{A}_1A_0)D_{11} + (A_1\bar{A}_0)D_{12} + (A_1A_0)D_{13}]S_1$$

$$Y_2 = [(\bar{A}_1\bar{A}_0)D_{20} + (\bar{A}_1A_0)D_{21} + (A_1\bar{A}_0)D_{22} + (A_1A_0)D_{23}]S_2$$

对比 S_i 、 C_{i+1} 的表达式, 选取 $Y_1 = S_i$, $Y_2 = C_{i+1}$, $A_1 = A_i$, $A_0 = B_i$, $D_{10} = D_{13} = C_i$, $D_{11} = D_{12} = \bar{C}_i$, $D_{20} = 0$, $D_{21} = D_{22} = C_i$, $D_{23} = 1$ 。

其实现逻辑图如图 3.5(b)所示。

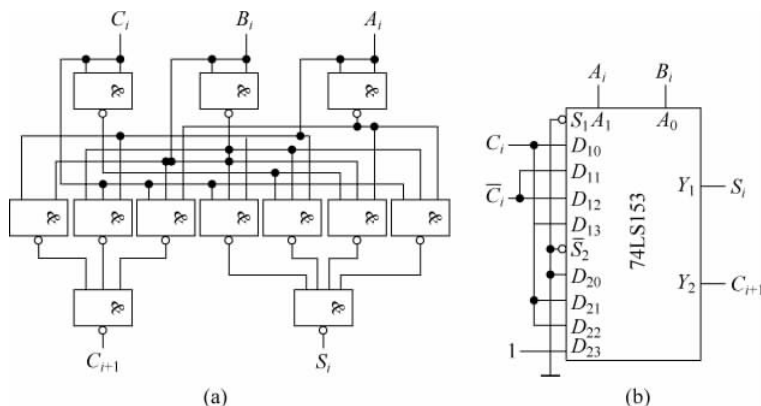


图 3.5

(4) 用 3 线-8 线译码器 74LS138 和与非门实现。将 S_i 、 C_{i+1} 整理成适合译码器输出的形式, 其实现逻辑图略。

$$S_i = \bar{A}_i\bar{B}_iC_i + \bar{A}_iB_i\bar{C}_i + A_i\bar{B}_i\bar{C}_i + A_iB_iC_i = \overline{m_1m_2m_4m_7}$$

$$C_{i+1} = \bar{A}_iB_iC_i + A_i\bar{B}_iC_i + A_iB_i\bar{C}_i + A_iB_iC_i = \overline{m_3m_5m_6m_7}$$

3.15 试用四位加法器 74LS283 设计一个将 8421BCD 码转换成余 3 码的电路。

解: 将 8421BCD 码转换成余 3 码的电路的真值表如表 3.5 所示。

表 3.5

D	C	B	A	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

由真值表知, $Y_3Y_2Y_1Y_0$ 和 $DCBA$ 所代表的二进制数始终相差 0011, 即十进制数的 3。由此可得表达式

$$Y_3Y_2Y_1Y_0 = DCBA + 0011$$

根据上式可知,用一片 4 位加法器 74LS283 便可完成要求的代码转换电路,如图 3.6 所示。

3.16 用 3 线-8 线译码器和与非门实现下列多输出函数。

$$\begin{cases} F_1 = AB + \overline{A}BC \\ F_2 = A + B + \overline{C} \\ F_3 = \overline{A}B + A\overline{B} \end{cases}$$

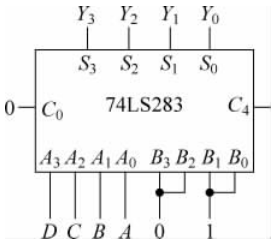


图 3.6

解: 将输出函数整理成译码器输出形式,实现电路图略。

$$\begin{aligned} F_1 &= AB + \overline{A}BC = ABC + ABC + \overline{A}BC = \overline{m_0m_6m_7} \\ F_2 &= A + B + \overline{C} = \overline{m_0m_2m_3m_4m_5m_6m_7} \\ F_3 &= \overline{A}B + A\overline{B} = \overline{ABC + \overline{A}BC + \overline{A}BC + ABC} = \overline{m_2m_3m_4m_5} \end{aligned}$$

3.17 设计用 3 个开关控制一个电灯的逻辑电路,要求改变任何一个开关的状态都能控制电灯由亮变灭或由灭变亮。要求用数据选择器实现。

解: 以 A、B、C 表示 3 个双位开关,并用 0 和 1 分别表示开关的两个开关。以 Y 表示灯的状态,用 1 表示亮,用 0 表示灭。设 ABC=000 时,Y=0,从这个状态开始,单独改变任何一个开关的状态,Y 的状态都要变化。据此列出 Y 与 A、B、C 之间的逻辑关系的真值表如表 3.6 所示。

表 3.6

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
1	0	0	1
0	1	1	0
1	0	1	0
1	1	0	0
1	1	1	1

从真值表可写出逻辑式

$$Y = (\overline{A}\overline{B})C + (\overline{A}B)\overline{C} + (A\overline{B})\overline{C} + (AB)C$$

选取双 4 选 1 的 74LS153 数据选择器实现。

令 $A=A_1, B=A_0, D_{10}=D_{13}=C, D_{11}=D_{12}=\overline{C}$,其逻辑图如图 3.7 所示。

3.18 试用 4 位并行加法器 74LS283 设计一个加/减运算电路。当控制信号 $K=0$ 时将两个输入的 4 位二进制数相加,而 $K=1$ 时将两个输入的 4 位二进制数相减。允许附加必要的门电路。

解: 电路如图 3.8 所示。

$K=0$ 时, $S_3S_2S_1S_0 = P_3P_2P_1P_0 + Q_3Q_2Q_1Q_0$; $K=1$ 时, $S_3S_2S_1S_0 = P_3P_2P_1P_0 + [Q_3Q_2Q_1Q_0]_{补}$ 。

3.19 用二-十进制编码器、译码器和七段数码管组成一个 1 位数码显示电路。当 0~9 十个输入端中某一个接地时,显示相应的数字。选择合适的器件,画出连线图。

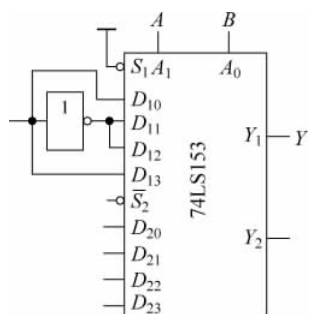


图 3.7

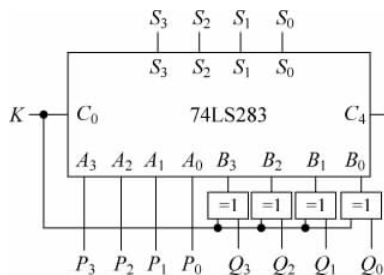


图 3.8

解：由二-十进制编码器 74LS147、显示译码器 7448 和七段数码管组成一个 1 位数
码显示电路的电路图如图 3.9 所示。

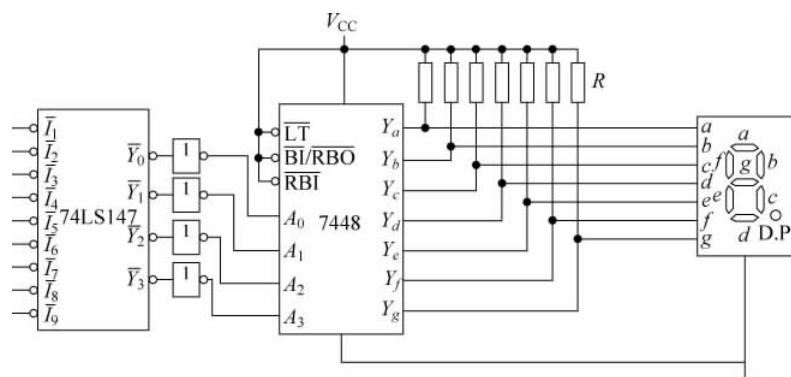
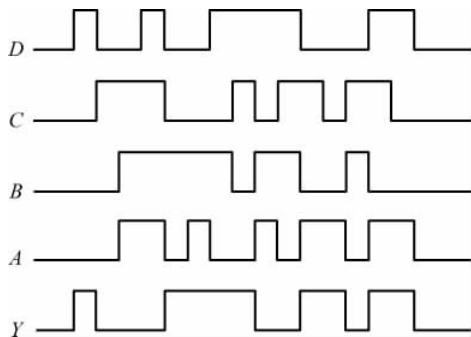


图 3.9

3.20 已知输入信号 A 、 B 、 C 、 D 的波形如图题 3.20 所示，选择适当的集成门电路，
设计产生输出 Y 波形的组合电路。



图题 3.20

解：根据输入、输出信号波形图可列出真值表，如表 3.7 所示。

表 3.7

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

由真值表可写出相应的逻辑函数：

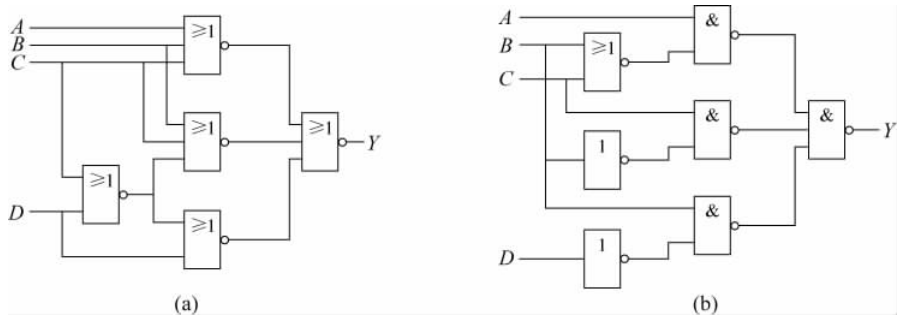
$Y = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D$

化简得

$Y = \overline{A}BD + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{D} + \overline{B}\overline{C}\overline{D} = \overline{\overline{A}BD \overline{A}B\overline{C} \overline{A}B\overline{C} \overline{A}B\overline{D} \overline{B}\overline{C}\overline{D}}$

可选用与非门来实现，逻辑图略。

3.21 用卡诺图或代数法判断图题 3.21(a)、(b)所示的组合逻辑电路是否存在冒险现象，若是，判断其属于哪一种冒险现象。



图题 3.21

解：图题 3.21(a)的表达式为 $Y = \overline{\overline{A+B+C} \cdot \overline{B+C+D} \cdot \overline{C+D+D}} = \overline{A\overline{B} + B\overline{C} + C\overline{D}}$ 无法化成 $Y = A + \overline{A}$ 或 $Y = A\overline{A}$ 形式，所以该组合逻辑电路不存在竞争-冒险现象。

图题 3.21(b)的表达式为 $Y = \overline{\overline{A \cdot B + C \cdot CB + BD}} = \overline{A\overline{B}\overline{C} + \overline{B}C + B\overline{D}}$ 。当 $C = \overline{D} = 1$ 时， $Y = B + \overline{B}$ ；当 $A = 1, C = \overline{D} = 1$ 时， $Y = B + \overline{B}$ ；当 $A = \overline{B} = 1$ 时， $Y = C + \overline{C}$ 。这 3 种情况

都存在竞争-冒险现象。

3.22 判断下列表达式是否存在冒险现象,若存在,试用修改逻辑函数的方法将冒险消除。

$$(1) F(A, B, C) = A\bar{C} + BC$$

$$(2) F(A, B, C) = (A + \bar{C})(B + C)$$

$$(3) F(A, B, C) = (A + \bar{B} + C)(\bar{A} + \bar{B} + C)(A + B + C)$$

解: (1) 当 $A=B=1$ 时, $F=C+\bar{C}$, 所以存在竞争-冒险现象。修改逻辑函数为

$$F(A, B, C) = A\bar{C} + BC + AB$$

(2) 当 $A+B=0$ 时, $F=C\bar{C}$, 所以存在竞争-冒险现象。修改逻辑函数为

$$F(A, B, C) = (A + \bar{C})(B + C)(A + B)$$

(3) 当 $B=1, C=0$ 时, $F=A\bar{A}$; 当 $A=C=0$ 时, $F=B\bar{B}$ 。这两种情况都存在竞争-冒险现象。修改逻辑函数为

$$F(A, B, C) = (A + \bar{B} + C)(\bar{A} + \bar{B} + C)(A + B + C)(\bar{B} + C)(A + C)$$

3.23 用卡诺图法化简下列函数,并用与门和或门实现它们,但任何变量改变状态时不得有竞争-冒险。

$$(1) F_1(A, B, C, D) = \sum m_i (i = 2, 6, 8, 9, 11, 12, 14)$$

$$(2) F_2(A, B, C, D) = \sum m_i (i = 0, 2, 3, 4, 8, 9, 14, 15)$$

解: 逻辑函数的卡诺图如图 3.10 所示,从图中可以看出,化简时两个卡诺图中都有一个圈相切,因此多圈一个冗余圈以消除竞争-冒险现象。化简后的逻辑函数为

$$F_1(A, B, C, D) = \bar{A}\bar{C}\bar{D} + B\bar{C}\bar{D} + A\bar{C}\bar{D} + \bar{A}BD + \bar{A}\bar{B}\bar{C}$$

$$F_2(A, B, C, D) = \bar{A}\bar{B}\bar{C} + ABC + \bar{A}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C} + \bar{B}\bar{C}\bar{D}$$

用与门、或门实现的逻辑图略。

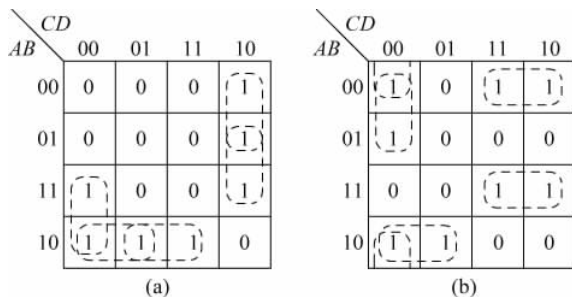
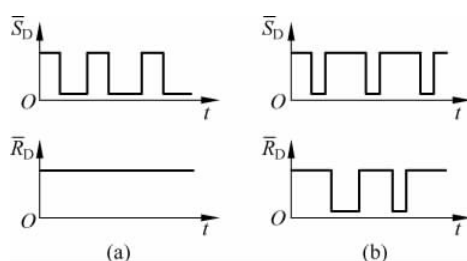


图 3.10

第4章

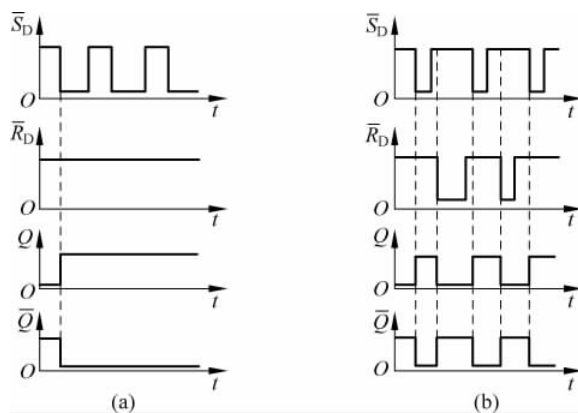
触发器

4.1 画出由与非门构成的基本 RS 触发器输出端 Q 和 $\bar{Q}$ 的电压波形，输入端 $\bar{S}_D$ 和 $\bar{R}_D$ 的电压波形分别如图题 4.1(a)、(b) 所示。



图题 4.1

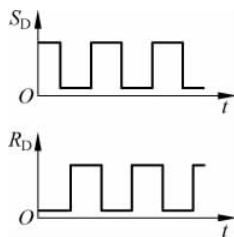
解：设初态为 0，输出端电压波形如下所示。



4.2 画出由或非门构成的基本 RS 触发器输出端 Q 和 $\bar{Q}$ 的电压波形，输入端 S_D 和 R_D 的电压波形如图题 4.2 所示。

解：输出波形图如图 4.1 所示。

4.3 试分析图题 4.3 所示电路的逻辑功能，列出真值表，写出逻辑函数式。



图题 4.2

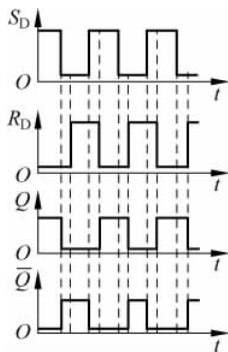
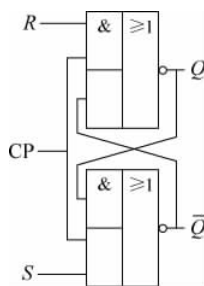


图 4.1



图题 4.3

解：由电路分析可知，当 $CP=0$ 时，输出保持不变；当 $CP=1$ 时，真值表如表 4.1 所示。

表 4.1

R	S	Q^n	Q^{n+1}	R	S	Q^n	Q^{n+1}
0	0	0	0	1	0	0	0
0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	0*
0	1	1	1	1	1	1	0*

* 状态不确定，可以是 0 或 1。

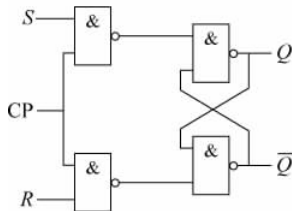
由真值表可得

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ SR = 0 \end{cases}$$

该电路为同步 RS 触发器。

4.4 在如图题 4.4 所示电路中，若 CP、S 和 R 端的电压波形如图中所示，试画出输出端 Q 和 $\bar{Q}$ 的输出波形。设触发器的初态为 0。

解：输出波形图如图 4.2 所示。



图题 4.4

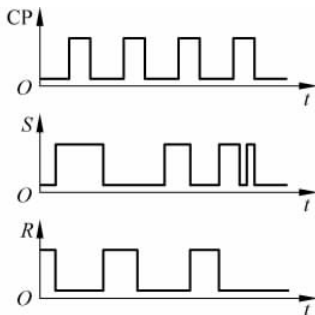
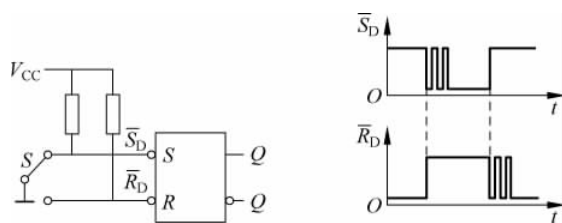


图 4.2

4.5 图题 4.5 为一个防抖动输出的开关电路。当拨动开关 S 时，由于开关触点接通瞬间发生颤动，如图 $\bar{S}_D$ 和 $\bar{R}_D$ 的波形所示，试画出输出端 Q 和 $\bar{Q}$ 的波形。

解：输出端的波形如图 4.3 所示。



图题 4.5

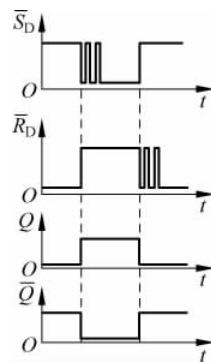
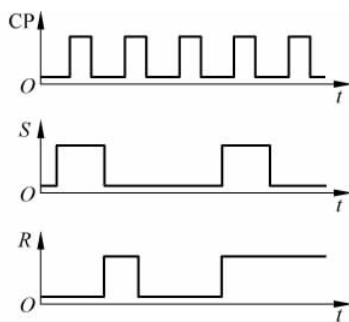
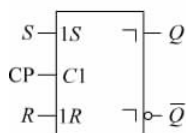


图 4.3

4.6 图题 4.6 是主从结构 RS 触发器, 其各输入端电压波形如图中所示, 试画出输出端 Q 和 $\bar{Q}$ 的波形。设触发器的初态为 $Q=0$ 。

解: 输出端的波形图如图 4.4 所示。



图题 4.6

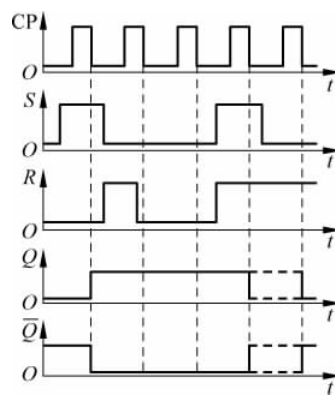
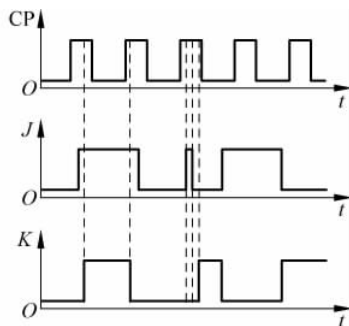
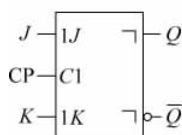


图 4.4

4.7 已知主从 JK 触发器输入端 CP、J 和 K 的电压波形如图题 4.7 所示, 试画出输出端 Q 和 $\bar{Q}$ 的电压波形。设触发器的初态为 $Q=0$ 。

解: 输出波形图如图 4.5 所示。



图题 4.7

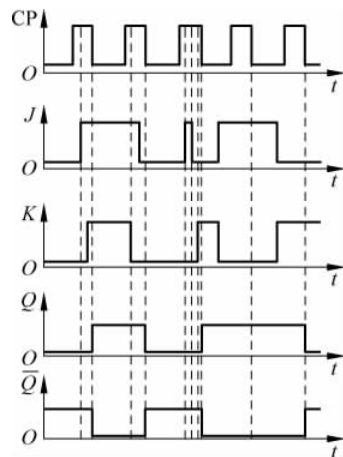
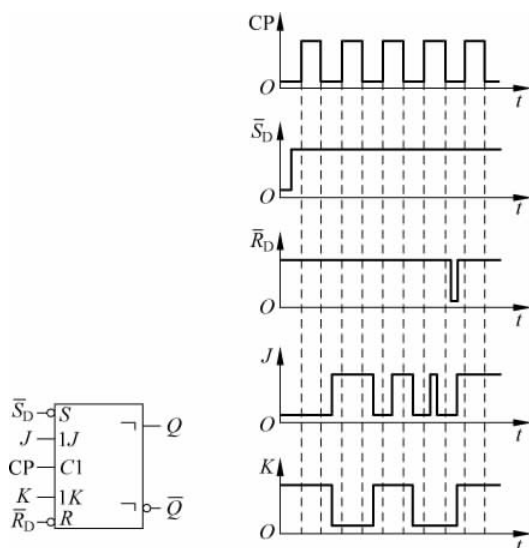


图 4.5

4.8 已知主从 JK 触发器输入端 CP、 $\bar{S}_D$ 、 $\bar{R}_D$ 、J 和 K 的电压波形如图题 4.8 所示, 试画出输出端 Q 和 $\bar{Q}$ 的电压波形。

解: 输出波形如图 4.6 所示。



图题 4.8

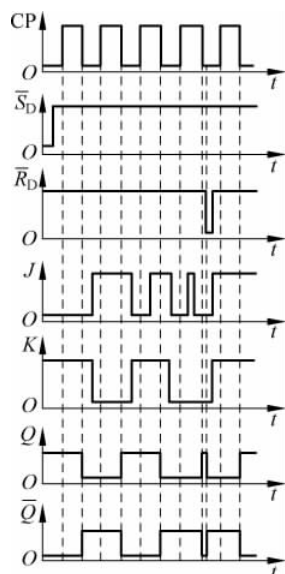
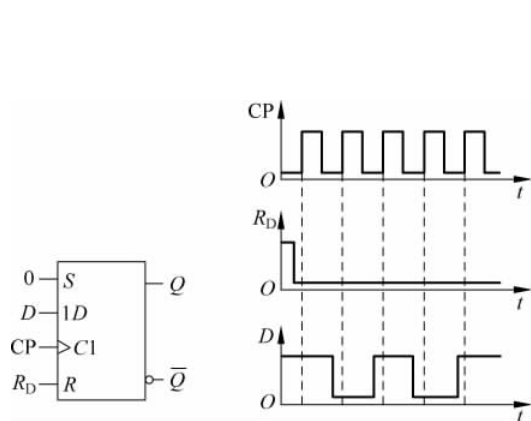


图 4.6

4.9 已知维持阻塞结构 D 触发器输入端 CP、 S_D 、 R_D 和 D 的电压波形如图题 4.9 所示, 试画出输出端 Q 和 $\bar{Q}$ 的电压波形。

解: 输出波形如图 4.7 所示。



图题 4.9

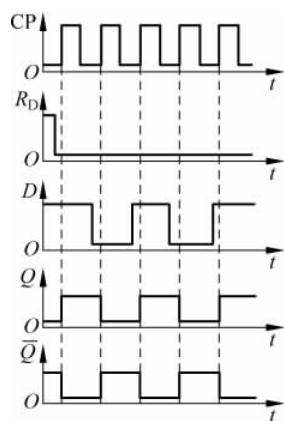
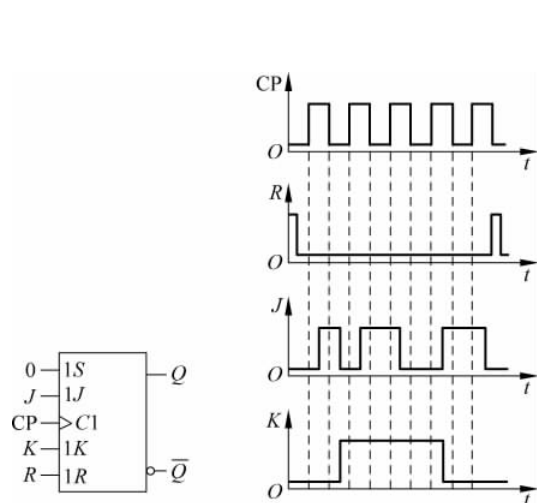


图 4.7

4.10 图题 4.10 是利用上升沿 JK 触发器 CD4027 构成, 已知 CP、 R_D 、J、K 的电压波形如图所示, 试画出输出端 Q 和 $\bar{Q}$ 的电压波形。

解: 输出波形如图 4.8 所示。



图题 4.10

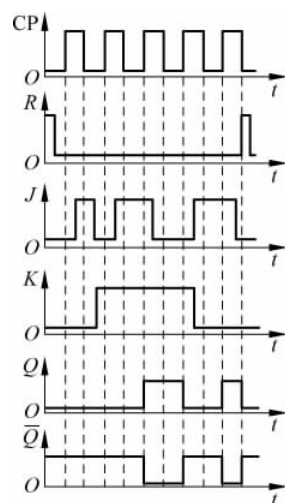
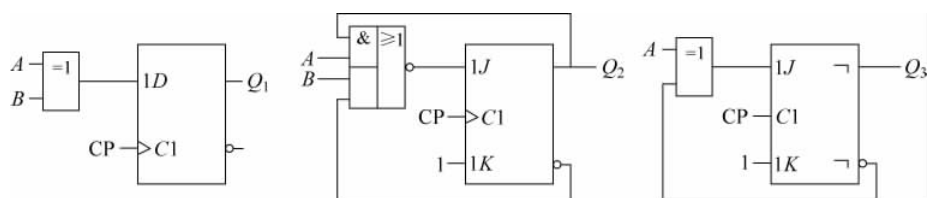


图 4.8

4.11 试写出图题 4.11 中各触发器的次态输出方程式。



图题 4.11

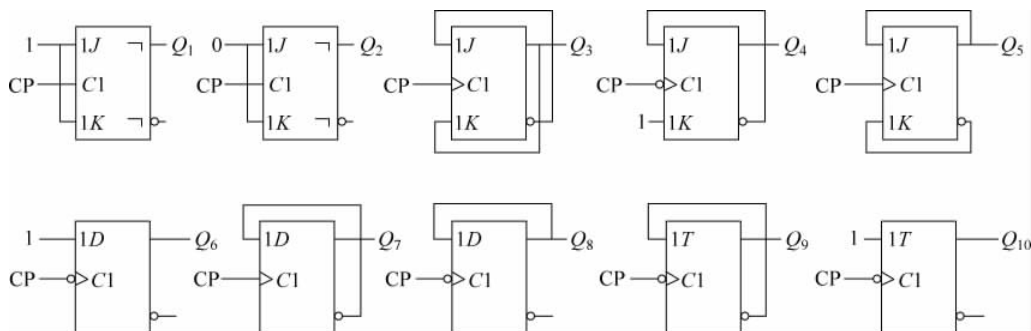
解:

$$Q_1^{n+1} = A \oplus B$$

$$Q_2^{n+1} = (AQ_2^n + B\bar{Q}_2^n)\bar{Q}_2^n$$

$$Q_3^{n+1} = (A \oplus \bar{Q}_3^n)\bar{Q}_3^n$$

4.12 假设图题 4.12 中各触发器的初始状态为 0, 试画出每一个触发器的 Q 端波形。



图题 4.12

解: 输出波形如图 4.9 所示。

$$Q_1^{n+1} = \bar{Q}_1, \quad Q_2^{n+1} = Q_2, \quad Q_3^{n+1} = \bar{Q}_3 \bar{Q}_3 + \bar{Q}_3 Q_3 = \bar{Q}_3, \quad Q_4^{n+1} = \bar{Q}_4, \quad Q_5^{n+1} = Q_5 \\ Q_6^{n+1} = 1, \quad Q_7^{n+1} = \bar{Q}_7, \quad Q_8^{n+1} = Q_8, \quad Q_9^{n+1} = \bar{Q}_9 \oplus Q_9 = 1, \quad Q_{10}^{n+1} = \bar{Q}_{10}$$

4.13 试用 T 触发器和门电路构成 D 触发器和 JK 触发器。

解: 首先列出 T、D 和 JK 触发器的激励表, 如表 4.2 所示。

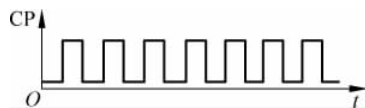


图 4.9

表 4.2

T	Q^n	D	J	K	Q^{n+1}
0	0	0	0	×	0
0	1	1	×	0	1
1	0	1	1	×	1
1	1	0	×	1	0

由表可得到关于 T 的逻辑函数:

$$T = D\bar{Q}^n + \bar{D}Q^n$$

$$T = J\bar{Q}^n + KQ^n = \overline{J\bar{Q}^n KQ^n}$$

根据上式可画出用 T 触发器和门电路构成 D 触发器和 JK 触发器的电路, 如图 4.10 所示。

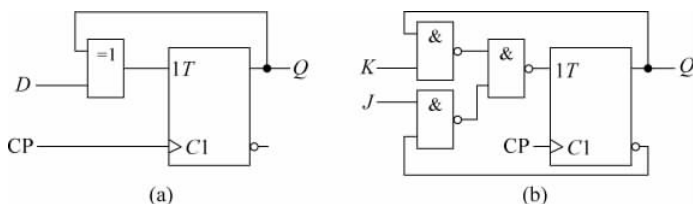
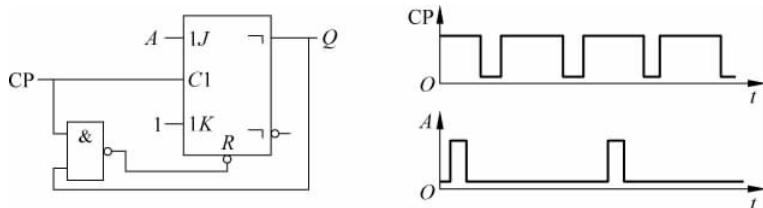


图 4.10

4.14 分别用 JK 和 D 触发器外加逻辑门电路实现特性方程 $Q^{n+1} = A \oplus B \oplus Q^n$ 的触发器。

解: 因为 $Q^{n+1} = A \oplus B \oplus Q^n = (A \oplus B)\bar{Q}^n + \overline{(A \oplus B)}Q^n$, 所以令 $J = K = A \oplus B$, $D = A \oplus B \oplus Q^n$ 即可实现, 电路图略。

4.15 在如图题 4.15 所示的主从 JK 触发器电路中, CP 和 A 的电压波形如图中所示, 试画出 Q 端对应的波形。设触发器的初始状态为 $Q=0$ 。



图题 4.15

解: 由电路图可知 $Q^{n+1} = A\bar{Q}$, 考虑到异步复位端, 输出波形如图 4.11 所示。

4.16 在如图题 4.16 所示的触发器电路中, 已知 A 和 B 的波形, 试画出对应的 Q_1 、 Q_2 的波形。设触发器的初始状态为 $Q=0$ 。

解: 由电路图可知 $Q_1^{n+1} = \bar{Q}_1$, $Q_2^{n+1} = Q_1\bar{Q}_2$, 考虑到异步脉冲和复位端, 输出波形如图 4.12 所示。

4.17 如图题 4.17 所示的电路中, FF1 是 JK 触发器, FF2 是 D 触发器, 初始状态为 0, 试画出在 CP 作用下 Q_1 、 Q_2 的波形。

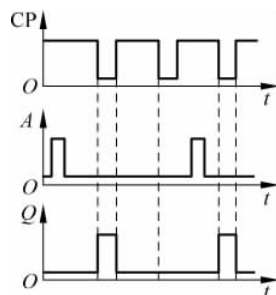
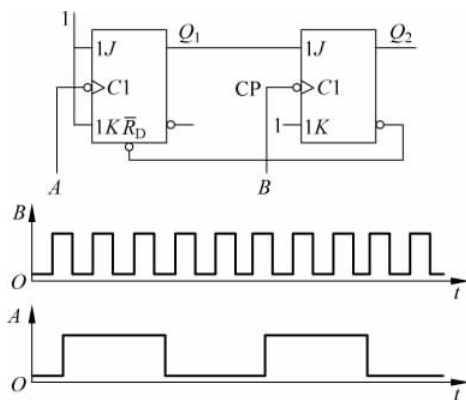


图 4.11



图题 4.16

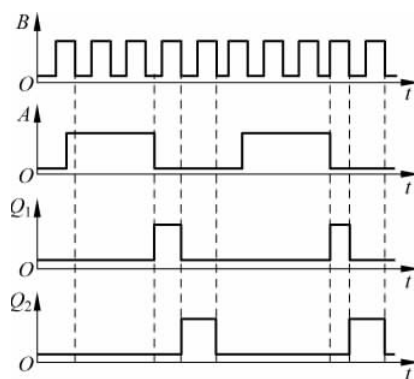


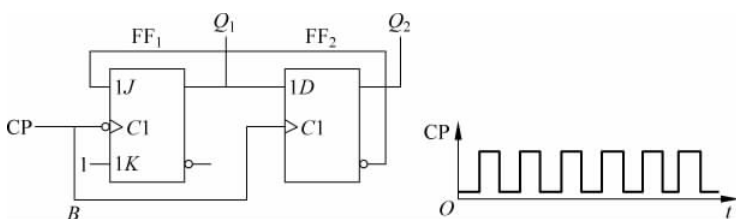
图 4.12

解: 根据电路图可写出 Q_1 和 Q_2 的输出逻辑函数

$$Q_1^{n+1} = \bar{Q}_1 Q_2$$

$$Q_2^{n+1} = Q_1$$

输出波形如图 4.13 所示。



图题 4.17

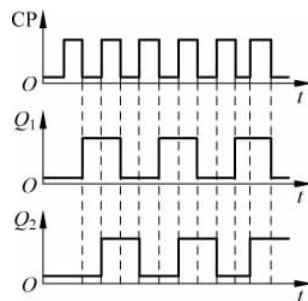


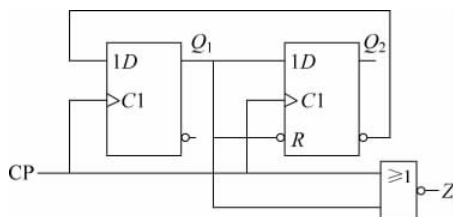
图 4.13

4.18 图题 4.18 是用 CMOS 边沿触发器和或非门组成的脉冲分配电路。试画出一系列 CP 脉冲作用下 Q_1 、 Q_2 和 Z 端对应的输出电压波形。设触发器的初始状态为 $Q=0$ 。

解: 根据电路图可写出 Q_1 、 Q_2 和 Z 的输出逻辑函数:

$$Q_1^{n+1} = \bar{Q}_1 \bar{Q}_2, \quad Q_2^{n+1} = Q_1, \quad Z = \overline{CP + Q_1}$$

考虑异步复位影响, 输出波形如图 4.14 所示。



图题 4.18

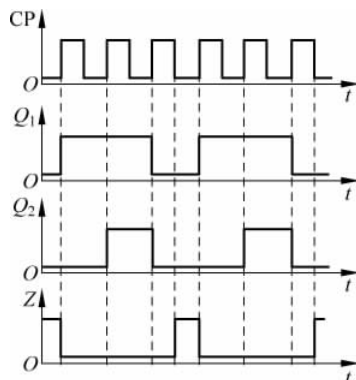
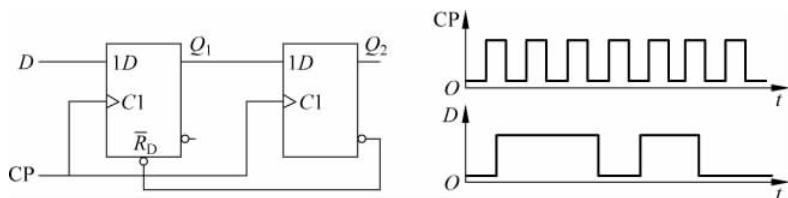


图 4.14

4.19 由集成触发器 CT4074 组成的电路如图题 4.19 所示, 试画出在输入波形 CP、D 的作用下 Q_1 、 Q_2 对应的输出电压波形。设触发器的初始状态为 $Q=0$ 。



图题 4.19

解: 根据电路图可写出 Q_1 和 Q_2 的输出逻辑函数表达式:

$$Q_1^{n+1} = D, \quad Q_2^{n+1} = Q_1$$

输出波形如图 4.15 所示。

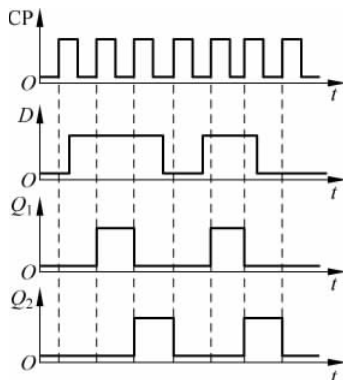
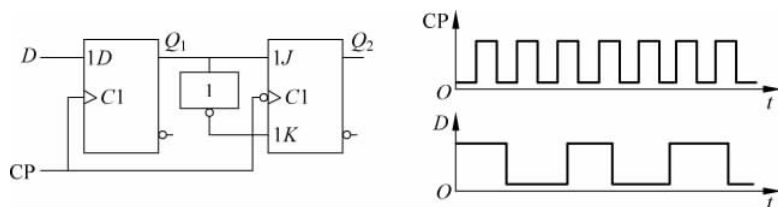


图 4.15

4.20 维持阻塞 D 触发器和边沿 JK 触发器组成的电路如图题 4.20 所示, 试画出在输入波形 CP、D 的作用下 Q_1 、 Q_2 对应的输出电压波形。设触发器的初始状态为 $Q=0$ 。



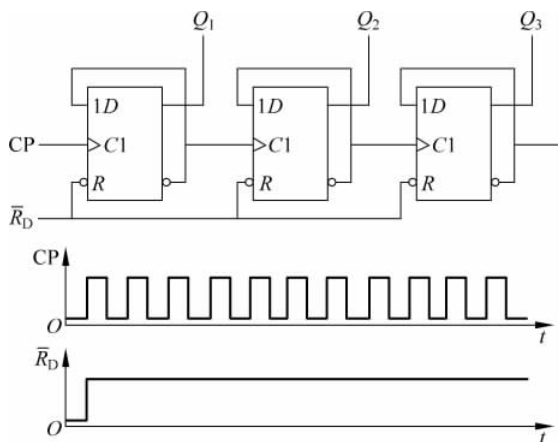
图题 4.20

解：根据电路图可写出 Q_1 和 Q_2 的输出逻辑函数表达式：

$$Q_1^{n+1} = D, \quad Q_2^{n+1} = Q_1$$

其输出波形图类似题 4.19。

4.21 试画出如图题 4.21 所示的电路图中在 CP、 $\bar{R}_D$ 信号作用下 Q_1 、 Q_2 和 Q_3 端的输出电压波形，并说明 Q_1 、 Q_2 和 Q_3 输出信号的周期和 CP 信号周期之间的关系。



图题 4.21

解：根据电路图可写出 Q_1 、 Q_2 和 Q_3 输出逻辑函数表达式 $Q_1^{n+1} = \bar{Q}_1$ ， $Q_2^{n+1} = \bar{Q}_2$ ， $Q_3^{n+1} = \bar{Q}_3$ 其输出波形如图 4.16 所示。

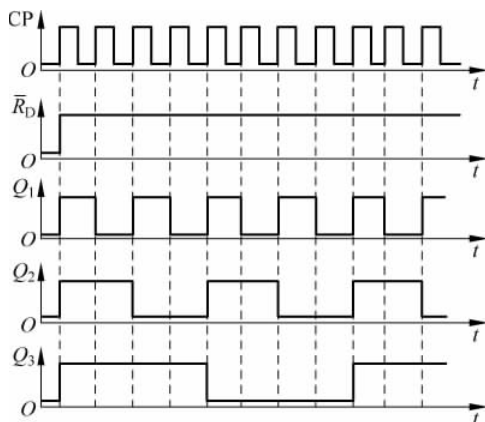


图 4.16

4.22 (略)

4.23 (略)

4.24 用触发器和门电路设计一个三人抢答器。每个抢答人控制一个按钮开关,抢先按动开关能使自己控制的指示灯亮,同时封锁另外两人的动作,即另外两人按开关也不再起作用。主持人按动主持人开关可使指示灯熄灭并解除封锁。

解: 用 3 个边沿触发的 D 触发器用于记录 A、B、C 三人的按钮情况。

设按动按钮后,对应的输入线产生一个正脉冲信号,该脉冲的上沿使相应的触发器置 1。由 $F = \overline{Q_1 + Q_2 + Q_3}$ 封锁其后的按钮脉冲,主持人使用一个负脉冲(对应于按钮 E)使触发器置 0,电路逻辑图如图 4.17 所示。

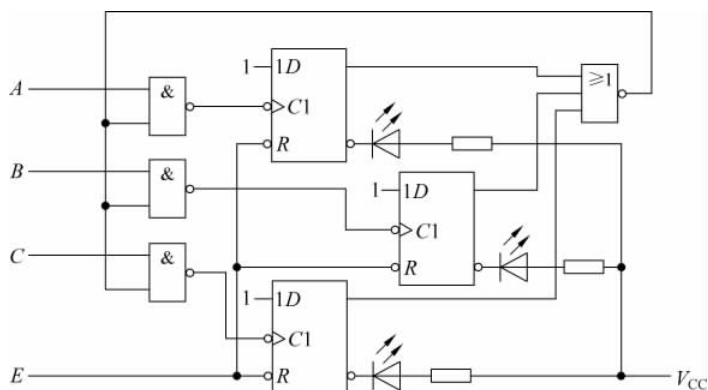
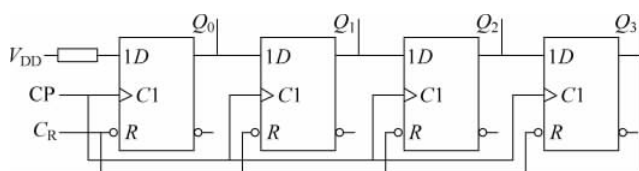


图 4.17

第 5 章

时序逻辑电路

5.1 试分析如图题 5.1 所示的时序逻辑电路的逻辑功能。若各触发器的初态为 $Q_3Q_2Q_1Q_0=1011$, 问经过 4 个 CP 后各触发器的状态。



图题 5.1

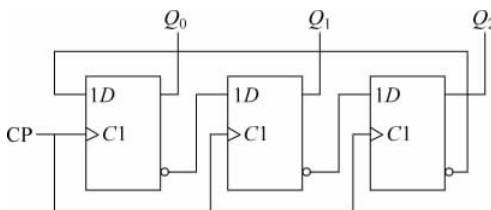
解：寄存器的状态为

$$Q_3^{n+1} = Q_2, \quad Q_2^{n+1} = Q_1, \quad Q_1^{n+1} = Q_0, \quad Q_0^{n+1} = 1$$

所以, 经过 4 个 CP 后触发器的状态为

$$Q_3Q_2Q_1Q_0 = 1111$$

5.2 图题 5.2 是一个自循环移位寄存器逻辑图, 设各触发器的初态 $Q_2Q_1Q_0=001$, 试列出经过 6 个 CP 作用时寄存器的状态转换表。



图题 5.2

解：驱动方程为 $D_0=\bar{Q}_2, D_1=\bar{Q}_0, D_2=\bar{Q}_1$, 代入 D 触发器特性方程, 则得到状态方程为

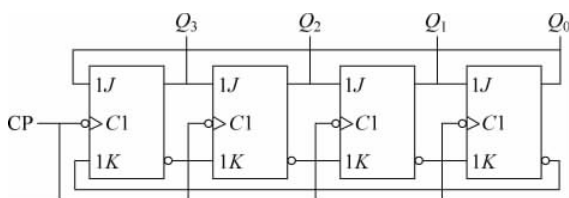
$$Q_2^{n+1} = \bar{Q}_1, \quad Q_1^{n+1} = \bar{Q}_0, \quad Q_0^{n+1} = \bar{Q}_2$$

状态转换表如表 5.1 所示。

表 5.1

CP	Q_2	Q_1	Q_0
0	0	0	1
1	1	0	1
2	1	0	0
3	1	1	0
4	0	1	0
5	0	1	1
6	0	0	1

5.3 试分析如图题 5.3 所示的时序逻辑电路的功能,列出状态转换表,画出时序图。设各触发器的初态为 $Q_3Q_2Q_1Q_0=0001$ 。



图题 5.3

解: 驱动方程

$$\begin{cases} J_3 = Q_0 \\ K_3 = \bar{Q}_0 \end{cases} \begin{cases} J_2 = Q_3 \\ K_2 = \bar{Q}_3 \end{cases} \begin{cases} J_1 = Q_2 \\ K_1 = \bar{Q}_2 \end{cases} \begin{cases} J_0 = Q_1 \\ K_0 = \bar{Q}_1 \end{cases}$$

代入 JK 触发器的特性方程 $Q^{n+1} = J\bar{Q} + \bar{K}Q$, 得

$$Q_3^{n+1} = Q_0, \quad Q_2^{n+1} = Q_3, \quad Q_1^{n+1} = Q_2, \quad Q_0^{n+1} = Q_1$$

所以该电路是一个右移移位寄存器,其状态转换表如表 5.2 所示,时序图如图 5.1 所示。

表 5.2

CP	Q_3	Q_2	Q_1	Q_0
0	0	0	0	1
1	1	0	0	0
2	0	1	0	0
3	0	0	1	0
4	0	0	0	1

5.4 试分析如图题 5.4 所示的时序逻辑电路的功能,设各触发器的初态为 $Q_2Q_1Q_0=011$ 。

- (1) 列出状态转换表。
- (2) 说明电路的逻辑功能。
- (3) 说明电路能否自启动。

解: 将驱动方程

$$\begin{cases} J_0 = \bar{Q}_2 \\ K_0 = 1 \end{cases} \begin{cases} J_1 = Q_0 \\ K_1 = 1 \end{cases} \begin{cases} J_2 = Q_0Q_1 \\ K_2 = 1 \end{cases}$$

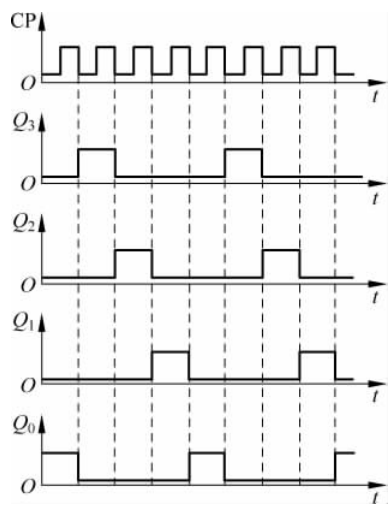
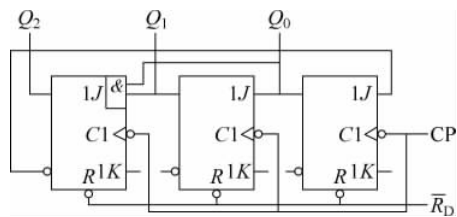


图 5.1



图题 5.4

代入 JK 触发器的特性方程 $Q^{n+1}=J\bar{Q}+\bar{K}Q$ 得

$$Q_2^{n+1}=Q_0Q_1\bar{Q}_2, \quad Q_1^{n+1}=Q_0\bar{Q}_1, \quad Q_0^{n+1}=\bar{Q}_0\bar{Q}_2$$

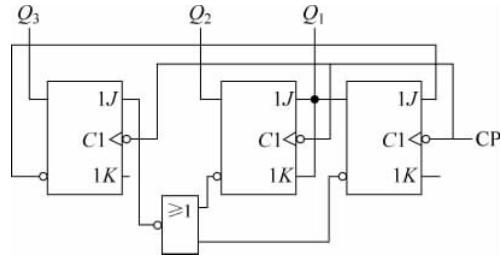
其状态转换表如表 5.3 所示。

表 5.3

CP	Q_2	Q_1	Q_0
0	0	1	1
1	1	0	0
2	0	0	0
3	0	0	1
4	0	1	0
5	0	0	1

从表 5.3 中可以看出,主状态有 001、010 两个状态,其他状态 011、100、000、101、110 和 111 都可以经过一定途径进入主状态循环。电路能够自启动。

5.5 在如图题 5.5 所示的时序逻辑电路中,设各触发器的初态为 $Q_3Q_2Q_1=100$,试分析该时序逻辑电路的逻辑功能,并说明该电路能否自启动。



图题 5.5

解：将驱动方程

$$\begin{cases} J_1 = \bar{Q}_3 \\ K_1 = 1 \end{cases} \begin{cases} J_2 = Q_1 \\ K_1 = 1 \end{cases} \begin{cases} J_3 = Q_1 Q_2 \\ K_3 = 1 \end{cases}$$

代入 JK 触发器的特性方程 $Q^{n+1} = J\bar{Q} + \bar{K}Q$ 得

$$Q_1^{n+1} = \bar{Q}_1 \bar{Q}_3, \quad Q_2^{n+1} = Q_1 \oplus Q_2, \quad Q_3^{n+1} = Q_1 Q_2 \bar{Q}_3$$

其状态转换图如图 5.2 所示。

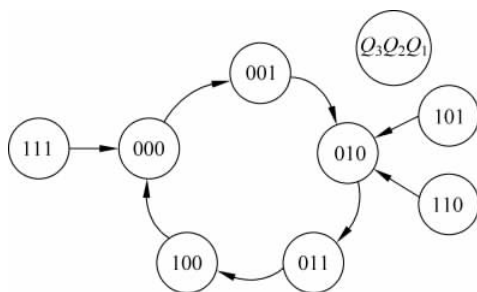


图 5.2

该电路是模 5 计数器并具有自启动能。

5.6 试画出用 4 片 74LS194 组成 16 位双向移位寄存器的逻辑图。74LS194 的功能表见表 5.3.3。

解：16 位双向移位寄存器的逻辑图如图 5.3 所示。

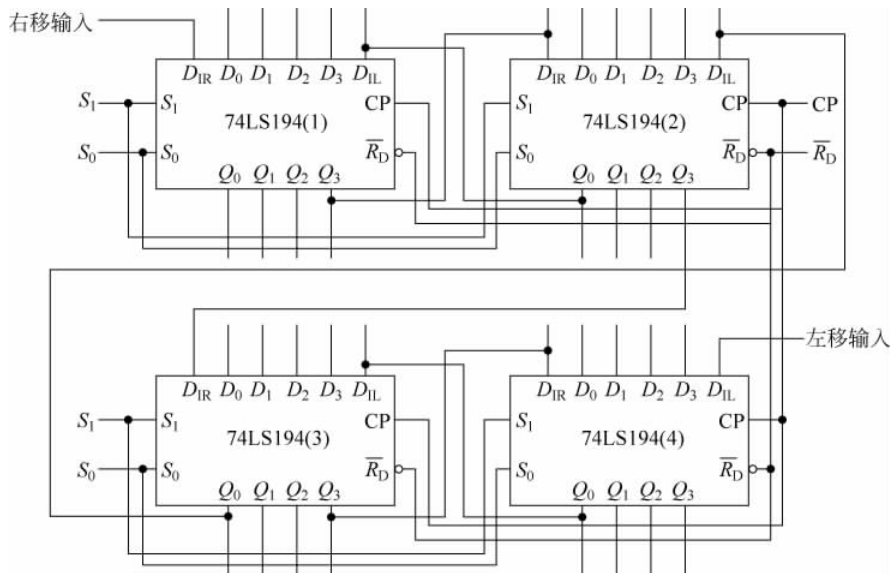


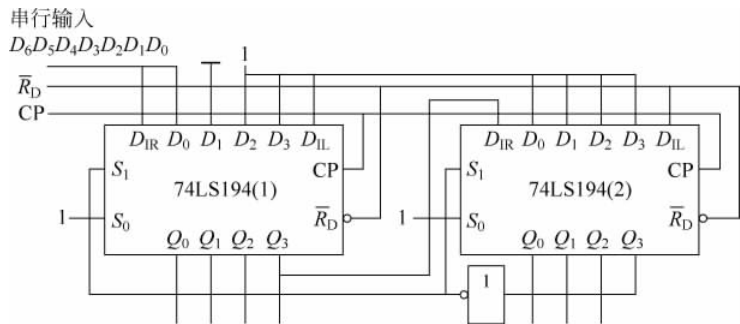
图 5.3

5.7 图题 5.7 是由 74LS194 组成的 7 位串行变并行的数码变换器。

(1) 试列出状态转换表分析数码变换过程(提示：工作时先清零)。

(2) 若串行输入数码 $D_6 D_5 D_4 D_3 D_2 D_1 D_0 = 1010011$, 经过 4 个 CP 脉冲后, 并行输出

端的状态如何？试画出移位时序图。



图题 5.7

解：由电路图分析可知，电路清零后，两片 74LS194 的 $S_1=1, S_0=1$ ，两片 74LS194 为并行输入状态，这时使第 2 片 74LS194 的 $Q_3=1$ ，经反相器后使 $S_1=0, S_0=1$ ，两片 74LS194 为右移状态，数据从第 1 片 74LS194 的 D_{IR} 输入，第 2 片 74LS194 的 Q_3 输出，当 $Q_3=0$ 时两片 74LS194 再进入并行输入状态。下面以串行输入数码 $D_6D_5D_4D_3D_2D_1D_0=1010011$ 为例介绍数码变换过程，如表 5.4 所示，经过 4 个 CP 脉冲后，并行输出端的状态为 10110111，输出时序图略。

表 5.4

$\bar{R}_D$	CP	D_{IR}	$Q_0Q_1Q_2Q_3(1)$	$Q_0Q_1Q_2Q_3(2)$	S_1	S_0	功能
0	×		0000	0000			清 0
1	1		1011	1111	1	1	并入
1	2	1	1101	1111	0	1	右移
1	3	0	0110	1111	0	1	右移
1	4	1	1011	0111	0	1	右移
1	5	0	0101	1011	0	1	右移
1	6	0	0010	1101	0	1	右移
1	7	1	1001	0110			
1	8	1	1011	1111	1	1	并入

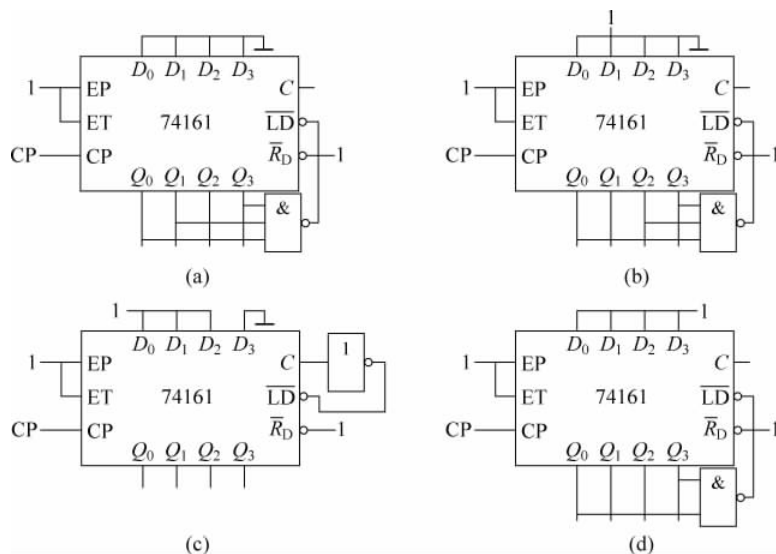
5.8 图题 5.8 是由同步预置数 4 位二进制集成计数器芯片 74LS161 组成的任意进制计数器，试分析它们各是多少进制的计数器，并列出相应的状态转换表。74LS161 的功能表见表 5.4.1。

解：

- (a) 是十二进制计数器；
- (b) 是十二进制计数器；
- (c) 是九进制计数器；
- (d) 是一进制计数器。

各计数器的状态转换表略。

5.9 试用二进制计数器 74LS161 分别设计模数为 5、7、9、14 的计数器，画出连线图并列出完整的状态转换表。



图题 5.8

解：所连成的计数器如图 5.4 所示。

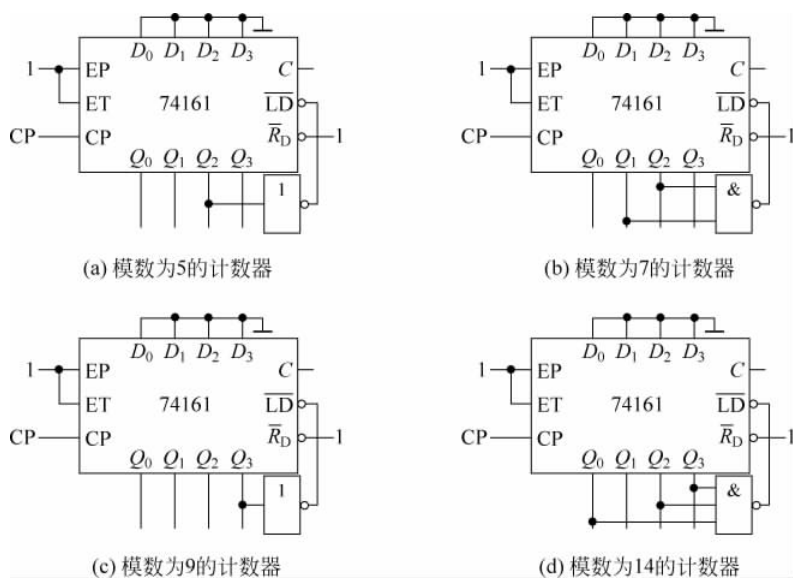
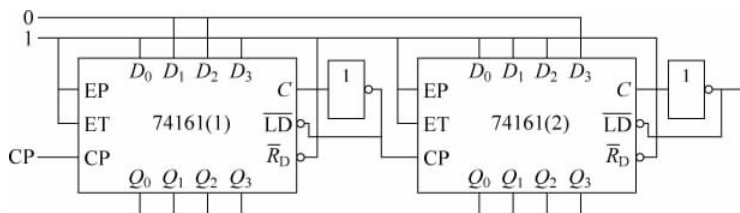


图 5.4

5.10 图题 5.10 是由两片 74LS161 组成的计数器,试分析输出端 Y 的脉冲频率与 CP 频率的比值是多少?

解：两片 $EP=ET=1$,第 1 片工作在 1001~1111 七个计数范围,当第 1 片计数到 1111 时,C 端输出高电平,经反相器后使第 2 片的 CP 端为低电平,当第 1 片重新置数回到 1001 时,C 端跳回到低电平,第 2 片的 CP 端产生一个上升沿,于是第 2 片工作一次。第 2 片工作在 0111~1111 九个计数范围。所以计数器的最大计数为 $7 \times 9 = 63$,输出端 Y 的脉冲频率与 CP 频率的比值为 $1:63$ 。

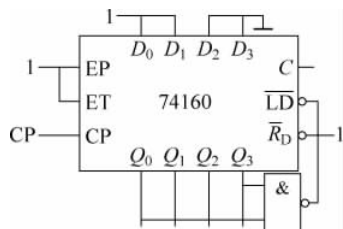


图题 5.10

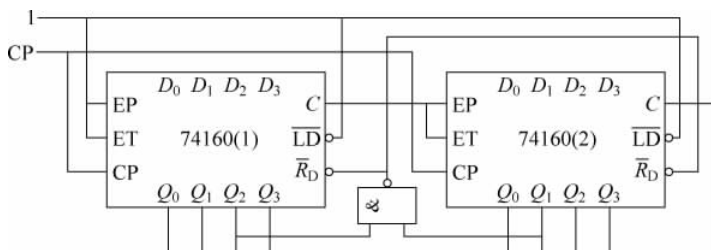
5.11 分析如图题 5.11 所示的计数器电路,画出电路的状态转换图,说明这是多少进制的计数器。

解: 计数器计数范围为 0011~1001,是七进制计数器。

5.12 图题 5.12 是由两片 CMOS 中规模 8421BCD 码计数器 CC40160 构成的计数器。CC40160 芯片的外引线排列图和功能表与 74LS160 相同。



图题 5.11



图题 5.12

- (1) 试分析其工作过程。
- (2) 该计数器的最大计数值是多少?
- (3) 用并行进位法将其接成八十八进制计数器。

解: 第 1 片 $EP=ET=1$, 计数器工作范围为 0000~1001, 当计数到 1001 时, C 端输出高电平, 使得第 2 片 $EP=ET=1$, 第 2 片开始工作。当第 1 片重新回到 0000 时, C 端输出低电平, 使得第 2 片 $EP=ET=0$, 第 2 片输出保持。当第 2 片的输出为 0010 且第 1 片的输出为 0100 时, $\bar{R}_D$ 为低电平, 两个计数器均复位, 因此该计数器为 $10 \times 2 + 3 = 21$ 。八十八进制计数器连线图如图 5.5 所示。

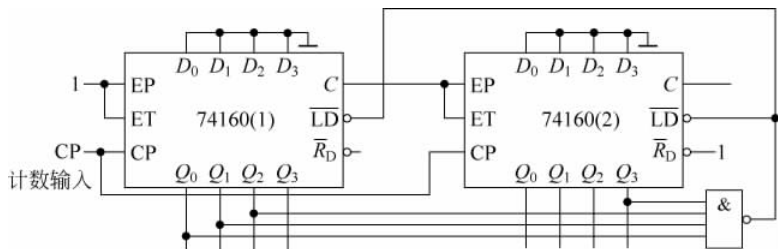


图 5.5

5.13 试用 CC40160 芯片构成二十四进制和六十进制的计数器。画出连线图,标明计数输入端和进位输出端。

解: 连线图如图 5.6 所示。

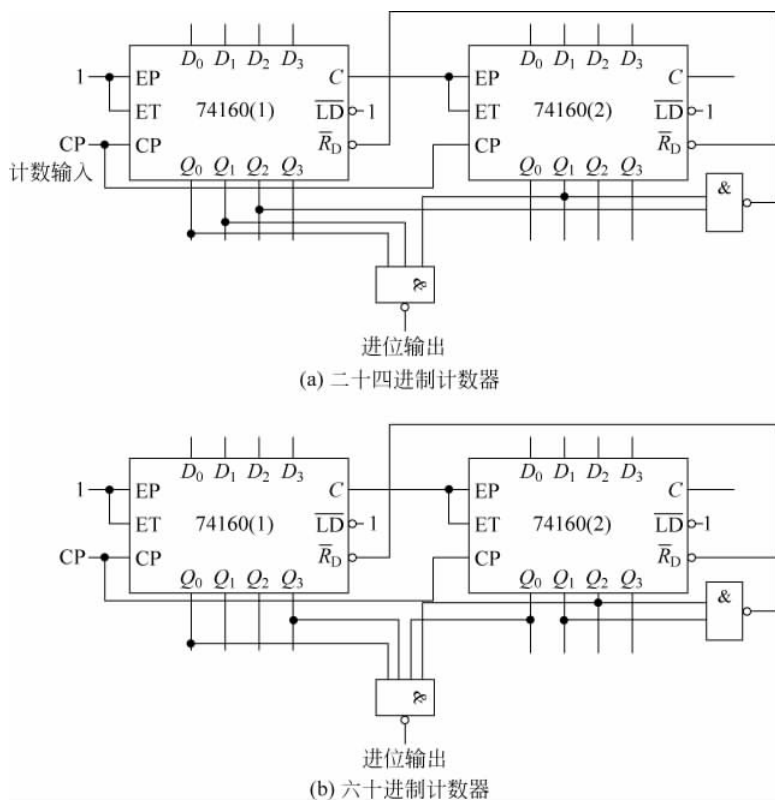


图 5.6

5.14 分析如图题 5.14 所示的是几进制计数器,列出状态转换图和时序图。

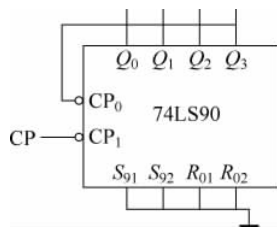
解: 5421 码十进制计数器,其状态转换图和时序图如图 5.7 所示。

5.15 图题 5.15 是用异步集成计数器 74LS90 组成的计数器,试分析它是多少进制计数器,列出状态转换表。74LS90 的功能表见表 5.4.6。

解: 这是一个七进制计数器,主循环状态为 0000→0001→0010→0011→0100→0101→1001→0000。

5.16 图题 5.16 是由 74LS90 和 3 线-8 线译码器 74LS138 组成的时序电路。试分析该时序逻辑电路的功能。若清零后输入 8 个 CP,74LS138 的输出端 $\bar{Y}_7 \sim \bar{Y}_0$ 的状态依次是什么?

解: 74LS90 中 CP_1 接 Q_0 ,则 74LS90 接成 8421 码十进制计数器,若清零后输入 8 个 CP,74LS138 的输出端 $\bar{Y}_7 \sim \bar{Y}_0$ 的状态依次输出低电平。



图题 5.14

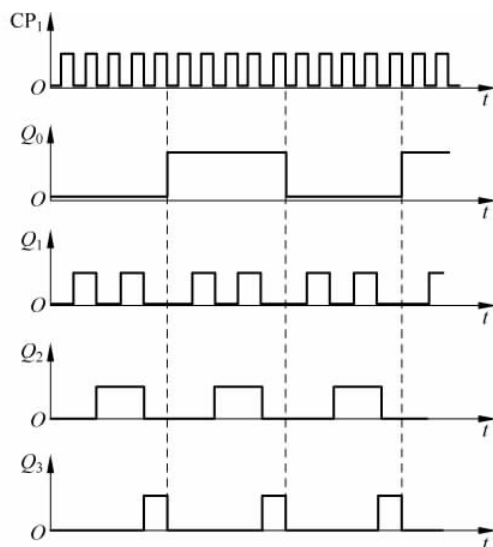
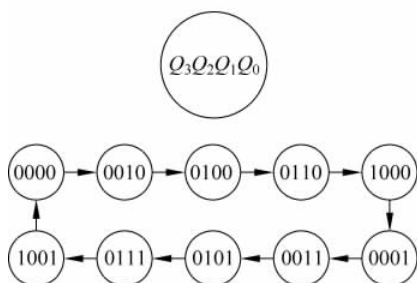
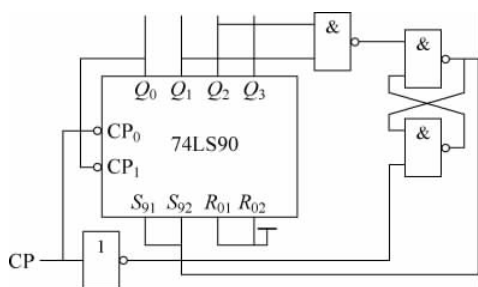
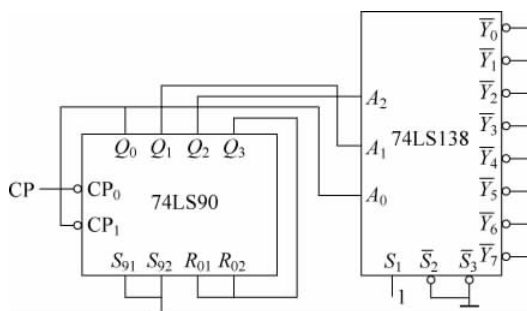


图 5.7

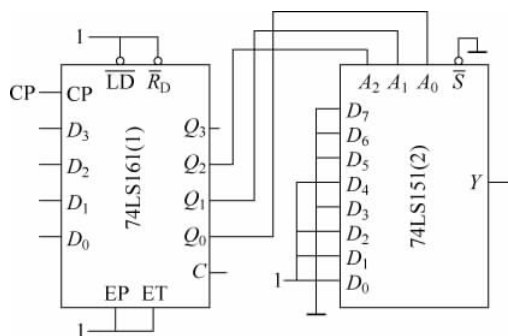


图题 5.15



图题 5.16

5.17 图题 5.17 是由计数器 74LS161 和八选一的数据选择器 74LS151 组成的时序逻辑电路。试分析电路的功能以及电路在一系列 CP 脉冲作用下序列信号输出 $\bar{Y}$ 的状态。



图题 5.17

解：该电路是一个序列信号发生器，循环产生 11101000 序列。输出时序波形图如图 5.8 所示。

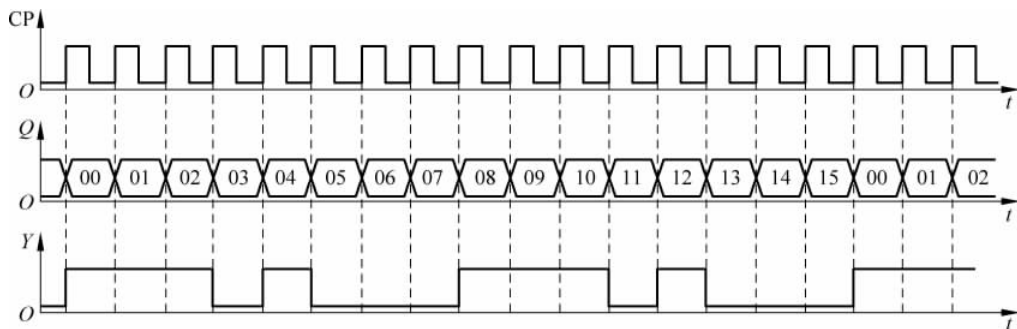
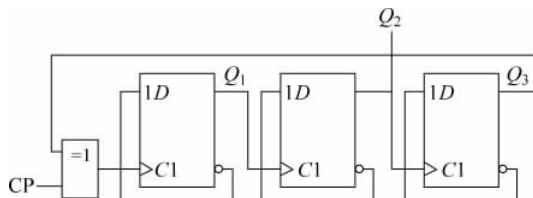


图 5.8

5.18 分析如图题 5.18 所示的时序逻辑电路，画出在时钟 CP 作用下 Q_2 的输出波形，并说明 Q_2 与时钟 CP 的关系。设各触发器的初态为 0。



图题 5.18

解：根据逻辑电路图可写出状态方程为

$Q_1^{n+1} = \bar{Q}_1$ ，在 $Q_3 = 0$ ，CP 上升沿时或在 $Q_3 = 1$ ，CP 下降沿时 Q_1 发生变化；

$Q_2^{n+1} = \bar{Q}_2$ ，在 Q_1 的上升沿时 Q_2 发生变化；

$Q_3^{n+1} = \bar{Q}_3$ ，在 Q_2 的上升沿时 Q_3 发生变化。

各触发器输出端波形如图 5.9 所示，从图中可以看出， Q_2 与 CP 的时钟周期之比为 3.5。

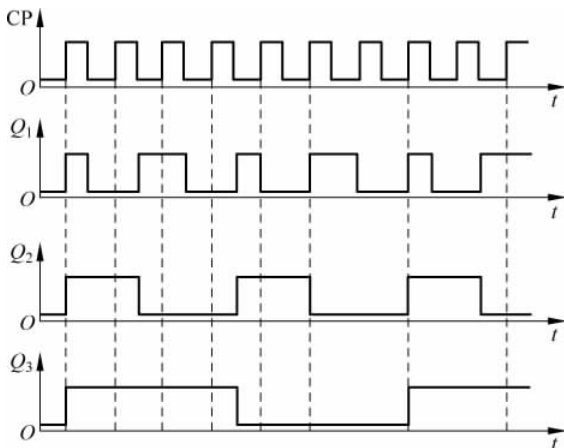


图 5.9