

初探 EDA 技术

EDA 的核心是利用计算机完成电子设计全程自动化,因此,基于计算机环境的 EDA 软件是必不可少的。这部分的任务是首先了解 EDA 设计流程,然后学习 EDA 工具软件——Quartus II 的原理图输入设计方法,通过实例引导读者初步掌握 EDA 设计方法,并能根据已有的数字电路基础知识通过技能训练及能力拓展掌握简单电路的 EDA 设计,从而引导读者快速进入 EDA 设计之门。

3.1 知识准备 1——EDA 设计流程

利用 EDA 技术对 FPGA/CPLD 进行开发设计的流程如图 3-1 所示,该流程具有一定的通用性。下面分别介绍各设计模块的功能特点。

3.1.1 设计输入

将要设计的电路用 EDA 开发软件要求的某种形式表达出来,并输入计算机,这就是设计输入。设计输入是在 EDA 软件平台上进行 FPGA/CPLD 开发的最初步骤。设计输入有多种表达方式,多数 EDA 工具都支持的设计输入方式主要有图形输入法和文本输入法。图形输入又包括原理图输入、状态图输入和波形图输入三种常用方法;而文本输入主要指硬件描述语言输入方式,可以是 VHDL 语言描述,也可以是 ABEL HDL 或者是 Verilog-HDL。

状态图输入法就是用绘图的方法,根据电路的输入条件和不同状态之间的转换方式,在 EDA 工具的状态图编辑器上绘出状态图,由 EDA 编译器和综合器将此状态变化流程图编译综合成电路网表。

波形图输入方法则是根据待设计电路的功能,将该电路的输入信号和输出信号的时序波形图在相应的 EDA 工具编辑器中画出来,EDA 工具就能据此完成电路的设计。

原理图输入法是图形输入法中最常用的,故本书主要介绍原理图输入法和硬件描述语言输入法。

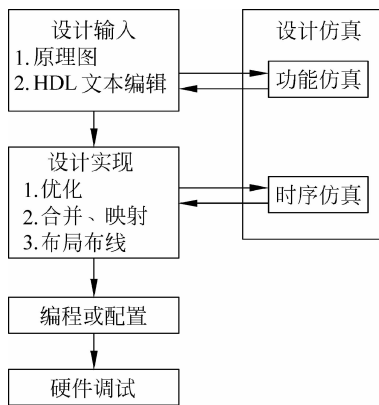


图 3-1 基于 FPGA/CPLD 的 EDA 设计流程

1. 原理图输入法

原理图是图形化的表达方式,它类似于传统电子设计过程中所画的原理图,只不过它是在 EDA 工具软件的图形编辑界面上来绘制完成的。原理图由逻辑器件(符号)和连接线构成,特别适合用来描述接口和连接关系。原理图中的逻辑器件可以是 EDA 软件库中自带的功能模块,如与门、非门、或门、触发器以及各种含 74 系列器件功能的宏功能块或类似于 IP 的功能块,也可以是设计者已经设计好的电路单元。

原理图编辑绘制完成后,原理图编辑器将对输入的图形文件进行排错,之后再将其编译成适用于逻辑综合的网表文件。用原理图作为设计输入方式有以下优点。

(1) 为尚未掌握硬件描述语言的电子系统设计者提供了一种类似于传统设计的输入法。

(2) 原理图输入过程与画电子电路图相似,比较形象直观,适用于初学或教学演示。

(3) 对于较小的电路模型,其结构与实际电路十分接近,设计者易于把握电路全局。

(4) 这种设计方式接近于底层电路布局,因此,易于控制逻辑资源的耗用,节省面积。

然而,使用原理图输入方式的设计方法的缺点同样是十分明显的。

(1) 由于图形设计方式并没有得到标准化,不同的 EDA 软件中的图形处理工具对图形的设计规则、存档格式和图形编译方式都不尽相同,因此图形文件的兼容性较差,不便交流和管理。

(2) 随着电路设计规模的扩大,原理图输入描述方式必然产生一系列难以克服的困难,例如电路功能的易读性下降,排除错误困难,整体调整和结构升级困难。例如,将一个 4 位的单片机设计升级为 8 位单片机几乎难以在短期内准确无误地实现。

(3) 由于图形文件的兼容性较差,一些性能优良的电路模块的移植和再利用变得十分困难。这是 EDA 技术应用的最大障碍。

(4) 由于在原理图中已确定了设计系统的基本电路结构和元件,留给综合器和适配器的优化选择空间已十分有限,难以实现用户所希望的面积、速度以及不同风格的综合优化,因此,原理图的设计方法明显偏离了电子设计自动化的本质含义。

(5) 在设计中,由于必须直接面对硬件模块的选用,因此行为模型的建立将无从谈起,从而无法实现真正意义上的自顶向下的设计方案。

2. HDL 文本输入法

这种方式与传统的计算机软件语言的输入编辑基本一致。HDL(如 VHDL 或 Verilog-HDL)采用文本方式描述设计并在 EDA 工具软件的文本编辑器中输入,其逻辑描述能力强,但不适合描述接口和连接关系。硬件描述语言支持布尔方程、真值表、状态机等逻辑描述方式,适合描述计数器、译码器、比较器和状态机等逻辑功能,在描述复杂设计时,非常简洁,具有很强的逻辑描述和仿真功能,可以说,应用 HDL 的文本输入方法克服了上述原理图输入法存在的弊端,为 EDA 技术的应用和发展打开了一个广阔的天地。当然, HDL 文本输入必须依赖综合器,只有好的综合器才能把语言综合成优化的电路。

目前有些 EDA 输入工具可以把图形的直观与 HDL 的优势结合起来。如状态图输

入的编辑方式,即用图形化状态机输入工具,用图形的方式表示状态图。当填好时钟信号名、状态转换条件、状态机类型等要素后,就可以自动生成 VHDL/Verilog 程序。又如,在原理图输入方式中,可以调用 VHDL 描述的电路模块,直观地表示系统的总体框架,再用自动 HDL 生成工具生成相应的 VHDL/Verilog 程序。但总体上看,纯粹的 HDL 输入设计仍然是最基本的、最有效和最通用的输入方法。

3.1.2 设计实现

设计实现主要由 EDA 开发工具依据设计输入文件自动生成用于器件编程、波形仿真及延时分析等所需的数据文件。此过程对开发系统来讲是核心部分,但对用户来说,几乎是自动化的,设计者无须过多做什么工作,只需根据需要,通过设置“设计实现策略”等参数来控制设计实现过程,从而使设计更优化。EDA 开发工具进行设计实现时主要完成以下工作。

1. 综合

任务 1 已经对综合的概念作了介绍。一般来说,综合是仅对应于 HDL 而言的。利用 HDL 综合器对设计进行综合是十分重要的一步,因为综合过程将把软件设计的 HDL 描述与硬件结构挂钩,是将软件转化为硬件电路的关键步骤,是文字描述与硬件实现的一座桥梁。综合就是将电路的高级语言(如行为描述)转换成低级的,可与 FPGA/CPLD 的基本结构相映射的网表文件或程序。

当输入的 HDL 文件在 EDA 工具中检测无误后,首先面临的是逻辑综合,因此要求 HDL 源文件中的语句都是可综合的。

在综合之后,HDL 综合器一般都可以生成一种或多种文件格式网表文件,如 EDIF、VHDL、Verilog 等标准格式,在这种网表文件中用各自的格式描述电路的结构。如在 VHDL 网表文件中采用 VHDL 的语法,用结构描述的风格重新诠释综合后的电路结构。

整个综合过程就是将设计者在 EDA 平台上编辑输入的 HDL 文本、原理图或状态图形描述,依据给定的硬件结构组件和约束控制条件进行编译、优化、转换和综合,最终获得门级电路甚至更底层的电路描述网表文件。由此可见,综合器工作前,必须给定最后实现的硬件结构参数,它的功能就是将软件描述与给定的硬件结构用某种网表文件的方式对应起来,成为相应的映射关系。

如果把综合理解为映射过程,那么显然这种映射不是唯一的,并且综合的优化也不是单纯的或一个方向的。为达到速度、面积、性能的要求,往往需要对综合加以约束,称为综合约束。

2. 适配

适配器也称结构综合器,它的功能是将由综合器产生的网表文件配置于指定的目标器件中,使之产生最终的下载文件,如 JEDEC、Jam 格式的文件。适配所选定的目标器件(FPGA/CPLD)必须属于原综合器指定的目标器件系列。通常,EDA 软件中的综合器可由专业的第三方 EDA 公司提供,而适配器则需由 PPGA/CPLD 供应商提供。因为适配

器的适配对象直接与器件的结构细节相对应。

逻辑综合通过后必须利用适配器将综合后的网表文件针对某一具体的目标器件进行逻辑映射操作,其中包括底层器件配置、逻辑分割、逻辑优化、逻辑布局布线操作。适配完成后可以利用适配所产生的仿真文件作精确的时序仿真,同时产生可用于编程的文件。

3.1.3 设计仿真

仿真就是让计算机根据一定的算法和一定的仿真库对 EDA 设计进行模拟,以验证设计,排除错误。仿真是 EDA 设计过程中的重要步骤。设计仿真包括功能仿真和时序仿真两部分。

1. 功能仿真

功能仿真是直接对 HDL、原理图或其他描述形式的设计文件进行逻辑功能测试与模拟,以了解其功能是否满足原设计的要求。功能仿真在选择具体器件之前进行,不涉及任何硬件特性,因此,也没有延时信息。直接进行功能仿真的好处是设计耗时短,对硬件库、综合器等没有任何要求,例如规模比较大的设计项目,综合与适配在计算机上的耗时是十分可观的,如果每一次修改后的模拟都必须进行时序仿真,显然会极大地降低开发效率。所以,通常的做法是,首先进行功能仿真,待确认设计文件所表达的功能满足设计者原有意图时,即逻辑功能满足要求后,再进行综合、适配和时序仿真,以便把握设计项目在硬件条件下的运行情况。

2. 时序仿真

时序仿真就是接近真实器件运行特性的仿真,仿真文件中已包含器件硬件特性参数,因而,仿真精度高。但时序仿真的仿真文件必须来自针对具体器件的综合器与适配器。综合后所得的 EDIF 等网表文件通常作为 FPGA 适配器的输入文件,产生的仿真网表文件中包含了精确的硬件延迟信息。

3.1.4 编程或配置

把适配后生成的下载或配置文件,通过编程器或编程电缆向 FPGA/CPLD 进行下载,以便进行硬件调试(Hardware Debugging)和验证。

通常,将对 CPLD 的下载称为编程(Program),对 FPGA 中的 SRAM 进行直接下载的方式称为配置(Configure),但对于 OTP FPGA 的下载和对 FPGA 的专用配置 ROM 的下载仍称为编程。

另外应该注意,就目前 EDA 技术中相关概念的流行称谓上看,FPGA 比 CPLD 具有更广泛的含义。例如,某一介绍 FPGA/CPLD 开发技术的网站是 www.fpga.com;而更多的人将利用 EDA 技术开发 FPGA/CPLD,称为“FPGA 开发技术”等。

硬件测试是最后将已编程或配置过的 FPGA 或 CPLD 的硬件系统进行统一测试,以

便最终验证设计项目在目标系统上的实际工作情况,以排除错误,改进设计。

3.2 知识准备 2——Quartus II 的图形界面

Quartus II 是 Altera 公司推出的第四代 EDA 开发工具软件,同第三代设计工具 MAX+PLUS II 相比,其功能更加完善,特别适合于大规模逻辑电路的设计。Quartus II 的设计流程与其他工具软件一样,也可以概括为设计输入、设计编译、设计仿真和设计下载等过程。Quartus II 支持图形输入、文本输入等多种输入方法。

Altera 公司的 Quartus II 是一个全面的、易于使用且具有独立解决问题能力的软件,可以完成设计流程中的输入、综合、布局布线、时序分析、仿真和编程下载等所有功能。启动 Quartus II 软件时出现的图形用户界面如图 3-2 所示。



图 3-2 Quartus II 软件的图形用户界面

Quartus II 软件的图形用户界面分为 6 个大的区域,即:工程导航区、状态区、信息区、工作区、快捷工具条和菜单命令区。

3.2.1 工程导航区

工程导航区如图 3-3 所示,显示了当前工程的绝大部分信息,使用户对当前工程的文件层次结构、所

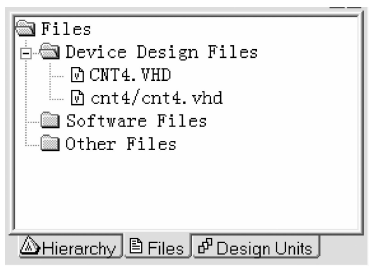


图 3-3 工程导航区

有相关文档以及设计单元有一个很清晰的认识。工程导航区由 3 个部分构成。

1. Hierarchy

选中 Hierarchy 标签可显示设计实体的层次结构,即顶层实体和各调用实体的层次关系。

2. Files

选中 Files 标签可显示所有与当前工程相关联的文件,这些文件被归类在两个文件夹中: Device Design Files 和 Other Files。其中,Device Design Files 中的文件是能够使工程成功编译或仿真所需要的最基本的文件。Other Files 中放的是辅助文件。当把鼠标放在文件夹中的文件上时,软件会自动显示文件所在的绝对地址。双击文件,则会在编辑窗口中打开该文件。

需要说明的是,这些文件夹在实际的硬盘存储空间中并不存在,它们的作用只是为了方便用户浏览和编辑工程文件,而且这些文件夹在当前工程编译之前是不包含内容的,只有在当前工程编译之后才会将所有的工程文件信息显示在文件夹中。

3. Design Units

选中 Design Units 标签可显示当前工程中使用的的所有设计单元。这些单元既包含 Quartus II 软件中自带的设计模块(如乘法器、移位寄存器等),也包含用户自己设计的单元模块。

3.2.2 状态区

状态区的作用是显示系统状态信息。它由一个显示窗口和一个位于系统环境最下方的状态条组成。显示窗口如图 3-4 所示,用于显示编译或仿真时的运行状态和波形仿真的进度。此外,当仿真器运行到设置的断点时,状态条还会显示系统处于等待状态“Simulator Waiting”;当编译器和仿真器都不工作时,状态窗口显示系统处于空闲状态“Idle”。

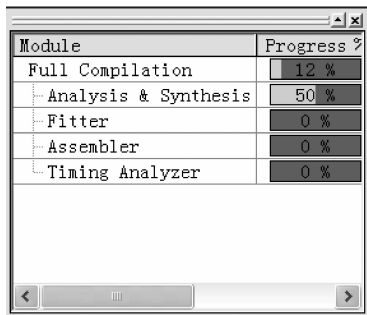


图 3-4 状态区

3.2.3 信息区

信息区用于显示系统在编译和仿真过程中所产生的指示信息,例如语法信息、成功信息等。信息区提供 5 大类操作标记信息,其类型和含义如下。

(1) Extra Info,为设计者提供外部信息,例如外部匹配信息和细节信息。

(2) Info,显示编译、仿真过程中产生的操作信息。

(3) Warning,显示编译、仿真过程中产生的警告信息。当出现警告信息时,操作仍能成功,但并不能说明用户设计的文件是完全正确的,因为它可能代表逻辑上的错误或芯片性能不符合设计要求。设计者对每个警告信息都要认真检查并寻找原因,这样不但

可以保证设计的稳定性和正确性,而且可以避免由此而给后续设计工作带来的不必要麻烦。

(4) Critical Warning,显示编译、仿真过程中产生的严重警告信息。

(5) Error,显示编译、仿真过程中产生的错误信息。产生错误信息时,用户的操作不成功。

3.2.4 工作区

工作区是用户对输入文件进行设计的空间区域。在工作区中,Quartus II 软件将显示设计文件和工具条以方便用户操作,如图 3-5 所示。

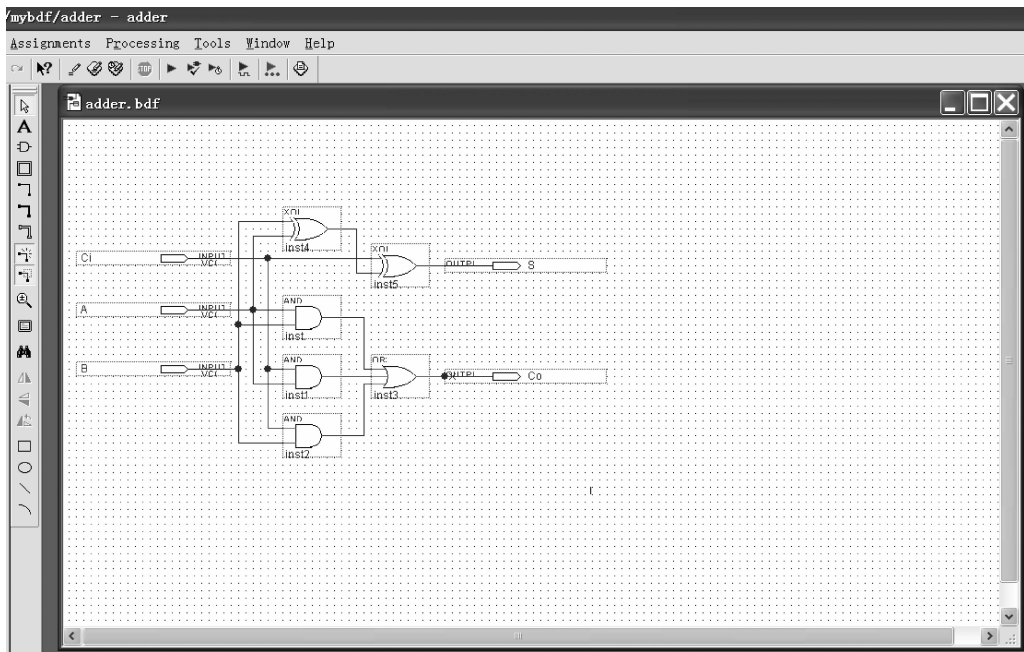


图 3-5 工作区

在默认情况下,Quartus II 软件会根据用户打开的设计输入文件的类型以及用户当前的工作环境,自动地为用户显示不同的工具条,用户也可以自定义工具条和快捷命令按钮。

3.2.5 快捷工具条

快捷工具条是由若干个按钮组成的,单击按钮,可快速执行相应的操作。Quartus II 软件为用户提供了自定义工具条和快捷命令按钮的功能,操作方法是,选择 Tools | Customize 命令,在打开的 Customize 对话框中,选中 Toolbars 选项卡,然后根据需要下面列出的某个工具条前面打上对钩“√”即可,如图 3-6 所示。

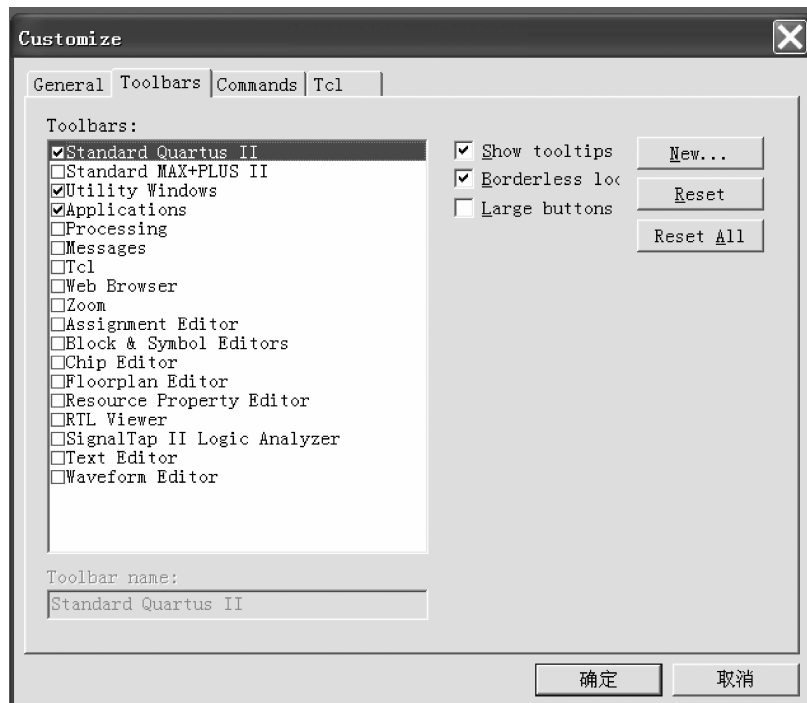


图 3-6 Customize 对话框

3.3 实例引导——一位全加器的原理图输入设计

在 Quartus II 平台上,使用图形编辑输入法设计电路的操作流程包括原理图编辑、编译、仿真和编程下载等基本过程。与 MAX+PLUS II 相比,Quartus II 提供了更强大、更直观便捷和操作灵活的原理图输入设计功能,同时还配备了更丰富的适用于各种需要的元件库,其中包括基本逻辑元件库(如与非门、反相器、D 触发器等)、宏功能单元(包括几乎所有的 74 系列的器件),以及类似于 IP 核的参数可设置的宏功能块 LPM 库。Quartus II 同样提供了原理图输入多层次设计功能,使得用户能设计更大规模的电路系统。

与传统的数字电路实验相比,Quartus II 提供原理图输入设计的功能具有不可比拟的优势和先进性。

(1) 设计者不必具备许多诸如编程技术、硬件描述语言等知识就能迅速入门,完成较大规模的电路系统设计。

(2) 能进行任意层次的数字系统设计,传统的数字电路实验只能完成单一层次的设计。

(3) 能对系统中的任一层次或元件的功能进行精确的时序仿真,易于发现对系统可能产生不良影响的现象。

- (4) 通过时序仿真,能迅速定位电路系统的错误所在,并随时纠正。
- (5) 能对设计方案进行随时更改,并存储设计过程中所有的电路和测试文件。
- (6) 通过编译和下载,能在 FPGA 或 CPLD 上对设计项目随时进行硬件测试验证。
- (7) 如使用 FPGA 和配置编程方式,将不会有器件损坏和损耗的问题。
- (8) 符合现代电子设计技术规范。

3.3.1 任务引入与分析

全加器是考虑低位进位并能实现两个一位二进制数加法运算的电路。全加器的真值表如表 3-1 所示,它的输出信号 S 是本位和,Co 是进位输出。

表 3-1 全加器真值表

输 入			输 出	
Ci	A	B	S	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

由真值表不难得出:

$$S=A \oplus B \oplus C_i$$

$$C_o=AB+BC+CA$$

可见,要实现全加器功能,需要两个异或门 xor、3 个 2 输入与门 and2 和一个 3 输入或门 or3。这些基本逻辑门在 Quartus II 的元件库中均可找到。下面将用原理图输入法在 Quartus II 中完成全加器设计。

3.3.2 创建工程设计项目

首先建立工作库目录,以便存储工程项目设计文件。

任何一项设计都可以看成一项工程(Project),因而要为此工程建立一个文件夹,用于放置与此工程相关的所有文件,此文件夹将被默认为工作库(Work Library),通常要将不同的设计项目放在不同的文件夹中,而同一个工程的所有文件都必须放在同一文件夹中。用 Quartus II 的图形编辑方式生成的文件扩展名为 .gdf 或 .bdf。为了方便电路设计,设计者应当在计算机中建立自己的工程目录,例如用 e:\myname\mybdf\文件夹存放后缀为 .bdf 的图形文件,用 e:\myname\myvhdl\文件夹存放后缀为 .vhd 的文本文件等。假设本项设计文件夹取名为 adder,其路径为 e:\myname\mybdf \adder。

应该注意的是：①不要将文件夹设置在计算机已有的安装目录中，更不要将工程文件直接放在安装目录中；②文件夹名不能用中文，且不可以含有空格。

创建工程设计项目分以下几步。

(1) 打开 Quartus II 软件，选择 File|New Project Wizard 命令，打开如图 3-7 所示的建立新设计项目对话框。在对话框的第一栏中填入设计项目所在路径 e:\myname\mybdf；在第二栏中填入新的设计项目名称(例如 adder)，该项目名称是设计系统的顶层文件名；在第三栏中填入设计系统的顶层项目实体名，如果没有或暂不考虑顶层项目，则第三栏中的项目实体名与第二栏相同。

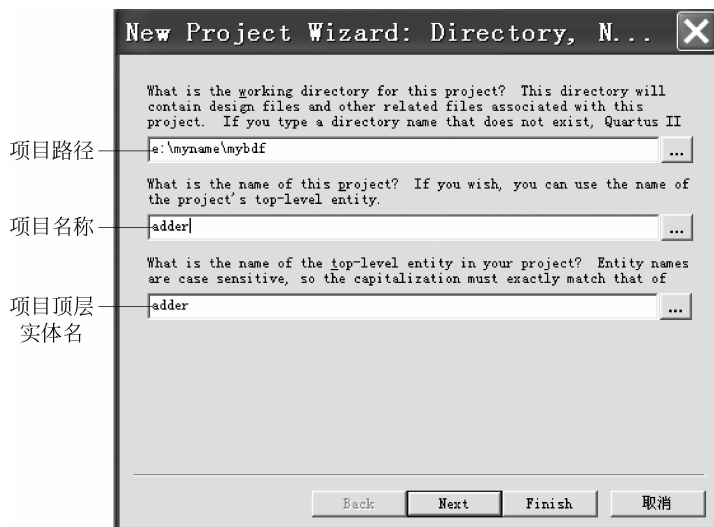


图 3-7 建立“新设计项目”对话框

(2) 单击 Next 按钮，打开添加或删除与该项目有关的所有文件的对话框。单击 Add 按钮可浏览文件选项。

(3) 依次单击 Next 按钮，打开 EDA 工具设置、选择目标器件和器件封装方式、引脚数目和速度级别对话框。

(4) 最后打开的是前面输入内容的总览对话框，单击 Finish 按钮，项目出现在工作导航区，如图 3-8 所示。

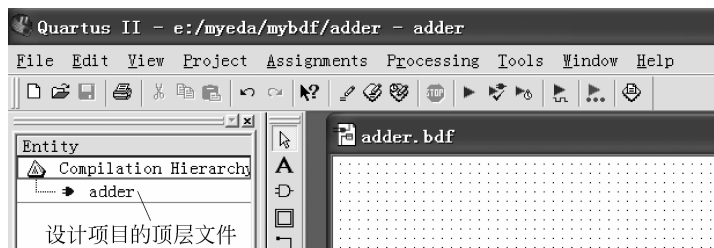


图 3-8 项目 adder 出现在工作导航区