

第 5 章 微机总线技术

总线就是用来传送信息的一组通信线。PC 机从其诞生以来就采用了总线。先进的总线技术对于解决系统瓶颈,提高整个微机系统的性能,有着十分重要的影响。当前总线结构方式已经成为微机性能的重要指标之一。总线技术之所以能够得到迅速发展,是由于采用总线结构在系统设计、生产、使用和维护上有很多优越性。概括起来有以下几点:

- 便于采用模块结构设计方法,简化了系统设计。
- 标准总线可以得到多个厂商的广泛支持,便于生产与之兼容的硬件板卡和软件。
- 模块结构方式便于系统的扩充和升级。
- 便于故障诊断和维修,同时也降低了成本。

此外,一些新型接口标准如 USB 等,允许同时连接多种不同的外设,因此也把它们称为外部总线。本章主要讲述总线技术的基本原理以及常见的总线技术。

5.1 总线概述

5.1.1 总线的分类

在计算机框架结构中,总线是一种通信通道,用以在计算机内部以及计算机之间传输数据。总线这个术语涵盖了所有的相关硬件(导线、光线等)以及软件(通信协议等)。早期的计算机总线仅指那些拥有多个接口的并行电线,但现在泛指任何能够提供通信逻辑功能的物理布局的设施。现代计算机总线既有并行方式,又有串行方式;既有菊花链式连接,又有集线器连接。总线的形态多种多样,位置各不相同,功能也千差万别。按照不同的标准,可以把总线划分成不同的类型,如图 5-1 所示。

1. 按所处的位置分类

总线按照所处的位置可以分为片内总线和片外总线。

(1) 片内总线:指 CPU 内部的总线,即芯片内部的总线。

(2) 片外总线:指 CPU 与内存和输入输出设备之间的通信接口,常指外设的接口标准,如 SATA、SCSI、USB 和 IEEE 1394 等。前两种是与硬盘、光驱等设备的接口,后面两

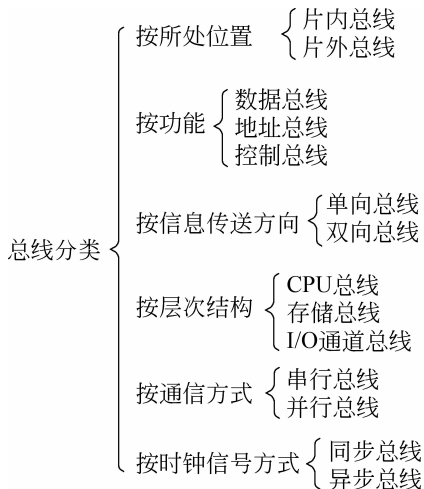


图 5-1 总线的分类

种常用来连接多种外部设备。

2. 按功能分类

按照功能可以把总线划分为地址总线、数据总线和控制总线,即这三者组成通常所说的系统总线。

- (1) 地址总线(Address Bus, AB): 用来传送地址信息。
- (2) 数据总线(Data Bus, DB): 用来传送数据信息。
- (3) 控制总线(Control Bus, CB): 用来传送各种控制信号。

3. 按信息传送方向分类

总线按照信息的传送方向可以分为单向总线和双向总线。

- (1) 单向总线: 单向总线上信息只能朝一个方向传送,典型的单向总线如地址总线。
- (2) 双向总线: 双向总线上信息可以朝两个方向传送,典型的双向总线如数据总线。

4. 按层次结构分类

总线按照总线所在的层次,可以分为 CPU 总线、存储总线和 I/O 通道总线。

- (1) CPU 总线: 用来连接 CPU 和控制芯片。
- (2) 存储总线: 用来连接存储控制器和内存。
- (3) I/O 通道总线: 用来连接扩充插槽上的各扩充板卡。

5. 按通信方式分类

计算机的通信方式可分为并行通信和串行通信,相应的通信总线被称为并行总线和串行总线。

- (1) 并行总线: 通信速度快,实时性好,但由于占用的口线多,不适合小型化产品。
- (2) 串行总线: 通信速率虽低,但在数据通信量不是很大的应用中,更加简易、方便、灵活。

6. 按时钟信号方式分类

按照时钟信号是否独立,总线可以分为同步总线和异步总线。

- (1) 同步总线: 同步总线的时钟信号独立于数据,也就是说要用一根单独的线来作为时钟信号线。
- (2) 异步总线: 异步总线的时钟信号是从数据中提取出来的,通常利用数据信号的边沿来作为时钟同步信号。

5.1.2 总线技术指标

1. 总线的带宽

总线的带宽又称总线数据传输速率,指的是单位时间内总线上传送的数据量,即每秒

钟传送的最大稳态数据传输率。与总线密切相关的两个因素是总线的位宽和总线的工作频率,它们之间的关系:总线的带宽=总线的工作频率 \times 总线的位宽 \div 8。

2. 总线的位宽

总线的位宽指的是总线能同时传送的二进制数据的位数,或数据总线的位数,即 32 位、64 位等总线宽度。总线的位宽越宽,每秒钟数据传输率越大,总线的带宽也越宽。

3. 总线的工作频率

总线的工作时钟频率以 MHz 为单位,工作频率越高,总线工作速度越快,总线带宽越宽。

5.2 ISA 总线

ISA(Industry Standard Architecture)是 20 世纪 80 年代在 IBM 的 PC/AT 机型、基于 Intel 80286 的兼容机型以及后续机型所采用的一种 16 位内部总线,也称为 AT 标准。这种总线的出现很大程度上是为了兼容基于 8088 的 IBM PC 及 PC/XT 机型所采用的 8 位内部总线。ISA 概念的提出,主要是其他微机制造商针对 IBM 试图在 20 世纪 80 年代末至 90 年代初采用与之前总线不兼容的新型微通道结构的反应。

当 16 位 ISA 总线已经应用于微机的时候,8 位 ISA 总线还在大量使用,所以当时经常能看到这两者共板存在,如图 5-2 所示。同样,在基于 32 位处理器的微机刚刚推出的时候,曾经一度使用 16 位的 ISA 总线。后来人们尝试把 ISA 总线扩展到 32 位,并称之为扩展工业标准结构(Extended Industry Standard Architecture, EISA)总线。其连接器是一个两层槽设计,既能接受 ISA 卡,又能接受 EISA 卡。顶层与 ISA 卡相连,低层则与 EISA 卡相连。尽管 EISA 总线保持与 ISA 兼容的 8MHz 时钟速率,但它们支持一种突发式数据传送方法,可以以三倍于 ISA 总线的速率传送数据。这种总线没有取得预想中的成功,并且很快被 VESA 和 PCI 局部总线的功能取代,所以经常能在同一块主板上看到 ISA、VESA、PCI 总线共存。目前,在 PCMCIA(Personal Computer Memory Card International Association)、紧凑型闪存、PC/104 总线以及内部超级 I/O 芯片中,还在采用 ISA 总线技术。

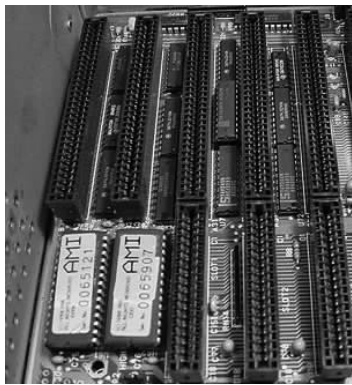


图 5-2 8 位(左)及 16 位(右) ISA 总线插槽

5.2.1 ISA 总线的引脚信号

8 位 ISA 总线和 16 位 ISA 总线共用了 8 位 ISA 总线的 62 个引脚部分,16 位总线又

扩展出来 36 个引脚,所以 8 位 ISA 总线为 62 个引脚,16 位 ISA 总线为 $62+36=98$ 个引脚。8 位 ISA 总线各引脚的位置如图 5-3 中虚线所示部分,定义如下。

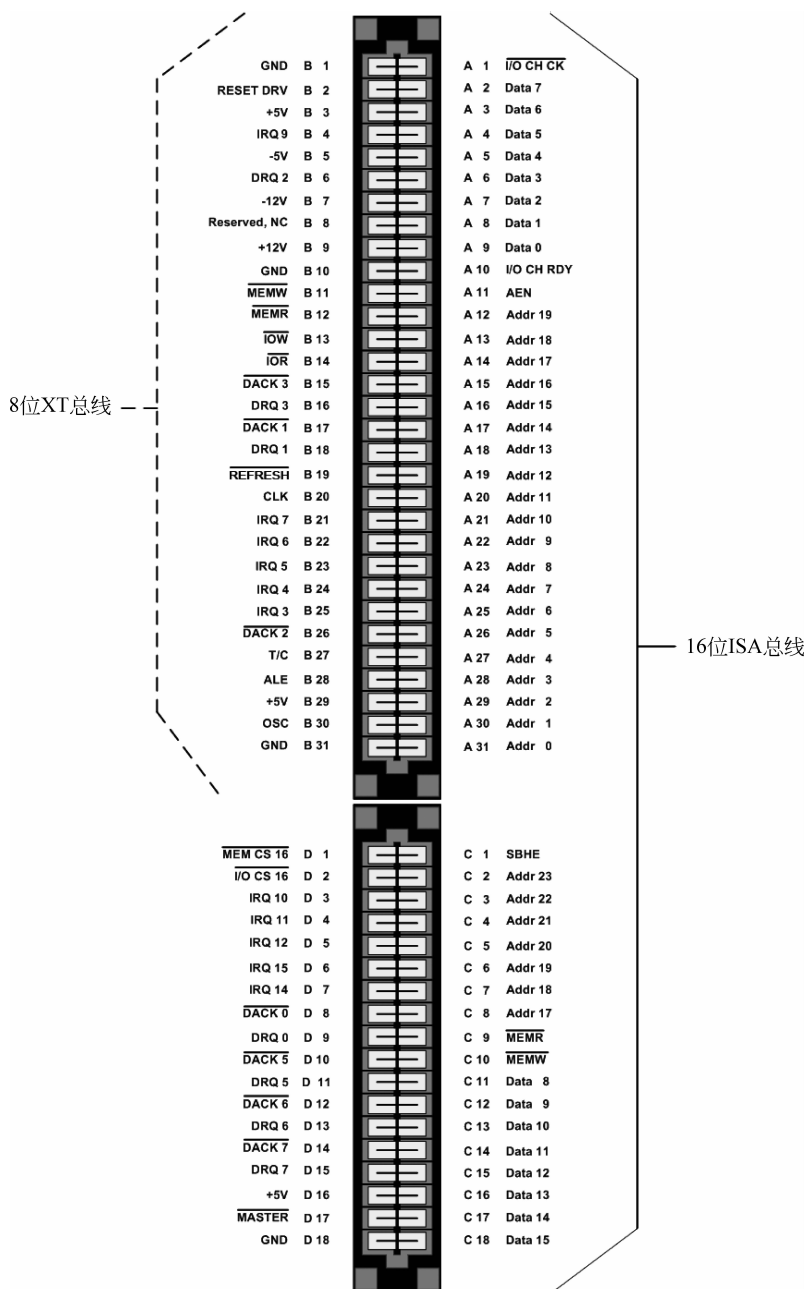


图 5-3 16 位 ISA 总线引脚

- Data7~0: 8 位三态双向数据线。对于 16 位 ISA 总线,它们是数据线的低 8 位。
- Addr19~0: 20 位地址线,输出。
- MEMR、MEMW: 存储器读、存储器写命令,输出,低电平有效。

- \overline{IOR} 、 \overline{IOW} : I/O 读、I/O 写命令,输出,低电平有效。
- AEN: 地址允许信号,输出,高电平有效。该信号由 DMAC 发出,为高表示 DMAC 正在控制系统总线进行 DMA 传送,所以它可用于指示 DMA 总线周期。
- ALE: 总线地址锁存允许,输出。该信号在 CPU 总线周期的 T1 期间有效,可作为 CPU 总线周期的指示。
- I/O CH RDY: I/O 通道准备好,输入,高电平有效。该引脚信号与 8086 的 READY 功能相同,用于插入等待时钟周期。
- I/O CH CK: I/O 通道校验,输入,低电平有效。它有效表示板卡上出现奇偶校验错。
- IRQ9、IRQ7~3: 6 个中断请求信号,输入,分别接到中断控制逻辑的主 8259A 的中断请求输入端 IR7~2。这些信号由低到高的跳变表示中断请求,但应该一直保持高电平,直到 CPU 响应中断为止。它们的优先级别与所连接的 IR 线相同,即 IRQ2 在这 6 个请求信号中级别最高,IRQ7 的级别最低。
- DRQ3~1: 3 个 DMA 请求信号,输入,高电平有效。它们分别接到 DMA 控制器 8237A 的 DMA 请求输入端 DREQ3~1。因此,优先级别与它们相对应,DRQ1 的级别最高,DRQ3 的级别最低。
- $\overline{DACK3\sim1}$: 3 个 DMA 响应信号,输出,低电平有效。
- T/C: 计数结束信号,输出,高电平有效。它由 DMAC 发出,用于表示进行 DMA 传送的通道编程时规定传送字节数已经传送完。但它没有说明是哪个通道,这要结合 DMA 响应信号 \overline{DACK} 来判断。
- OSC: 振荡器的输出脉冲。
- CLK: 系统时钟信号,输出。系统时钟的频率通常在 4.77MHz~8MHz 内选择,最高频率为 8.3MHz。CLK 是由 OSC 的输出 3 分频产生的。也就是说,OSC 的频率应是 CLK 的 3 倍。
- RESET: 系统复位信号,输出,高电平有效。该信号有效时,表示系统正处于复位状态,可利用该信号复位总线板卡上的有关电路。
- NC: 零等待状态,输入,低电平有效。用于缩短按照缺省设置应等待的时钟数,当它有效时,不再插入等待时钟。
- $\overline{REFRESH}$: 刷新信号,双向,低电平有效,由总线主控器的刷新逻辑产生。该信号有效表示存储器正处于刷新周期。

以下是对 16 位 ISA 总线的 36 个引脚部分的简要说明,如图 5-3 中实线的下半部分所示。

- Data15~8: 数据总线的高 8 位,双向,三态。
- SBHE: 总线高字节传送允许,三态信号。该信号用来表示 Data15~8 上正在进行数据传送。
- Addr23~17: 非锁存的地址线,在 ALE 为高电平时有效。将它们锁存起来,并和已锁存的低位地址线(A19~0)组合在一起,可形成 24 位地址线,因而使系统的寻址能力扩大到 16MB。

- $\overline{\text{MEMR}}, \overline{\text{MEMW}}$: 存储器读、存储器写信号,低电平有效。这两个信号在所有的存储器读或写周期有效。相比之下,前面所介绍的 $\overline{\text{MEMR}}$ 和 $\overline{\text{MEMW}}$ (B11、B12)仅当访问存储器的低 1MB 时才有效。
- $\overline{\text{MEM CS 16}}$: 存储器片选 16,输入,低电平有效。该信号用来表示当前的数据传输是具有一个等待时钟的 16 位存储器总线周期。
- $\overline{\text{I/O CS 16}}$: I/O 片选 16,输入,低电平有效。该信号为集电极开路,为低表示当前的数据传输是具有一个等待时钟的 16 位 I/O 总线周期。
- $\overline{\text{MASTER}}$: 总线主控信号,输入,在 ISA 总线的主控器初始化总线周期时产生,低电平有效。该信号与 I/O 通道上的 I/O 处理器的 DRQ 线一起用于获取对系统总线的控制权。
- $\text{IRQ15}, \text{IRQ14}, \text{IRQ12} \sim 10$: 5 个中断请求信号,输入,接到中断控制逻辑的从 8259A。
- $\text{DRQ7} \sim 5$ 和 $\overline{\text{DACK7}} \sim \overline{5}$ 及 $\overline{\text{DACK0}}$: 通道 7~5 的 DMA 请求和相应的 DMA 响应信号(另有一个通道 0 的响应信号)。这 3 个通道可进行 16 位 DMA 传送。

5.2.2 ISA 总线时序

ISA 总线的时序和 8086/8088 的时序基本相同,但也有一些区别。对 ISA 总线时序的理解主要在于以下 7 点:

- (1) 地址和数据已不再分时复用信号线,因此在整个总线周期内有效。
- (2) 和 8086/8088 的最大模式一样,存储器读写和 I/O 读写的控制信号已分开,进行一种操作只需一个控制信号。
- (3) 一个典型的存储器读写周期还是由 T_1 、 T_2 、 T_3 和 T_4 组成,而 I/O 读写周期和 DMA 周期都自动插入一个等待时钟周期。
- (4) I/O CH RDY 相当于 8086/8088 时序中的 READY 信号,当总线板卡上的存储器或 I/O 电路较慢时,可利用该信号迫使 CPU 插入等待时钟周期,但等待时钟周期不得超过 10 个。
- (5) 8 位 ISA 总线在存储器读写周期可用到 20 位地址,而 16 位 ISA 总线在存储器读写周期中可使用 24 位地址。但由于受 I/O 指令的限制,8 位和 16 位 ISA 总线的 I/O 读写周期都只能使用低 16 位地址。
- (6) ALE 在 CPU 总线周期的 T_1 期间有效,它的基本作用是进行地址锁存,但也可以作为一个新的 CPU 总线周期已开始的标志。
- (7) AEN 有效表示 DMAC 正在控制系统总线,所以它可以作为系统处于 DMA 总线周期的标志。

采用 XT 总线的计算机以 8088 为 CPU,其基本的微处理器时钟周期为 210ns,存储器读写周期为 4 个微处理器时钟周期,即 840ns。通过 READY 信号的控制可延长该周期。

I/O 读写周期的时序图如图 5-4 和图 5-5 所示,每个 I/O 读写周期均由 5 个微处理器

时钟周期构成,即 1050ns。通过 I/O CH RDY 信号的控制可延长该周期。在 I/O 读写总线周期有效的地址信号为 A15~A0,即 I/O 端口地址,此时地址信号 A19~A16 无效。

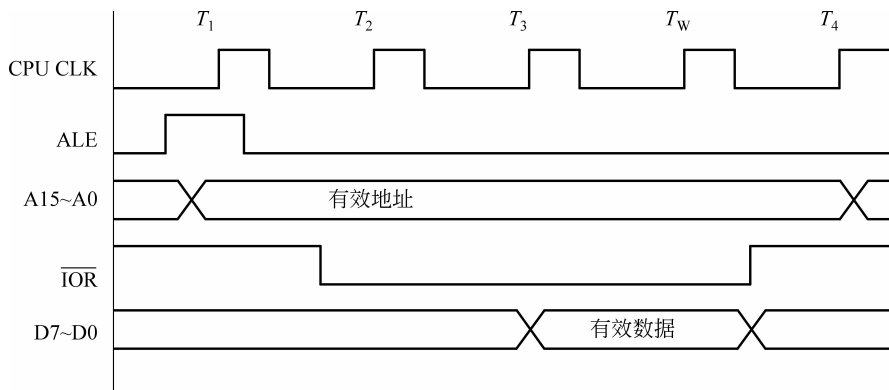


图 5-4 XT 总线 I/O 读时序

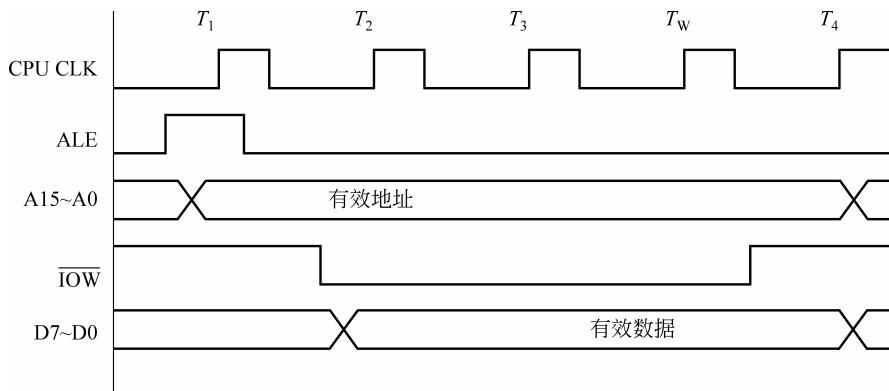


图 5-5 XT 总线 I/O 写时序

当微处理器执行输入指令时,就进入 I/O 读总线周期。在 T_1 周期,地址信号 A15~A0 变为有效地址,此地址为 I/O 端口地址。在 ALE 信号的下降沿锁存地址信号,在进入 T_2 周期后, $\overline{\text{IOR}}$ 信号有效,由 A15~A0 译码选中的输入设备应在 $\overline{\text{IOR}}$ 信号控制下将外设的数据送到数据总线, $\overline{\text{IOR}}$ 信号有效宽度约 3 个 T 周期,即 630ns。输入设备必须在 $\overline{\text{IOR}}$ 信号结束前 30ns 将数据输出,并将数据送到数据总线,由微处理器读取数据。在 T_4 周期, $\overline{\text{IOR}}$ 信号变成无效,I/O 读周期结束。

当微处理器在执行输出指令时,就进入 I/O 写周期。在 T_1 周期,地址信号 A15~A0 变为有效地址,ALE 信号的下降沿锁存地址信号,在进入 T_2 周期后, $\overline{\text{IOW}}$ 信号有效,由 A15~A0 译码选中的输出设备应在 $\overline{\text{IOW}}$ 信号控制下完成数据输出到外部设备的操作,即将数据总线上由微处理器提供的数据送到外部设备。微处理器在将数据送到数据总线时,其有效时间比 $\overline{\text{IOW}}$ 信号稍晚一些,因此外部设备应利用 $\overline{\text{IOW}}$ 信号的上升沿将数据写入。在 T_4 周期, $\overline{\text{IOW}}$ 信号变成无效,I/O 写周期结束。

ISA 总线最早应用在以 80286 为 CPU 的计算机系统中,其基本的微处理器时钟周期

为 125ns,在进行 16 位数操作(即 $\overline{\text{MEM CS16}}$ 、 $\overline{\text{IO CS16}}$ 有效)时,需 3 个微处理器时钟周期,如图 5-6 所示。进行 8 位操作时,为保持与 XT 总线的兼容性采用了 6 个微处理器时钟周期。其时序图如图 5-7 所示。

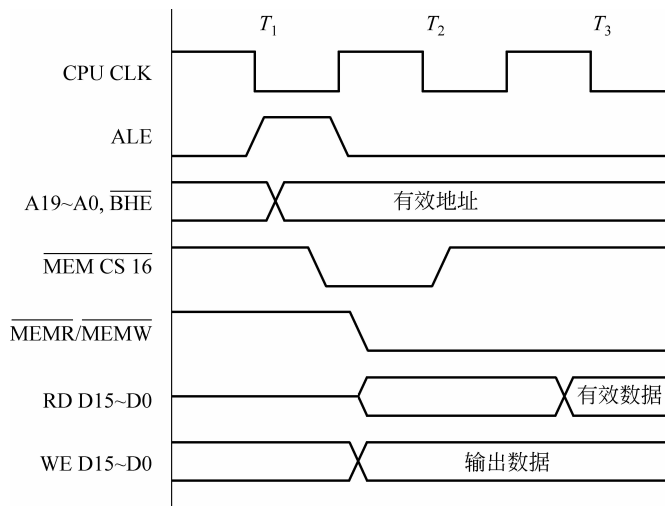


图 5-6 16 位 ISA 总线数据操作时序

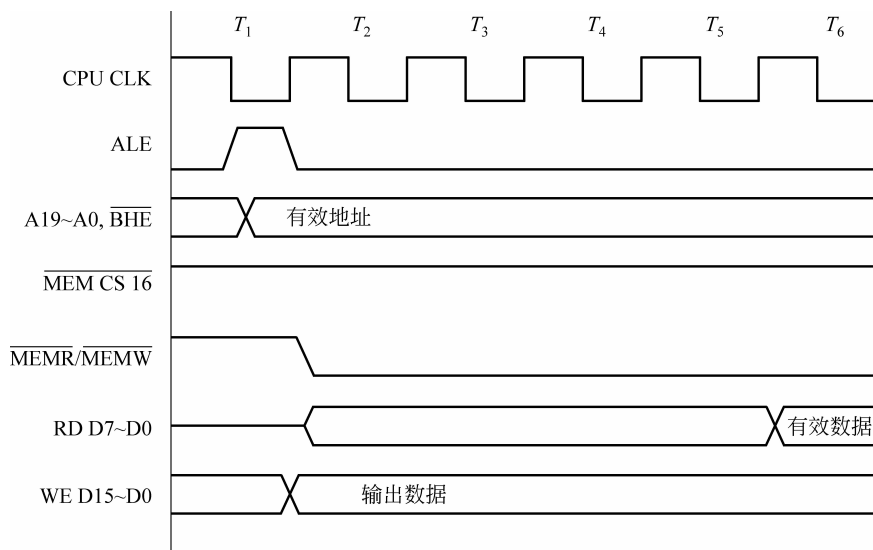


图 5-7 8 位 ISA 总线数据操作时序图

5.3 PCI 总线

PCI 总线是由 Intel 公司 1991 年推出的一种不依附于某个具体处理器的局部总线标准。从结构上看,PCI 是在 CPU 和原来的系统总线之间插入的一级总线,具体由一个桥

接电路实现对这一层的管理,并实现上下层之间的接口以协调数据的传送。管理器提供了信号缓冲,使之能支持 10 种外设,并能在高时钟频率下保持高性能,工作频率为 33MHz/66MHz,数据宽度分为 32 位和 64 位两种,电压标准为 3.3 和 5V 两种,并且支持 5V 向 3.3V 的转换。PCI 总线还支持总线主控技术,允许智能设备在需要时取得总线控制权,以加速数据传送。PCI 总线支持即插即用(Plug and Play)、中断共享等技术。它为显卡、声卡、网卡和 MODEM 等设备提供了连接接口,目前逐步为 PCI-E 所替代。PCI 总线插槽如图 5-8 所示。

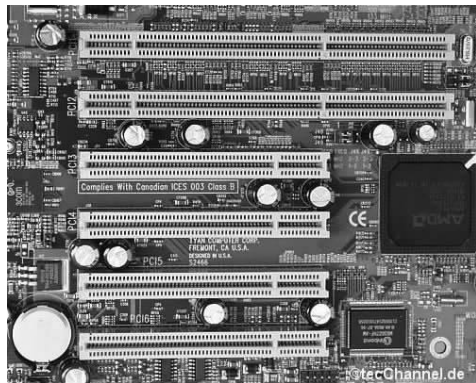


图 5-8 PCI 总线插槽

5.3.1 PCI 总线的特点

PCI 总线具有如下特点:

- (1) 采用地址线与数据线复用方式,可以减少总线引脚数,降低成本,节约线路空间。PCI 主控设备可采用 49 根引脚,目标设备可用 47 根引脚。
- (2) 对 32 位及 64 位总线的使用采用透明方式,允许 32 位与 64 位器件相互协作。
- (3) 允许 PCI 局部总线扩展卡及器件进行自动配置,提供即插即用的能力。
- (4) 独立于处理器,工作频率与处理器基准时钟无关,可支持多机系统。
- (5) 具有良好的兼容性,可支持 ISA、SCSI 和 IDE 等多种总线,同时预留了拓展空间。
- (6) PCI 总线标准提供了 5V 和 3.3V 两种电源电压,为此 PCI 总线定义了从 5V 向 3.3V 的转换途径。并且定义了一种双电压规范,支持通用双电压卡,如图 5-9 所示。

5.3.2 PCI 总线的体系结构

如图 5-10 所示,PCI 总线允许在一个总线中插入 32 个物理部件,每一个物理部件可以最多包含 8 个不同的功能部件。除去用于生产广播消息的一个功能部件地址外,可知在一条 PCI 总线上最多可以包含 255 个可寻址的功能部件。驱动 PCI 总线的控制都由

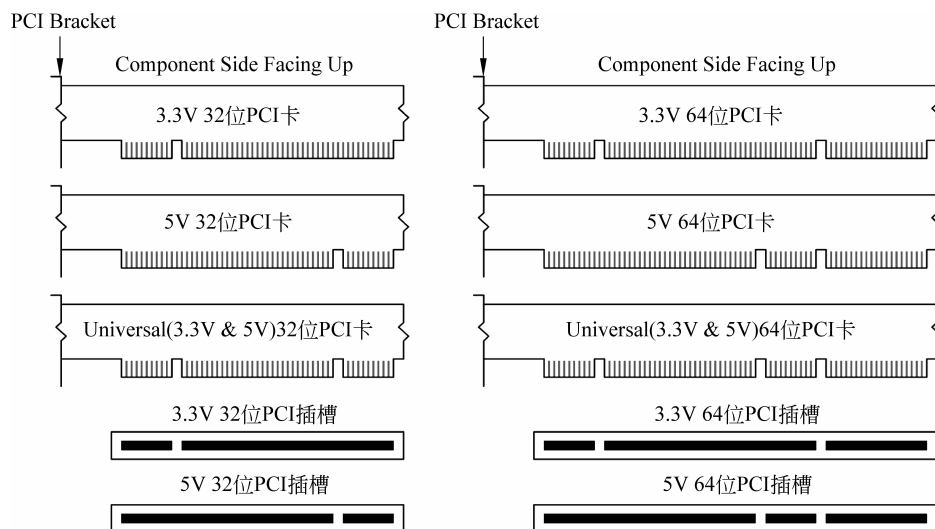


图 5-9 两种电压的适配器和连接器

PCI 桥(总线控制器)实现。总线控制器在主机总线接口中引入了 FIFO 缓冲器,可使 PCI 总线部件与 CPU 并发工作。

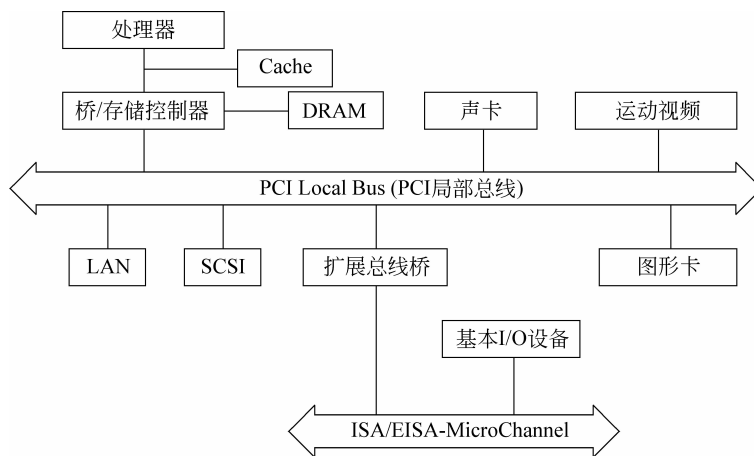


图 5-10 PCI 总线体系结构

PCI 总线体系结构的特点如下:

(1) PCI 桥用来实现驱动 PCI 总线所需的全部控制。其中 CPU 与总线和 PCI 总线之间的控制芯片习惯上称为北桥芯片。芯片中除了含有桥接电路外,还有 Cache 控制器和内存控制器等电路。里面有前面提到的 FIFO 缓冲器,可以为 CPU 和 PCI 总线之间数据交换提供缓冲队列空间。

(2) 要求高速传输数据的外围部件(如音视频接口卡、网络接口卡和磁盘控制卡等)可以通过 PCI 总线与 CPU 或内存高速交换数据。

(3) PCI 总线上可以挂载其他总线控制器,习惯上称为南桥芯片,可以将 PCI 总线数