

MOSFET

场效应晶体管(Field Effect Transistor,FET,又称场效应管)由多数载流子参与导电,也称为单极型晶体管。它属于电压控制型半导体器件,是集成电路中的一种重要微电子器件。通常分为三大类:结型栅场效应晶体管(Junction Field Effect Transistor,JFET)、肖特基势垒栅场效应晶体管(又称金属-半导体场效应晶体管 Metal-Semiconductor Field Effect Transistor,MESFET)和绝缘栅场效应晶体管(Insulated Gate Field Effect Transistor,IGFET)。与双极型晶体管相比,场效应晶体管有以下优点:

- (1) 输入阻抗高;
- (2) 温度稳定性好;
- (3) 噪声较小;
- (4) 没有少子存储效应,开关速度快;
- (5) 大电流情况下,跨导稳定性好;
- (6) 功耗低;
- (7) 制造工艺简单。

当 IGFET 采用 SiO_2 作为绝缘层时,又称金属-氧化物-半导体场效应晶体管,简称 MOSFET。实际上现在许多 IGFET 的栅都采用多晶硅材料,绝缘层也不一定是 SiO_2 ,但这种 IGFET 仍然被习惯称为 MOSFET。

随着集成电路的发展,CMOS 集成电路所占市场份额越来越大,MOSFET 器件的重要性也更显突出,本章将介绍 MOSFET 的基本结构与特性,为后续集成电路的分析与设计奠定基础。

3.1 MOSFET 的结构与特性

3.1.1 MOSFET 结构

根据 MOSFET 器件沟道材料掺杂类型的不同,MOS 器件又分为 N 型 MOS 器件和 P 型 MOS 器件,简称 NMOS 和 PMOS。本节以 NMOS 为例,首先简单介绍 MOSFET 的结构与特性。NMOS 器件的简化模型如图 3.1 所示,器件制作在 P 型衬底(衬底也称作 Bulk 或 Body)上,两个重掺杂的 N 型区(N^+ 区)形成源端(Source,S)和漏端(Drain,D),源端和漏端为对称结构,重掺杂的多晶硅区作为栅极(Gate,G),一层薄 SiO_2 将栅和衬底隔离。栅氧下的衬底区是 MOSFET 器件的有效作用区。沿着源漏方向的栅的长度称为栅长 L ,与之

垂直的栅的尺寸称为栅宽 W 。由于在制作过程中存在源漏结的横向扩散,使源漏间的距离略小于 L 。为了避免混淆,定义 $L_{\text{eff}} = L_{\text{drawn}} - 2L_D$, 式中 L_{eff} 称为有效沟道长度, L_{drawn} 称为沟道总长度, 而 L_D 是横向扩散长度, L_{eff} 和栅氧厚度 t_{ox} 对 MOS 电路的性能起着非常重要的作用。因此, MOS 技术的不断发展源于在不使 MOS 器件其他参数退化前提条件下, 一代一代地减小其栅长和栅宽的尺寸。在本书中, 除非特别说明, 以后均用 L 来表示有效沟道长度。

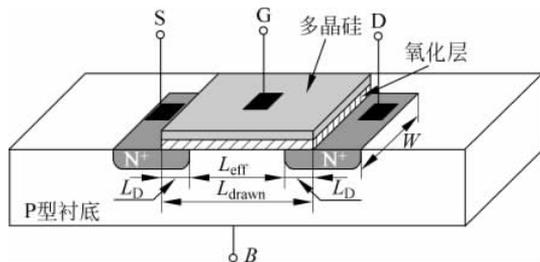


图 3.1 MOS 器件的结构

虽然 MOS 器件是对称的, 但两个 N^+ 区的作用是不一样的, 定义两个 N^+ 区中提供载流子(例如在 NMOS 中源端提供电子)的区域为源区, 收集载流子的 N^+ 区为漏区。当 MOS 器件 D、S、G 3 个端子的电压变化时, 源端和漏端是可以互换的。

实际上, 衬底的电位对器件的性能也具有重要的影响, 衬源/衬漏结二极管都必须反偏才不致使衬底产生贯穿整个芯片的衬底漏电流, 所以 MOSFET 应该是一个四端器件, 在 NMOS 中衬底要接最低电位, 而 PMOS 衬底要接最高电位^[1]。

第一个 MOSFET 器件诞生于 1960 年, 当时采用的是热氧化硅衬底, 器件沟道长度为 $25\mu\text{m}$, 栅极氧化层厚度为 100nm 。虽然目前 MOSFET 尺寸已经大幅度减小, 然而第一个 MOSFET 所采用的硅基以及热氧化 SiO_2 仍然是最佳组合^[2]。

3.1.2 MOSFET 电流-电压特性

1. 阈值电压

考虑如图 3.2 所示的 NMOS 器件, 当栅极电压 V_G 从 0V 开始上升时, P 型衬底中的空穴被赶离栅氧化层下面的衬底表面, 留下的受主负离子, 正好镜像栅极上的正电荷, 形成一个耗尽层。这时, 由于没有载流子的流动, 电流为零。

随着栅极电压的增大, 耗尽层纵向宽度增加、栅氧化层与硅界面处的电位升高, 从某种意义上讲, 这种结构类似两个电容的串联: 栅氧化层电容和耗尽区电容。当界面电势足够高时, 电子从源端流向硅表面, 并最终流到漏端。这时源漏之间及栅氧层下的硅衬底表面便形成了载流子的通道, 晶体管导通, 通常称之为界面“反型”。形成沟道所对应的栅极电压称为“阈值电压”, 用 V_{th} 表示。如果 V_G 进一步增加, 耗尽区的电荷保持相对稳定, 而沟道电荷密度进一步增加, 导致源漏电流继续增大。

阈值电压又称开启电压, 是 MOSFET 器件的重要参数。在半导体物理学中, V_{th} 定义为半导体表面处的平衡少数浓度等于体内的平衡多数浓度时的栅极电压:

$$V_{th} = \phi_{MS} + 2\phi_F - Q_{ox}/C_{ox} - Q_S/C_{ox} \quad (3-1)$$

式中, ϕ_{MS} 是多晶硅或金属栅和衬底的功函数差, $\phi_F = (kT/q) \ln(N_{sub}/n_i)$ 为衬底的费米能势, q 是电子电荷(其值为 $1.602 \times 10^{-19} \text{C}$), N_{sub} 是衬底掺杂浓度, C_{ox} 是单位面积的栅氧化层电容, Q_{ox} 是栅氧化层内的有效电荷面密度, Q_S 是半导体中的电荷面密度, 可分为反型层中的少子电荷面密度 Q_n 和耗尽区中的多子电离电荷的面密度 Q_A , 即 $Q_S = Q_n + Q_A$, 通常情况下 $Q_n \ll Q_A$, 故 $Q_S \simeq Q_A$ 。其中, $Q_A = -\sqrt{4q\epsilon_i |\phi_F| N_{sub}}$, ϵ_i 表示硅的相对介电常数。在器件的制造过程中可通过向沟道区注入杂质来调整阈值电压, 其实质是改变氧化层界面处衬底的掺杂浓度。

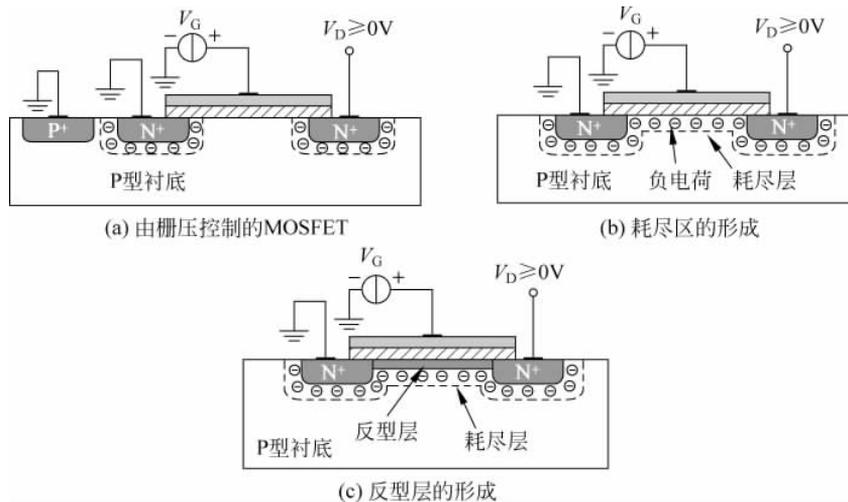


图 3.2 NMOS 器件导通过程

PMOS 器件的导通过程类似于 NMOS, 只是其所有的极性都是相反的, 如图 3.3 所示, 如果栅源电压足够“负”, 在氧化层与硅界面处就会形成一个由空穴组成的反型层, 从而为源漏之间提供一个导电通道。

2. 线性区与饱和区

针对图 3.2 所示的 NMOS 器件, 首先考虑在栅极上施加一正偏电压, 并在半导体表面产生反型。若在漏极施加一个较小的正电压, 电子将会由源极经沟道流向漏极, 沟道的作用就如同电阻一样, 漏极电流 I_D 与漏极电压成比例, 如图 3.4(a) 右侧恒定电阻直线所示的线性区 (Linear Region) 或三极管区 (Triode Region)。

当漏极电压持续增加时, 在靠近漏区, 也即 $y=L$ 处的反型层厚度 x_i 将趋近于零, 如图 3.4(b) 所示, 此处称为夹断点 P (Pinch-off Point)。发生夹断的漏极的电压定义为饱和漏电压 $V_{DS(sat)}$, 也有资料记作 V_{on} , 当 $V_{DS} = V_{DS(sat)} = V_{on}$ 时, MOS 管开始进入饱和区 (Saturation Region)。超过夹断点后, 漏极的电流基本上维持不变, 称漏极电流达到饱和, 因为即使增加漏极电压, I_D 几乎为一常数, 主要的差别只是 L 缩减为 L' , 如图 3.4(c) 所示。

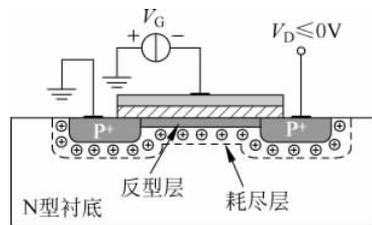
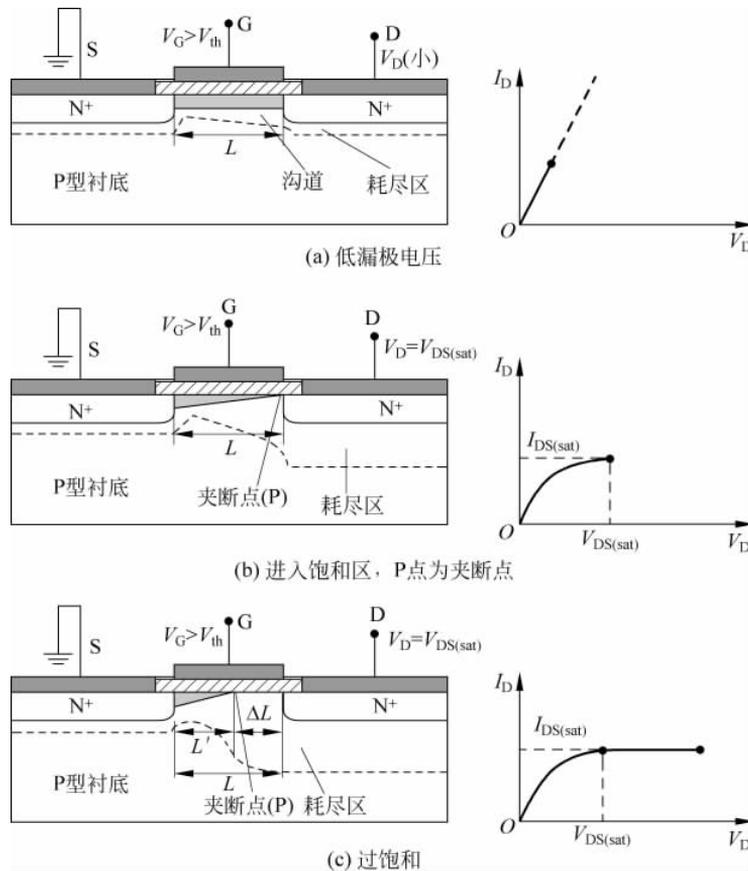


图 3.3 PMOS 器件结构示意图

图 3.4 MOSFET 工作方式及其 $I-V$ 特性

3. MOSFET 器件的 $I-V$ 特性

众所周知, 电流等于沿电流方向的电荷密度 Q_d (C/m) 与电荷移动速度 v (m/s) 的乘积

$$I = Q_d v \quad (3-2)$$

假设初始时刻 NMOS 的源端和漏端都接地, 在 $V_{GS} = V_{th}$ 时开始反型, 当 $V_{GS} \geq V_{th}$ 时, 在沟道内产生反型电荷, 该电荷与栅电荷镜像, 设沟道电荷均匀, 其电荷密度 (单位长度电荷) 为

$$Q_d = WC_{ox}(V_{GS} - V_{th}) \quad (3-3)$$

式中, C_{ox} 与 W 相乘表示单位长度的栅氧化层电容。

当漏极电压大于 $0V$ 时, 沟道电势从源极的 $0V$ 变化到漏极的 V_D , 栅和沟道之间局部电压差从 V_G 变化到 $V_G - V_D$ 。因此, 沿沟道 x 点处的电荷密度可表示为

$$Q_d(x) = WC_{ox}(V_{GS} - V_{th} - V(x)) \quad (3-4)$$

式中, $V(x)$ 为 x 点处的沟道电势。

将式(3-4)代入式(3-2)中可得到

$$I_D = -WC_{ox}[V_{GS} - V(x) - V_{th}]v \quad (3-5)$$

式(3-5)中负号是因为载流子电荷为负, v 表示沟道电子的漂移速度。又因为 $v = \mu E$, $E =$

$-dV/dx$, 可得

$$I_D = WC_{ox}[V_{GS} - V(x) - V_{th}]\mu_n(dV/dx) \quad (3-6)$$

利用边界条件: $V(0)=0$ 和 $V(L)=V_{DS}$ 。两边积分可得

$$\int_0^L I_D dx = \int_0^{V_{DS}} WC_{ox}\mu_n[V_{GS} - V(x) - V_{th}]dV \quad (3-7)$$

由于 I_D 沿沟道方向是常数, 所以

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{th})V_{DS} - \frac{1}{2}V_{DS}^2] \quad (3-8)$$

式中, L 为有效沟道长度, $(V_{GS} - V_{th})$ 被称为“过驱动电压(Overdrive Voltage, 记为 V_{OV})”, W/L 则被称为“宽长比”。

假定 V_{GS} 为常数, 则 I_D 与 V_{DS} 之间为一抛物线的函数关系, 显然极值发生在 $V_{DS} = V_{GS} - V_{th}$ 时, 且峰值电流为

$$I_{Dmax} = \frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (3-9)$$

当 $V_{DS} < V_{GS} - V_{th}$ 时, MOSFET 器件工作于线性区, 如图 3.4(a) 所示。由式(3-8)可以看出, 如果 $V_{DS} \ll 2(V_{GS} - V_{th})$, 则

$$I_D \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})V_{DS} \quad (3-10)$$

此时称 MOSFET 器件工作于“深线性区”或“深三极管区”。源漏之间的沟道可以用一个线性电阻来表示, 这个电阻为

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})} \quad (3-11)$$

这样, MOSFET 就可以作为一个阻值由过驱动电压控制的电阻(只要满足 $V_{DS} \ll 2(V_{GS} - V_{th})$), 图 3.5 表达了这一概念。

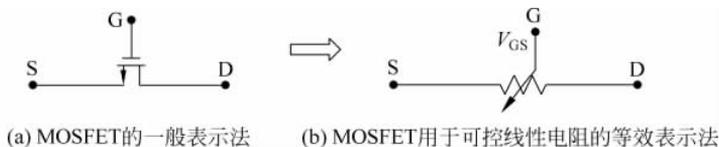


图 3.5 用于可控线性电阻的 MOSFET

当 $V_{DS} \geq V_{GS} - V_{th}$ 时, 器件工作于“饱和区”, I_D 相对稳定, 如图 3.4(b) 所示。随着 V_{DS} 进一步增大, 夹断点 P 逐渐向源端移动。对式(3-7)积分得到

$$I_D = \frac{1}{2}\mu_n C_{ox} \frac{W}{L'} (V_{GS} - V_{th})^2 \quad (3-12)$$

其中, L' 是 P 点的位置。如果 L' 近似等于 L , 则 I_D 与 V_{DS} 无关。

对于 MOSFET 器件而言, 一般认为 L' 近似等于 L 。于是总结上述分析, 可得 NMOS 器件的漏电流与漏源电压的 $I-V$ 特性如下:

(1) 截止区

条件: $V_{GS} < V_{th}$

$$I_D = 0 \quad (3-13)$$

(2) 线性区

条件: $V_{GS} \geq V_{th}, V_{DS} < V_{GS} - V_{th}$

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{th})V_{DS} - \frac{1}{2}V_{DS}^2] \quad (3-8)$$

(3) 饱和区

条件: $V_{GS} \geq V_{th}, V_{DS} \geq V_{GS} - V_{th}$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (3-14)$$

图 3.6 给出了 NMOS 器件的 $I-V$ 特性曲线。

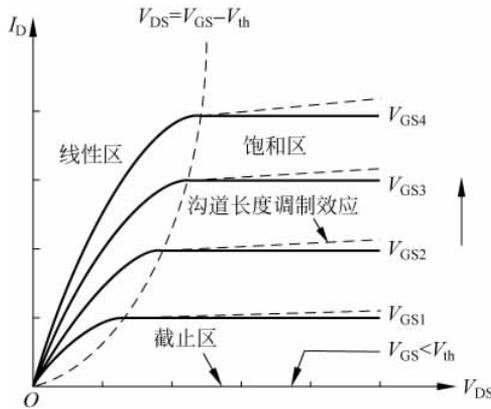


图 3.6 NMOS 器件的 $I-V$ 特性曲线

对于 PMOS 器件,式(3-8)和式(3-14)分别表示为

$$I_D = -\mu_p C_{ox} \frac{W}{L} [(V_{GS} - V_{th,P})^2 V_{DS} - \frac{1}{2}V_{DS}^2] \quad (3-15)$$

$$I_D = -\frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{GS} - V_{th,P})^2 \quad (3-16)$$

式(3-15)和式(3-16)中的负号是由于假定漏电流从漏极流向源极,而空穴沿相反的方向移动。由于空穴的迁移率是电子的 $1/2 \sim 1/4$,所以,与 NMOS 相比,PMOS 具有较低的电流驱动能力。

MOSFET 工作于饱和区时,其电流受栅过驱动电压的控制,定义一个性能系数来表征电压转换电流的能力,该性能系数称为跨导 g_m ,定义为漏电流的变化量与栅源电压变化量的比值。

$$g_m = \left. \frac{dI_D}{dV_{GS}} \right|_{V_{DS, \text{const}}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) \quad (3-17)$$

g_m 也可以表示成

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} = \frac{2I_D}{V_{GS} - V_{th}} \quad (3-18)$$

4. 沟道调制效应

当图 3.4(c)中 L' 与 L 有较大差异时,即当栅和漏之间的电压差增大时,MOSFET 实际

的反型沟道长度 L' 减小程度增加,这说明式(3-12)中 L' 实际上是 V_{DS} 的函数。这一效应称为“沟道调制效应”。

定义 $L' = L - \Delta L$ 。对式(3-12)两边求导,有

$$\frac{di_D}{dv_{DS}} = -\frac{k'W}{2L'^2}(v_{GS} - V_{th})^2 \frac{dL'}{dv_{DS}} = \frac{I_D}{L'} \frac{d\Delta L}{dv_{DS}} \equiv \lambda I_D \quad (3-19)$$

式中, $k' = \mu_n C_{ox}$, $\lambda = \frac{d\Delta L}{L' dv_{DS}}$ 称为沟道长度调制系数。于是,在饱和区,我们可以得到考虑沟道调制效应的 MOSFET 的 $I-V$ 特性,可由式(3-20)表示

$$\begin{aligned} i_D &\approx I_{D(v_{DS}=v_{on})} + \frac{di_D}{dv_{DS}} v_{DS} = I_{D(v_{DS}=v_{on})} (1 + \lambda V_{DS}) \\ &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \end{aligned} \quad (3-20)$$

如图 3.6 所示,沟道调制效应使得 $I_D - V_{DS}$ 特性曲线在饱和区出现非零斜率,使漏源之间的电路非理想。参数 λ 表示给定的 V_{DS} 增量所引起的沟道长度的相对变化量。对于较长沟道, λ 值较小。图 3.6 中, $V_{GS4} > V_{GS3} > V_{GS2} > V_{GS1}$ 。

考虑到沟道长度调制, g_m 的某些表达式也要进行修正。式(3-17)和式(3-18)第一式被修正为

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) (1 + \lambda V_{DS}) \quad (3-21)$$

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_{DS}} (1 + \lambda V_{DS}) \quad (3-22)$$

而式(3-18)第二式保持不变。

5. 衬偏效应(体效应)

在图 3.4 的分析过程中,未加说明地假设 MOSFET 的衬底和源端都是接地的。如果 NMOS 的衬底电压减小到低于源电压时,如图 3.7 所示,将会发生什么情况呢?

假设 $V_S = V_D = 0$, 而且 V_G 略小于 V_{th} 以使栅下形成耗尽层,但没有反型层。当 V_B 变得更负时,将有更多的空穴被吸引到衬底电极,而同时留下大量的负电荷,这使耗尽层变得更宽。由于阈值电压是耗尽层电荷 Q_d 总数的函数,因为在反型层形成之前,栅极电荷必定镜像 Q_d , 因此,随着 V_B 的下降, Q_d 增加, V_{th} 也增加。这称为“衬偏效应”或“体效应”或“背栅效应”。

可以证明,在考虑了衬偏效应后, V_{th} 为

$$V_{th} = V_{th0} + \gamma (\sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|}) \quad (3-23)$$

式中, V_{th0} 为无衬偏效应下的阈值电压,由式(3-1)给出; $\gamma = \sqrt{2q\epsilon_{si}N_{sub}}/C_{ox}$, 称为体效应系数; V_{SB} 是源衬电势差; 系数 γ 的典型值在 $0.3 \sim 0.4V^{1/2}$ 之间。

产生衬偏效应,并不需要改变衬底电势 V_B , 源电压相对于 V_B 发生变化,会产生同样的现象。例如,考虑图 3.8 所示的电路,开始先忽略衬偏效应。我们可以看到,当 V_{in} 变化时,

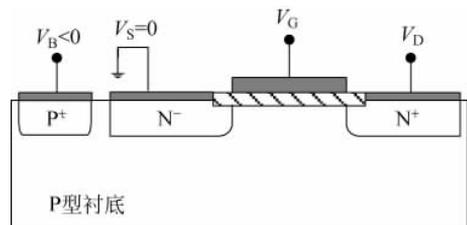


图 3.7 衬底加负电压的 NMOS 器件

由于漏电流等于 I_1 , 因此 V_{out} 会紧随输入变化。实际上, 有

$$I_1 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{in} - V_{out} - V_{th})^2 \quad (3-24)$$

因此, 由式(3-24)可得, 如果 I_1 恒定, 则 $(V_{in} - V_{out})$ 也恒定(如图 3.8(b))所示。

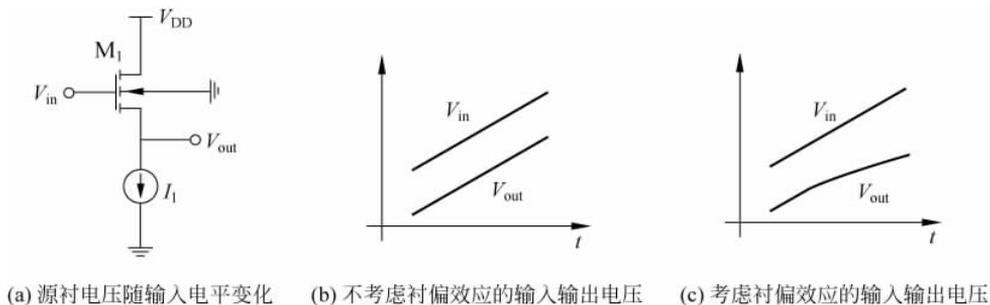


图 3.8 衬偏效应对共源电路输入输出电压的影响

现在假设衬底接地, 而且衬偏效应显著。那么当 V_{in} 增加时, V_{out} 会变得更正, 源和衬底之间的电压差将增大, 导致 V_{th} 的值增大。式(3-24)表明为了保持 I_1 恒定, $(V_{in} - V_{out})$ 必须增加(如图 3.8(c)所示)。

衬偏效应通常是我们所不希望有的, 因为阈值电压的变化经常会使集成电路的设计复杂化, 但是个别情况下, 我们也会利用衬偏效应设计特殊电路。

3.1.3 MOSFET 开关特性

MOSFET 在高密度数字集成电路中可以用来传输和控制逻辑信号, 在许多方面都非常像一个理想开关。图 3.9 给出了单独的 NMOS 和 PMOS 器件在各种输入情况下的操作, 图 3.9 中的 $V_{th,N}$ 和 $V_{th,P}$ 分别表示 NMOS 和 PMOS 的阈值电压。源端、漏端作为输入输出, 而栅端作为输入控制。图 3.9(a) 显示了 NMOS 在控制输入为 V_{DD} 时可以成功传递 0V 电压。类似地, PMOS 在控制输入为 0V 时可以成功地传递 V_{DD} , 如图 3.9(b) 所示。然而, NMOS 和 PMOS 在传输相反电平时都存在问题。图 3.9(c) 中 NMOS 在传送 V_{DD} 时有困难, 因为输出上升到 $V_{DD} - V_{th}$ 时, 管子会关断, 这完全是由体效应引起的。PMOS 在传送低电平时有类似的问题, 如图 3.9(d) 所示。当控制输入关断了器件时, 输出进入高阻状态, 如图 3.9(e) 和图 3.9(f) 所示。

NMOS 器件对不同电平具有不同的传输能力, 其原因可以通过对比图 3.9(a) 和图 3.9(c) 来理解。对于 NMOS, 漏端是两个有源区中电压较高的一个。由于 NMOS 是一个对称器件, 漏端和源端只能在节点电压分配好之后才能确定。在图 3.9(c) 中, 漏端接到了 V_{DD} , 因为这样可以确保它是电压最高的节点。如果源端开始为 0V, 该器件就是导通的, 且工作在饱和区。电流从漏端流到源端给输出电容充电, 源端电压开始增大, 一直增大到 $V_{GS} = V_{th,N}$ 为止。在这一点上, 输出电压是 $V_{DD} - V_{th,N}$ 。在图 3.9(a) 中, 源端和漏端是颠倒的, V_{GS} 的值保持为 V_{DD} 。这样该器件总是开启的, 且将使输出节点电压下降到 $V_{DS} = 0V$ 为止, 此时, 输出电压为 0V。

同理, 对于 PMOS 器件, 可以对图 3.9(b) 和图 3.9(d) 进行同样的分析。此时将源漏的定义颠倒过来, 因为电压较高的是源端, 较低的是漏端。在图 3.9(b) 中, 漏端电压初始为 0V, 随着 PMOS 器件对输出电容进行充电而上升到 V_{DD} 。因为 V_{GS} 是一个 $-V_{DD}$ 的常量, 这

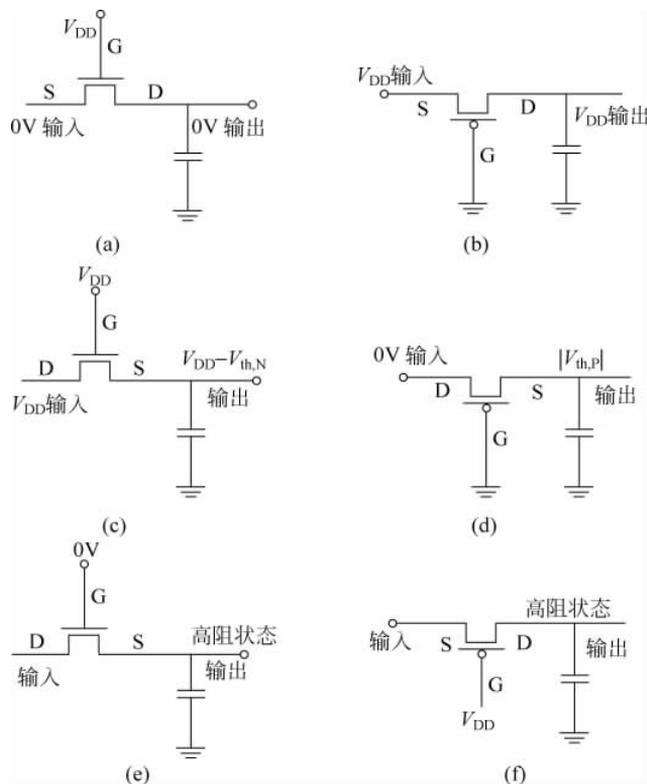


图 3.9 NMOS 和 PMOS 传输管

意味着 PMOS 器件总是导通的,所以输出可以达到 V_{DD} 。在图 3.9(d)中,源节点初始电压是 V_{DD} ,随着输出电容的放电而降低,直到 $V_{GS} = |V_{th,P}|$ 为止,此时该器件关闭。因此,输出能达到的最低电压是 $|V_{th,P}|$ [3]。

1. 噪声容限

电路节点上电压或电流出现非设计所期望的变化就称电路中存在噪声。噪声限制了一个电路能够处理的最小信号电平,影响电路的性能。我们希望定义一种衡量的标准,来评估电路中噪声的影响。过去,噪声主要来自芯片外部的噪声源,如今,噪声也来源于芯片内部的噪声源,这主要是由集成电路中互联结构的本质引起的。电容耦合、电感耦合、集成电路制造工艺的容差、温度变化、电源变化和输出负载变化都可能引起输出值发生变化。

图 3.10(a)所示电压传输特性给出了反相器的理想特性。翻转发生在 $V_{DD}/2$,在这一点上,输出从 V_{DD} 转换成低电平 GND(图中的 0 电压)。对于理想反相器,输入电压的范围很大(在 $0 \sim V_{DD}/2$ 或 $V_{DD}/2 \sim V_{DD}$ 之间变化),而输出电压的范围很小(仅为 V_{DD} 或 0 值的极小误差范围)。如果一个逻辑电路具有大输入范围和小输出范围,就具有理想的抗噪声特性。

实际中的逻辑电路都不具有如图 3.10 所示的理想特性。图 3.11(a)所示为一个反相器的实际电压传输特性。在实际的反相器中,低输出电压 V_{OL} 可能达不到 GND 理想的 0V,高输出电压 V_{OH} 也可能达不到 V_{DD} 。输出不会在 $V_{DD}/2$ 时由 V_{DD} 突变为 GND。定义 V_S 为 $V_{in} = V_{out}$ 的点。

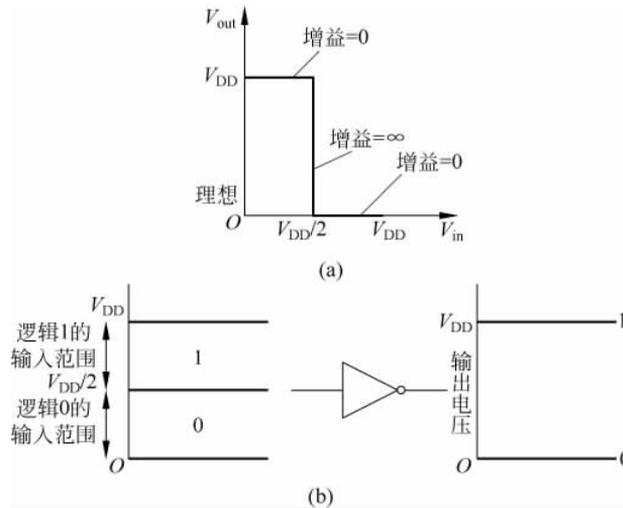


图 3.10 反相器的理想电压传输特性

非理想反相器的输入输出范围如图 3.11(b) 所示。输出逻辑 0 对应的输入范围在 $0V \sim V_{IL}$ 之间, 而输出逻辑 1 对应的输入范围在 $V_{DD} \sim V_{IH}$ 之间。在 V_{IL} 和 V_{IH} 之间存在一个间隔, 我们将其定义为未知区域或不确定区域。对于输出逻辑 0, 输出范围是 $V_{OL} \sim V_{OUL}$ 之间; 对于输出逻辑 1, 输出范围是 $V_{OUH} \sim V_{OH}$ 。其中, V_{OUL} 和 V_{OUH} 是对应增益为 1 (即 $dV_{out}/dV_{in} = -1$) 的输出电压值, 因此, 图 3.11(a) 中的 Ⓐ 和 Ⓑ 点又称为单位增益点。

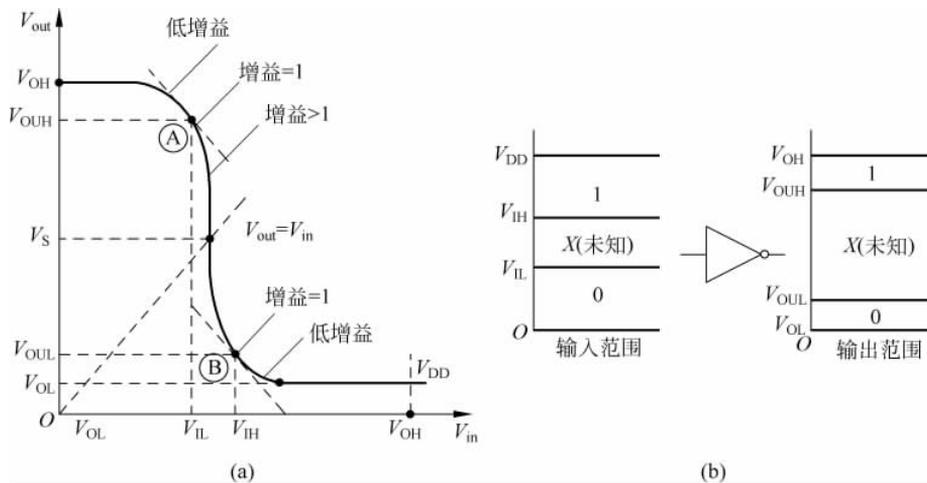


图 3.11 反相器的实际电压传输

利用两个单位增益点所对应的输入电平值和输出高低电平值定义噪声容限如下:

$$N_{MH} = V_{OH} - V_{IH} \tag{3-25}$$

$$N_{ML} = V_{IL} - V_{OL} \tag{3-26}$$

只要输入在噪声容限范围内, 电路就会正常工作。因此, 我们通常希望噪声容限范围越大越好。

2. 瞬态特性

从反相器的实际电压传输特性可以推知,实际逻辑电路存在一定的上升和下降延迟。同样,由于逻辑门电路的关联电容和电阻的存在,也会引起信号从输入到输出的传输延迟时间(简称传输时间)。这些延迟限制了电路的性能。沿着信号的传输路径,延迟的变化可能会在输出端引起短时脉冲干扰,也就是说,由于输入信号到达时间的不同,将会在输出端引起一个意外的短时脉冲干扰。因此,研究逻辑电路的转换特性,首先要对转换时间和传输延迟时间进行明确的定义。

数字电路延迟时间的标准定义如图 3.12 所示。

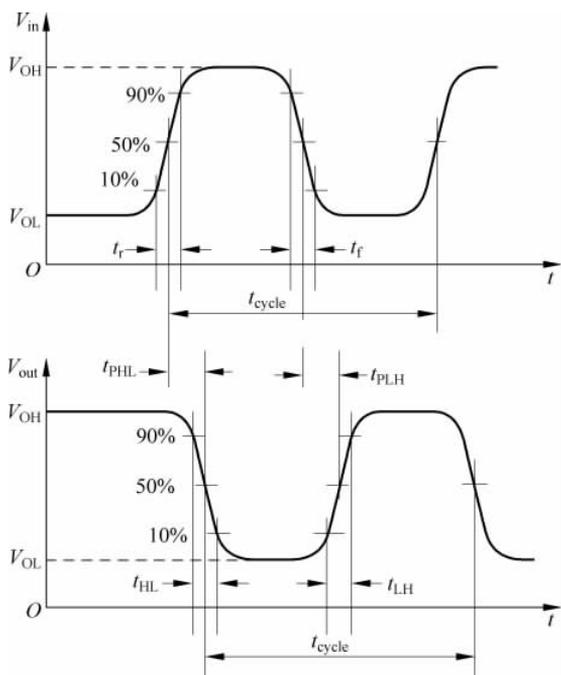


图 3.12 转换时间和延迟时间的定义

上升时间 t_r 和下降时间 t_f 定义为反相器或门的输入电压在总电压的 10% 和 90% 这两点之间转换的时间。一个门输出端由高到低和由低到高的转换时间定义为 t_{HL} 和 t_{LH} , 它们同样定义在 10% 和 90% 这两点之间。从输入端到输出端的延迟时间定义为 t_{PHL} 和 t_{PLH} , 表示输入和输出脉冲波形的 50% 所对应的两点之间的时间。

3.2 短沟道效应

第 3.1 小节在推导 MOSFET 长沟道器件直流 I/V 特性方程的过程中,做了一系列假设,例如采用沟道缓变近似,反型层内的载流子迁移率为常数等。但是伴随着 MOSFET 的沟道长度的减小,许多原来可以忽略的效应就变得显著起来,甚至会成为主导因素,结果导致器件的特性与长沟道模型发生偏离,这种偏离即短沟道效应。

实际情况中可以认为当 MOSFET 源、漏耗尽层宽度与沟道长度相当时,短沟道效应就开始出现。此时,沟道内的电势分布依赖横向电场和纵向电场,并且反型层内的载流子迁移率将退化,因此短沟道效应导致器件性能变坏,且工作描述更加复杂。

图 3.13 给出了 MOSFET 单位沟道宽度的漏极电流 I_D/W 与沟道长度的倒数 $1/L$ 之间的关系。

可以看到:对于长沟道 MOSFET 区,即垂直虚线的左边, I_D/W 几乎正比于 $1/L$;但对于短沟道 MOSFET, I_D/W 偏离了正比于 $1/L$ 的关系。当 L 缩短时, I_D/W 虽仍继续增大,但增大的速度较长沟道缓慢。一般认为当 $I_D/W-1/L$ 关系偏离线性关系的 10% 时为短沟道效应的开始。必须指出,长沟道与短沟道 MOSFET 的区别并不单纯在于沟道长度的长短,而是在于“电特性”的变化。当 MOSFET 的沟道长度缩短时,如果在其他方面采取适当的措施,可以避免短沟道效应的出现^[4]。

图 3.14 给出了 N 沟道 MOSFET 的剖面,图中规定了沟道内横向电场 E_y 以及纵向电场 E_x 的方向,以及漏、栅、源、衬的电位,其中 $V_{DS} > 0, V_{GS} > 0$ 。

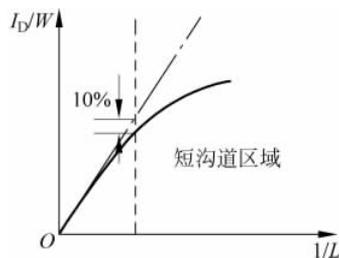


图 3.13 MOSFET I_D/W 与 $1/L$ 的关系

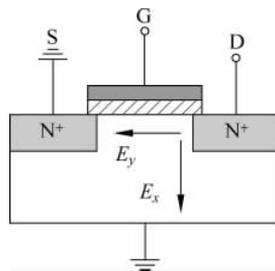


图 3.14 NMOS 剖面图

下面以 NMOS 为例进行分析短沟道效应,假设各种符号方向规定与图 3.14 一致。P 沟道 MOSFET 可以得到相同的结论。

3.2.1 载流子速率饱和及其影响

MOSFET 最严重的短沟道效应就是反型层内的载流子达到速率饱和,其主要原因是沟道里面的横向电场 E_y 太大。由于沟道里的横向电场可以近似地认为是 V_{DS}/L ,所以较小的沟道长度及较大的漏源电压将导致较大的横向电场。N 沟道里面横向电场强度 E_y 对电子平均漂移速率 v_d 的影响规律是:在 E_y 小于 10^3 V/cm 的低场区, v_d 是与 E_y 成线性关系;随着 E_y 的提高, v_d 的增加逐渐变得缓慢, (v_d-E_y) 关系偏离线性关系;当 E_y 超过临界电场 E_C 时, v_d 不再增加,而是维持一个称为散射极限速率或饱和速率的恒定值,以 v_{dmax} 表示,如图 3.15 所示。利用一阶近似分析来描述 N 沟道里面 (v_d-E_y) 的关系可表示为

$$v_d = \frac{\mu_n E_y}{1 + E_y/E_C} \quad (3-27)$$

式中, μ_n 为电子的迁移率,表征单位电场下电子的平均

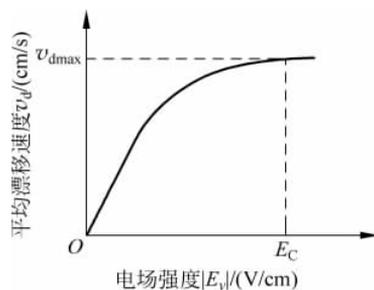


图 3.15 电子平均漂移速率与电场强度的关系

漂移速率。

在短沟道 MOSFET 的漏端附近会有很强的电场,因为漏、衬底、源的材料分别是 N^+ 、 P 、 N^+ ,对于 $V_{DS} > 0$,漏衬反偏,而源衬同电位,所以 V_{DS} 电压主要是降在漏端附近的耗尽层,产生强电场。对于一定的 V_{DS} ,沟道越短,漏端附近的电场越强,导致沟道漏端附近的电场强度可能在沟道被夹断之前就达到速率饱和的临界电场 E_C ,从而使该处的电子漂移速率达到饱和速率,结果致使长沟道直流电流-电压特性不再适用,因此,有必要对其进行修正。

根据 $I_D = WQ_1 v(y)$ 及 $E(y) = dV/dy$ 和式(3-27),整理后可得

$$I_D \left(1 + \frac{1}{E_C} \frac{dV}{dy} \right) = WQ_1(y) \mu_n \frac{dV}{dy} \quad (3-28)$$

对式(3-28)沿着沟道积分有

$$\int_0^L I_D \left(1 + \frac{1}{E_C} \frac{dV}{dy} \right) dy = \int_0^{V_{DS}} WQ_1(y) \mu_n dV \quad (3-29)$$

积分后可得

$$I_D = \frac{\mu_n C_{ox} W}{2 \left(1 + \frac{V_{DS}}{E_C L} \right) L} [2(V_{GS} - V_{th}) - V_{DS}] V_{DS} \quad (3-30)$$

从式(3-30)可以看出,当 $E_C \rightarrow \infty$,即达到理想的速度饱和的极限情况时,该式就与长沟道模型三极管区域的直流电流-电压方程相同;当存在速度饱和时,从式(3-30)中也可以看出,该式所得到的三极管区域的器件的漏极电流低于速度未饱和时所预测的值。

在分析长沟道器件时,定义 MOSFET 器件进入饱和区的表征是漏极电流出现饱和,即漏极电流 I_D 不随漏源电压 V_{DS} 的变化而变化(这里忽略了沟道长度调制效应)。同样,对于短沟道器件,也认为当漏源电压大于 $V'_{DS(sat)}$ 后,晶体管进入饱和区,因此漏极电流与漏源电压无关,即 $dI_D/dV_{DS} = 0$ 。

利用式(3-30)有

$$\frac{dI_D}{dV_{DS}} = \frac{\mu_n C_{ox} W}{2 L} \left\{ \frac{\left(1 + \frac{V_{DS}}{E_C L} \right) [2(V_{GS} - V_{th}) - 2V_{DS}] - \frac{[2(V_{GS} - V_{th})V_{DS} - V_{DS}^2]}{E_C L}}{\left(1 + \frac{V_{DS}}{E_C L} \right)^2} \right\} \quad (3-31)$$

令式(3-31)为零,得

$$\left(1 + \frac{V_{DS}}{E_C L} \right) [2(V_{GS} - V_{th}) - 2V_{DS}] - \frac{[2(V_{GS} - V_{th})V_{DS} - V_{DS}^2]}{E_C L} = 0 \quad (3-32)$$

整理得

$$\frac{V_{DS}^2}{E_C L} + 2V_{DS} - 2(V_{GS} - V_{th}) = 0 \quad (3-33)$$

解式(3-33)的二次方程,由于 NMOS 漏源电压 $V_{DS} > 0$,可得到出现速度饱和时的漏源电压

$$V'_{DS(sat)} = V_{DS} = E_C L \left(\sqrt{1 + \frac{2(V_{GS} - V_{th})}{E_C L}} - 1 \right) \quad (3-34)$$

假设当 E_C 足够大时, $x = (V_{GS} - V_{th})/E_C L \ll 1$,根据泰勒展开式

$$\sqrt{1 + 2x} = 1 + x - \frac{x^2}{2} + \dots \quad (3-35)$$

因此式(3-34)可以近似为

$$V'_{DS(sat)} = (V_{GS} - V_{th}) \left(1 - \frac{V_{GS} - V_{th}}{2E_c L} + \dots \right) \quad (3-36)$$

从式(3-36)中可以看出,当 $E_c \rightarrow \infty$ 时,即理想情况下, $V'_{DS(sat)} \rightarrow (V_{GS} - V_{th})$,与长沟道模型相同;当速度发生饱和时, $V'_{DS(sat)} < (V_{GS} - V_{th})$,且随着 L 的减小, $V'_{DS(sat)}$ 的值也不断地减小。上面的分析表明短沟道效应发生时,反型层内电子速度饱和也可以导致漏极电流饱和,且随着沟道长度的减小,饱和压降也下降。

为了得到短沟道器件饱和区直流电流-电压方程,可将式(3-34)代入式(3-30)中,整理后可得

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} [V'_{DS(sat)}]^2 \quad (3-37)$$

由于 $V'_{DS(sat)} < (V_{GS} - V_{th})$,所以当短沟道效应发生时,饱和漏极电流小于长沟道模型得到的饱和漏极电流。

当速度完全饱和时,即取极限情况 $E_c \rightarrow 0$ 进行分析时,此时 $v_{dmax} \rightarrow \mu_n E_c$,将(3-34)式代入式(3-37)有

$$\lim_{E_c \rightarrow 0} I_D = \mu_n C_{ox} W (V_{GS} - V_{th}) E_c = W C_{ox} (V_{GS} - V_{th}) v_{dmax} \quad (3-38)$$

可见,此时饱和漏极电流不再是过驱动电压的平方根的关系,而是线性的关系。

当 MOSFET 器件沟道缩短到一定程度时,由于反型层内的载流子受强电场作用发生电子平均漂移速度饱和,导致其漏极电流(包括三极管区域和饱和区域)小于长沟道所得到的漏极电流;且随着沟道的不断缩小,由三极管区过渡到饱和区的临界漏源电压也不断地下降;另外,当假设出现速度完全饱和时,漏极电流将与过驱动电压成线性关系。总之,反型层内电子的速度饱和导致直流电流电压方程偏离了长沟道效应。

短沟道效应还会影响器件的小信号参数,这里以受影响最严重的跨导为例加以说明。将式(3-34)代入式(3-37),有

$$g_m = \frac{dI_D}{dV_{GS}} = W C_{ox} v_{dmax} \frac{\sqrt{1 + \frac{2(V_{GS} - V_{th})}{E_c L}} - 1}{\sqrt{1 + \frac{2(V_{GS} - V_{th})}{E_c L}}} \quad (3-39)$$

其中, $v_{dmax} = \mu_n E_c$,下面讨论两种极限情况。

当 $E_c \rightarrow \infty$ 时,利用 $x = (V_{GS} - V_{th}) / E_c L \rightarrow 0$ 及式(3-35),得

$$\lim_{E_c \rightarrow \infty} g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) \quad (3-40)$$

显然与长沟道模型相同。

当 $E_c \rightarrow 0$,即电子速度完全饱和时,

$$\lim_{E_c \rightarrow 0} g_m = W C_{ox} v_{dmax} \quad (3-41)$$

可见此时跨导与栅源电压 V_{GS} 及沟道长度 L 无关。这也说明此时再增加 V_{GS} 或缩短 L ,均无法使跨导增大,这也称为跨导的饱和^[5]。

3.2.2 阈值电压的短沟道效应

由式(3-1)知:当 $V_s = V_b = 0$ 时,阈值电压为

$$V_{th} = \phi_{MS} + 2\phi_{FP} - (Q_{ox} + Q_A)/C_{ox}$$

其中, $Q_A = -qN_A x_{dmax} = -\sqrt{4q\epsilon_i N_A |\phi_{FP}|}$, x_{dmax} 为最大耗尽层宽度, ϕ_{FP} 为 P 型衬底的费米能势。

推导上面的公式时,假定了源、漏区电势对沟道耗尽区没有影响,即沟道耗尽区的电荷完全受 V_{GS} 控制,与源、漏区无关。又由于 V_{th} 表达式中的各类参数都与沟道长度无关,所以 V_{th} 应与沟道长度无关。但是实验却发现,当 MOSFET 的沟道长度缩短到可与源、漏区的结深 x_j 相比拟时,阈值电压 V_{th} 将随沟道长度的缩短而减小,这就是阈值电压的短沟道效应。如图 3.16 所示。

为了分析引起阈值电压短沟道效应的原因,在这里将通过一个简单的电荷分享模型来进行分析,如图 3.17 所示,从图中可以清楚地看出在沟道长度 L 的范围内,一部分电力线来自于栅极,而沟道两边少部分的电力线来自于源、漏区。因此,电荷分享模型将沟道耗尽区总电荷 Q_{AT}^* (这里表征的是电荷总量,之所以加了 * 上标,是为了区别于电荷密度) 分成两部分,即

$$Q_{AT}^* = Q_{AG}^* + Q_{Aj}^* \quad (3-42)$$

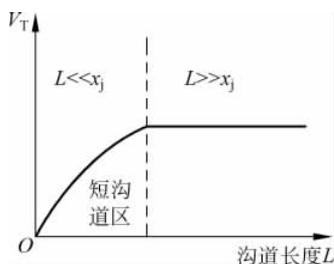


图 3.16 阈值电压的短沟道效应

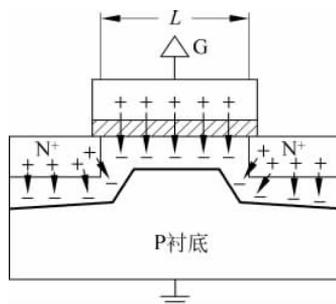


图 3.17 电荷控制分享模型

其中, Q_{AG}^* 代表沟道区耗尽层内受栅极控制的电离受主电荷,它接受源于栅极上正电荷的电力线,这部分空间电荷对阈值电压有贡献; Q_{Aj}^* 代表受源、漏区电势影响,它接受源于源、漏施主电荷的电力线,这部分空间电荷对阈值电压无贡献。当分析长沟道时,由于 $Q_{AG}^* \gg Q_{Aj}^*$,所以可以近似地认为沟道里面的电荷全部来源于 Q_{AG}^* ,即忽略源、漏区电势对沟道耗尽区电荷的影响,认为阈值电压与沟道长度无关。然而,当沟道长度不断地缩小,直到可以与源、漏区的结深相比拟时, Q_{Aj}^* 这部分电荷逐渐成为了沟道总电荷的重要来源,不得不对它进行考虑,这样就使得 Q_{AG}^* 对阈值电压的贡献减小,从而让沟道反型所需要的栅压变小,结果使得阈值电压减小,且随着沟道长度的缩短,阈值电压下降得越厉害。

电荷分享模型给出的短沟道 MOSFET 在 $V_S = 0, V_B = 0$ 时的阈值电压为^[4]

$$(V_{th})_{短} = \phi_{MS} + 2\phi_{FP} - \frac{Q_{ox}}{C_{ox}} - f \frac{Q_A}{C_{ox}} \quad (3-43)$$

式中

$$f = \left\{ 1 - \frac{x_j}{L} \left[\left(1 + \frac{2x_{dmax}}{x_j} \right)^{1/2} - 1 \right] \right\} \quad (3-44)$$

系数 f 代表衡量短沟道效应的阈值电压偏离长沟道模型的程度。

由式(3-44)可以看出,当 $L \gg x_j$ 时,可以视为长沟道模型,此时 $f \approx 1$, V_{th} 与 L 无关;当 $L < x_j$ 时,随着 L 的缩短, f 减小,从而使 V_{th} 减小。从公式中还可以看出减小阈值电压短沟道效应的措施是:减小源、漏区结深 x_j ;提高衬底的掺杂浓度以减小 x_{dmax} ;还可以通过减薄栅氧化层的厚度 t_{ox} ,因为这样可以提高 C_{ox} ,从而使得式(3-43)中 $f \frac{Q_A}{C_{ox}}$ 这一项的影响变弱。

另外,当外加漏源电压 V_{DS} 后,漏PN结的耗尽区将扩大,使漏区对沟道耗尽区电荷的影响更大,所以在短沟道MOSFET中,阈电压 V_{th} 除了随 L 的缩短而减小外,还将随 V_{DS} 的增加而减小^[4]。

短沟道效应发生时,还有两个重要的效应会对阈值电压产生影响,分别是边缘感应势垒降(Fringing-Induced Barrier Lowering, FIBL)效应和漏场感应势垒降(简称漏致势垒降, Drain-Induced Barrier Lowering, DIBL)效应。下面简单阐述二者影响阈值电压的机理。分析这两种效应的方法类似上面的电荷分享模型,这里应用电力线分享进行说明。

边缘感应势垒降 FIBL 效应: 当MOSFET沟道减小,使得沟道长度可以和栅氧化层厚度 t_{ox} 相比拟时,栅氧化层的电容就不能简单用平行板电容来等效,而必须考虑边缘效应的影响。由于一部分电力线从边缘由栅极直接到达源、漏扩展区,导致到达栅极正下方沟道区的电力线减少。对于长沟道器件,这部分到达源、漏扩展区的电力线可忽略不计;对于短沟道器件,就必须考虑它们的影响,因为这部分电力线成为了栅极出发的电力线的重要来源,这样就削弱了栅极对沟道的控制能力。沟道越短,栅氧化层厚度越大,边缘效应的影响越显著。在FIBL的影响下,沟道中电势下降(沟道中电势下降也是FIBL这个名字的由来),而源、漏扩展区中电势上升,结果使得电子从源运动到漏的势垒高度降低,导致了MOSFET的亚阈区漏电流增加,从而使相应的阈值电压下降。

漏致势垒降 DIBL 效应: 正偏漏源电压 V_{DS} 使漏PN结反偏,源PN结正偏,因此对于长沟道MOSFET, V_{DS} 几乎全部降在漏PN结上,对源PN结没什么影响;但在短沟道MOSFET中,由于沟道很短,起源于漏的电力线将有一部分贯穿沟道区终止于源区,从而使源、漏之间的势垒高度降低,这一现象称为漏致势垒降效应。沟道越短,漏源电压 V_{DS} 越大,贯穿的电力线就越多,势垒高度的降低也就越多。同样势垒高度的降低导致了MOSFET的亚阈区泄漏电流增加,从而使相应的阈值电压下降。

3.2.3 迁移率退化效应

迁移率表征单位电场下载流子的平均漂移速度,表达式为 $\mu = v_d / |E|$,式中电场 E 的方向与电子的平均漂移速度方向相反,与空穴平均漂移速度方向相同。前面我们讨论了出现短沟道效应时横向电场 E_y 对器件特性的影响,最主要的特征就是出现反型层内载流子速率饱和。那么根据迁移率的表达式,也可以认为,横向电场影响着载流子的迁移率,即在低横向电场时,速率未饱和, v_d 随 E_y 增大而增加,二者成线性关系,所以迁移率近似为常数;当横向电场增大到一定程度时, v_d 逐渐趋于饱和,这时迁移率将随 E_y 的增大而减小,如图3.12所示。为了理解迁移率的这种退化效应,从式(3-27)和表达式 $\mu = v_d / |E|$ 的对比中,可以认为当沟道内存在强的横向电场 E_y 时,电子迁移率表达式可修正为 $\frac{\mu_n}{1 + E_y/E_c}$,其中 $1 + E_y/E_c$ 为迁移率退化系数。可见 E_y 越增加,电子迁移率退化越严重。

在一定的栅衬电压和漏源电压下, MOSFET 的尺寸减小不仅仅会使横向电场增加, 同时也会使纵向电场 E_x 增加, 那么沟道的纵向电场又是如何影响载流子迁移率的呢?

由于这里研究的对象是表面反型层里面的载流子, 因此其迁移率区别于体迁移率, 主要表现在反型层载流子迁移率要受表面电场的强烈影响。反型层内的载流子主要受到 3 种散射结构的影响:

- (1) 带电中心引起的库仑散射;
- (2) 晶格振动引起的声子散射;
- (3) 表面散射。

因此反型层载流子的有效迁移率的表达式可由下式给出

$$\frac{1}{\mu_{\text{eff}}} = \frac{1}{\mu_{\text{ph}}} + \frac{1}{\mu_{\text{sr}}} + \frac{1}{\mu_{\text{coul}}} \quad (3-45)$$

式中, μ_{ph} 、 μ_{sr} 、 μ_{coul} 分别反映了声子散射作用、表面散射作用和库仑散射作用。实验表明, 在衬底掺杂浓度为 $10^{15} \sim 10^{18} \text{ cm}^{-3}$ 的范围内, 当由 V_{GS} 产生的表面垂直电场 E_x 小于 $1.5 \times 10^5 \text{ V/cm}$ 时, 强反型层内电子和空穴迁移率约为各自体内迁移率的 1/2。但是当 E_x 大于上述值时, 电子和空穴的迁移率将随 E_x 的增加而减小, 这就是表面散射 μ_{sr} 进一步增加的结果^[4]。为了更直观地理解纵向电场对反型层内载流子迁移率的影响, 可以认为增加的纵向电场迫使反型层内载流子更靠近硅表面, 而硅表面的不平整性将阻碍载流子从源到漏的运动, 从而降低了迁移率。模拟这种影响的一个经验公式是

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + \theta(V_{\text{GS}} - V_{\text{th}})} \quad (3-46)$$

其中, μ_0 表示低纵向电场下的迁移率, θ 是拟合参数, 约为 $(10^{-7}/t_{\text{ox}})\text{V}^{-1}$ ^[5]。

考虑了纵向电场的影响, 三极管区域的 I/V 特性方程可以修改为

$$\begin{aligned} I_{\text{D}} &= \frac{\mu_{\text{eff}} C_{\text{ox}} W}{2L} [2(V_{\text{GS}} - V_{\text{th}}) - V_{\text{DS}}] V_{\text{DS}} \\ &= \frac{W}{2L} \frac{\mu_0 C_{\text{ox}}}{1 + \theta(V_{\text{GS}} - V_{\text{th}})} [2(V_{\text{GS}} - V_{\text{th}}) - V_{\text{DS}}] V_{\text{DS}} \end{aligned} \quad (3-47)$$

综合上面分析可知, 当 MOSFET 器件的尺寸缩小时, 使得沟道内的横向电场 E_y 和纵向电场 E_x 增加; 而增加的 E_y 和 E_x 又各自分别从不同侧面影响着反型层内载流子迁移率, 使得迁移率退化, 进而影响着器件的直流 I/V 特性, 使得其与长沟道特性发生偏离。综合考虑这两种影响, 可以近似将 N 沟道 MOSFET 的直流 $I-V$ 特性修改为

$$I_{\text{D}} = \frac{W}{2L} \frac{\mu_0 C_{\text{ox}}}{\left(1 + \frac{V_{\text{DS}}}{E_{\text{CL}}}\right) [1 + \theta(V_{\text{GS}} - V_{\text{th}})]} [2(V_{\text{GS}} - V_{\text{th}}) - V_{\text{DS}}] V_{\text{DS}} \quad (3-48)$$

式中, $\left(1 + \frac{V_{\text{DS}}}{E_{\text{CL}}}\right)$ 是考虑横向电场的影响而做出的调整; $[1 + \theta(V_{\text{GS}} - V_{\text{th}})]$ 是考虑纵向电场的影响而做出的调整。对于长沟道, 这两项皆可忽略。

MOSFET 尺寸缩小所致沟道内的强电场不仅仅影响着器件的直流 $I-V$ 特性, 还会产生另外两个严重的后果: 其一, 强电场导致器件漏端发生雪崩倍增效应, 当电场达到一定程度时, 器件击穿; 其二, 强电场使得漏端附近的载流子能量增加, 当能量足够大时, 载流子就会越过 SiO_2 -Si 势垒 (3.1eV) 注入到栅氧化层内, 导致器件的性能退化, 寿命缩短。

短沟道 MOSFET 漏区附近的强电场使得载流子速率出现饱和,这时的载流子也称为热载流子。热载流子以极高的速率“撞击”硅原子,发生碰撞电离,产生新的电子-空穴对,其中电子流向漏区,空穴流向衬底,这就是所谓的衬底电流。这类似于 PN 结的雪崩效应,当电场足够大时,就产生雪崩击穿。只要漏源电压足够大,这种漏端 PN 结的雪崩现象也存在于长沟道器件,但是短沟道器件会更严重,因为短沟道器件存在横向击穿现象。对于短沟道器件,更大的衬底电流是由于漏端雪崩现象更严重所致,更大的衬底电阻是由于衬底的尺寸缩小所致的。

另外,短沟道器件也更容易发生漏源穿通。由于沟道长度太短,当漏源电压大到一定程度时,沟道全耗尽,出现漏源穿通,使器件失效。如前所述,强电场下,载流子的平均速率易达到饱和,但载流子的瞬时速率会不断增大,因而其动能会不断增大,尤其是在向漏极运动时,这些载流子被称为“热”载流子。当热载流子获得足够高的能量时,就有可能越过 SiO_2 -Si 势垒,进入栅氧化层。陷入栅氧化层电子陷阱中的电子是不能逸出的,随着时间的增长,陷阱中的电子会积累得越来越多,这样最终会使 MOSFET 失效。

3.3 按比例缩小理论

自 1965 年 Intel 公司的 Moore 提出著名的“摩尔定律”以来,集成电路的发展一直遵循着这个定律,即集成电路每 3 年更新一代,每一代器件尺寸缩小 1/3,电路规模提高 4 倍,而单位成本呈指数下降^[6]。目前 MOSFET 的栅极长度已小至 20nm。集成电路发展之所以具有这样的趋势,主要是基于两个动力:

(1) 减小尺寸可以提高硅片上器件的集成度,即可以在一个硅片上集成更多的器件或电路,这样就提高了芯片的性价比;

(2) 尺寸的缩小使得器件总寄生电容下降,这样就提高了晶体管的特征频率,优化了有源器件的频率特性。

集成电路的发展之所以一直能够遵循“摩尔定律”,而未受到短沟道效应的限制,是由于采取了其他方面的措施抑制短沟道效应的到来。最具代表性的措施是恒电场按比例缩小。理想的恒电场按比例缩小理论保证了 MOSFET 在沟道长度缩小的同时,沟道里面的电场保持不变,进而使得几何上的短沟道器件能够保持“电学上”的长沟道特性。

1974 年由 Dennard 提出了恒电场按比例缩小理论,即器件内部电场不变的缩小规律,称为恒电场(Constant Electrical field, CE)理论。理想的恒电场理论必须遵循三条规则:

- (1) 纵、横向尺寸,包括沟道长度、宽度、结深、栅介质层厚度及引线孔等按比例缩小;
- (2) 掺杂浓度按比例增加;
- (3) 电源电压及阈值电压按比例缩小。

这里假设一个没有量纲的比例系数 α ,根据上面三条规则,按比例缩小后可以得到

$$\begin{aligned} L' &= \frac{L}{\alpha}, & W' &= \frac{W}{\alpha}, & t'_{\text{ox}} &= \frac{t_{\text{ox}}}{\alpha}, & x'_j &= \frac{x_j}{\alpha} \\ N'_A &= \alpha N_A, & N'_D &= \alpha N_D \\ V'_{\text{GS}} &= \frac{V_{\text{GS}}}{\alpha}, & V'_{\text{DS}} &= \frac{V_{\text{DS}}}{\alpha}, & V'_{\text{BS}} &= \frac{V_{\text{BS}}}{\alpha} \end{aligned} \quad (3-49)$$

式中, L 表示沟道长度, W 表示沟道宽度, t_{ox} 表示栅介质层厚度, x_j 表示结深, N_A 、 N_D 分别

表示 P 型和 N 型半导体掺杂浓度, V_{GS} 表示栅源电压, V_{DS} 表示漏源电压, V_{BS} 表示源衬电压; 加撇的上标符号表示按比例缩小后的 MOSFET 的相应参数。

结两边的耗尽层宽度由下式给出

$$x_d = \sqrt{\frac{2\epsilon_s}{q} \left(\frac{1}{N_A} + \frac{1}{N_D} \right) (\phi_B + V_R)} \quad (3-50)$$

式中, $\phi_B = V_{th} \ln \left(\frac{N_A N_D}{n_i^2} \right)$ 为结内建电势, V_R 表示反向偏置电压。

假设 $V_R \gg \phi_B$, 那么根据前面提到的规则按比例缩小后可得

$$x'_d \approx \sqrt{\frac{2\epsilon_s}{q} \left(\frac{1}{\alpha N_A} + \frac{1}{\alpha N_D} \right) \left(\frac{V_R}{\alpha} \right)} \approx \frac{1}{\alpha} \sqrt{\frac{2\epsilon_s}{q} \left(\frac{1}{N_A} + \frac{1}{N_D} \right) (V_R)} \approx \frac{x_d}{\alpha} \quad (3-51)$$

可见结的耗尽层宽度近似缩小到原来的 $1/\alpha$ 。因此可以得出: 当存在较大的反偏电压时, 源、漏结的耗尽区宽度和沟道下耗尽区的最大宽度都分别都缩小到原来的 $1/\alpha$ 。

耗尽区宽度的改变使得源、漏区及沟道区单位面积的结电容扩大了 α 倍。

另外, 当 t_{ox} 和 V_{GS} 按比例缩小到原来的 $1/\alpha$, 如不考虑栅氧化层中的正电荷, 则栅氧化层与半导体界面处的纵向电场强度与原来的相同; 当 L 和 V_{DS} 按比例缩小到原来的 $1/\alpha$, 沟道中的横向电场强度与原来的相同。因此可以近似认为沟道中电子迁移率及漂移速率与沟道中保持相同。

按比例缩小后, 阈值电压的公式为

$$V'_{th} = \phi_{MS} + 2\phi'_{FP} - \frac{t_{ox}}{\alpha\epsilon_{ox}} \left(Q_{ox} - q\alpha N_A \frac{x_{dmax}}{\alpha} \right) \quad (3-52)$$

因为在铝栅和 N 型硅栅的 N 沟道 MOSFET 中, 功函数差 ϕ_{MS} 和 P 型衬底的费米能势 ϕ'_{FP} 符号相反, 可以近似认为两者抵消, 于是

$$V'_{th} \approx \frac{V_{th}}{\alpha} \quad (3-53)$$

根据前面得到的结果, 可以得出一系列结论:

(1) 按比例缩小后 MOSFET 饱和电流的平方律关系为

$$I'_D = \frac{1}{2} \mu_n (\alpha C_{ox}) \left(\frac{W/\alpha}{L/\alpha} \right) \left(\frac{V_{GS}}{\alpha} - \frac{V_{th}}{\alpha} \right)^2 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \frac{1}{\alpha} \quad (3-54)$$

从公式中可以看到, 饱和电流下降到原来的 $1/\alpha$, 同样对线性区的电流也可以得到同样的结果。

(2) 按比例缩小后 MOSFET 的跨导为

$$g'_m = \left(\frac{W/\alpha}{L/\alpha} \right) \mu_n (\alpha C_{ox}) \left(\frac{V_{GS}}{\alpha} - \frac{V_{DS}}{\alpha} \right) = \frac{W}{L} \mu_n C_{ox} (V_{GS} - V_{DS}) \quad (3-55)$$

即跨导 g_m 保持不变。

(3) 由于按比例缩小后, 环绕源、漏区域的耗尽层宽度减小到原来的 $1/\alpha$, 所以 $\Delta L/L$ 保持不变。 $\lambda = \frac{(\Delta L/L)}{V_{DS}}$, λ 为沟道长度调制系数, 故按比例缩小后 λ 增加为原来的 α 倍。所以

$$r'_o = \frac{1}{(\alpha\lambda) \frac{I_D}{\alpha}} = \frac{1}{\lambda I_D} \quad (3-56)$$

因此, MOSFET 的本征增益 $g_m r_o$ 保持不变。

(4) MOS 集成电路的门延迟时间正比于 RC 时间常数, 按比例缩小后不变的输出电阻 r_o 和缩小到原来的 $1/\alpha$ 的寄生总电容可以使晶体管的延迟时间缩小为原来的 $1/\alpha$; 分别缩小到原来的 $1/\alpha$ 的漏源电压和漏源电流, 使晶体管的导通损耗缩小为原来的 $1/\alpha^2$; 另外, 缩小到原来的 $1/\alpha$ 的晶体管尺寸, 也使单位面积的器件数增加为原来的 α^2 倍。

上面的分析可以看出按恒电场比例缩小法则, 缩小后的器件的不仅在电学上保持了长沟道器件的特性(如图 3.18 所示), 而且还带来单个器件功耗和延迟时间方面极大的优化。由于按比例缩小的 MOSFET 的集成度高、速度快、功耗低, 因此特别适宜于 MOS 大规模集成电路。

虽然如此, 恒场按比例缩小理论在实际应用中仍具有很大的局限性, 特别是随着器件的缩小, 局限性就越来越严重。局限性主要体现在:

(1) 阈值电压在实际器件中不能太小。阈值电压太小会使得器件很容易受外界干扰而误开启, 因此过小阈值电压会严重影响器件的噪声容限。

(2) 漏、源耗尽区宽度不可能按比例缩小, 因为前面的推导过程中忽略了内建电势 ϕ_B 的影响, 而当电源电压缩小到一定程度时, 它的影响将不能再被忽略。

(3) 电源电压标准的改变会带来很大的不便。因为电源电压的减小, 最大允许的电压摆幅下降, 会减小电路的动态范围。

(4) 整个硅片的功耗会极大增加。前面指出单位面积的器件数量增加为原来的 α^2 倍, 而单个器件的功耗减少为原来的 $1/\alpha^2$, 所以单位面积里所有器件的总功耗维持不变。但是由于尺寸变小, 接触孔的面积按比例缩小为原来的 $1/\alpha^2$, 所以金属与半导体的接触电阻将增加 α^2 倍; 而且引线尺寸的缩小, 也迅速增加了引线电阻, 这些寄生电阻不可避免地带来的功耗方面的问题。

(5) 迁移率退化。迁移率与晶格振动散射有关, 所以掺杂的提高将使迁移率发生退化。

(6) 工艺实现存在的问题。

(7) 尺寸太小会出现量子隧穿现象。

由于恒电场按比例缩小存在上述局限性, 实际情况中必须寻找更灵活的按比例增减措施。

另外一种按比例缩小理论是恒电压按比例缩小理论, 即保持电源电压和阈值电压不变, 对器件的其他参数进行等比例调整。恒电压按比例缩小理论最大的局限性是会使沟道内的电场大大增加, 这会使电路性能退化, 前面的短沟道效应小节中很详细地阐述了这个问题。那么, 之所以要提出恒电压按比例缩小, 是因为实际电路具有电源电压标准, 而这个标准一般是不改变的, 即使变化也只是很小的调整。

目前使用最多的方法是对恒电场按比例缩小和恒电压按比例缩小两种理论的折中考虑, 也称为准恒定电场按比例缩小理论。当然, 器件根据准恒电压按比例缩小会比根据恒电场按比例缩小具有更强的沟道电场, 然而可以通过优化器件结构来缓解这方面的矛盾。

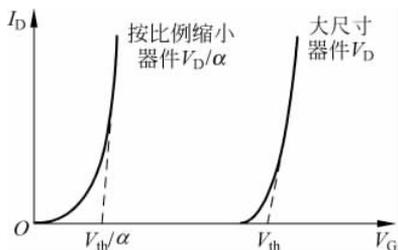


图 3.18 长沟道器件和按比例缩小器件的漏特性比较

3.4 MOSFET 电容

图 3.19 所示为 MOSFET 器件的结构示意图。由于 MOSFET 的漏源与衬底之间存在 PN 结、栅下面存在沟道区域,因此在 MOS 管中存在如图 3.19 所示的寄生电容。其中, $C_1 = WLC_{ox}$ 为栅和沟道之间的氧化层电容, C_{ox} 为单位面积的栅氧化层电容; $C_2 = WL\sqrt{q\epsilon_{Si}N_{sub}/|4\phi_F|}$ 为衬底和沟道之间的耗尽层电容; C_3 和 C_4 为栅与源漏的交叠而产生的电容。因为边缘电力线的缘故, C_3 、 C_4 不能简单记作 WLD_{ox} , 而通常用单位宽度的交叠电容 C_{ov} 表示^[1]。漏/源区与衬底之间存在结电容, 单位面积下结电容的大小为 $C_j = C_{j0}/[1+V_R/\phi_B]^m$, 式中 V_R 是结的反向电压, ϕ_B 是结的内建电势, m 为大小介于 0.3~0.4 之间的系数。实际上, 这些电容中的每一个电容的值都由晶体管的偏置情况决定。

当漏源交流短路接, 增加栅电压 V_{GS} 时, 沟道内的载流子电荷将产生相应的变换, 这相当于一个电容, 定义为栅极电容 C_G , 即

$$C_G = - \left. \frac{dQ_{ch}}{dV_{GS}} \right|_{V_{DS}=\text{常数}} \quad (3-57)$$

MOS 管开启工作后, 由于反型层在栅和衬底之间起了“屏蔽”作用, 因此栅-衬底电容通常被忽略, 工作沟道内自由电荷的增加是通过电子从源、漏两极流入沟道来实现的, 这相当于对 C_G 的放电电流, 该放电电流包括电容 C_{gs} 放出来电流 I_2 和从栅漏电容 C_{gd} 放出来的电流 I_1 两个部分。如图 3.20 所示包含了寄生电容的 MOS 等效电路。

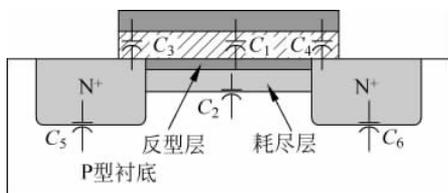


图 3.19 MOS 器件电容

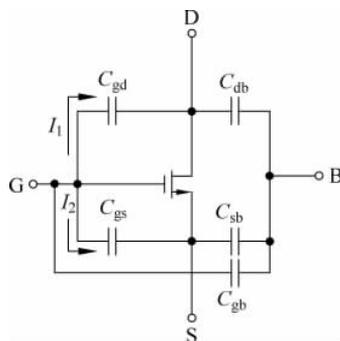


图 3.20 MOS 电容

在栅源对交流短路的情况下, 当漏源电压发生变化时, 沟道内载流子电荷的变化引起电流 I_1 。定义

$$C_{gd} = \left. \frac{dQ_{ch}}{dV_{DS}} \right|_{V_{GS}=\text{常数}} \quad (3-58)$$

在栅漏对交流短路的情况下, 当栅源电压发生变化时, 沟道内载流子电荷的变化引起电流 I_2 。定义

$$C_{gs} = \left. \frac{dQ_{ch}}{dV_{GS}} \right|_{V_{DS}-V_{GS}=\text{常数}} \quad (3-59)$$

由于 $I_g = I_1 + I_2$, 故有

$$C_G = C_{gs} + C_{gd} \quad (3-60)$$

考虑到 MOS 管的寄生电容,其高频等效电路如图 3.21 所示。

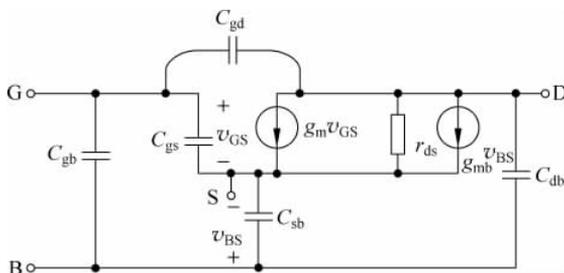


图 3.21 MOS 管高频等效电路

3.5 MOS 器件小信号模型

式(3-13)、式(3-8)和式(3-14)表示的 MOSFET 器件的 I - V 特性,构成了 MOSFET 的大信号模型。在对信号产生显著影响偏置工作点的电路分析时,尤其在考虑非线性效应的情况下,大信号模型被证明是不可缺少的。相反,如果信号对偏置影响小,那么就可以用小信号模型简化计算。小信号模型是工作点附近的大信号模型的近似。对于用作开关的 MOS 晶体管,式(3-11)所决定的线性电阻和器件电容等价于一个粗糙的 MOS 小信号模型。对于用在模拟电路中的 MOSFET 器件,由于其主要工作在饱和区,这里我们导出 MOSFET 工作在饱和区的小信号模型。

我们可以通过在偏置点上产生一个小的增量,并计算它所引起的其他偏置参数的增量来得到小信号模型,也可通过对大信号模型求偏导得到 MOSFET 的小信号模型。如对考虑了衬偏效应的 MOSFET 的 I - V 特性表达式(3-20)中各电压变量求偏导,得到式(3-61)

$$\begin{aligned} i_d &\approx \left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q v_{gs} + \left. \frac{\partial i_D}{\partial v_{BS}} \right|_Q v_{bs} + \left. \frac{\partial i_D}{\partial v_{DS}} \right|_Q v_{ds} \\ &= g_m v_{gs} + g_{mbs} v_{bs} + g_{ds} v_{ds} \end{aligned} \quad (3-61)$$

式中, g_m 、 g_{mbs} 、 g_{ds} 分别为 MOSFET 的跨导、衬偏跨导、输出电导。它们的定义式分别如式(3-62)、式(3-63)、式(3-64)所示

$$g_m \equiv \left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) = \sqrt{2\beta I_D} \quad (3-62)$$

$$g_{mbs} \equiv \left. \frac{\partial i_D}{\partial v_{BS}} \right|_Q = \left(\frac{\partial i_D}{\partial v_{th}} \right) \left(\frac{\partial v_{th}}{\partial v_{BS}} \right) \Big|_Q = \frac{(-g_m)(-\gamma)}{2\sqrt{2}|\phi_F| - V_{BS}} = \eta g_m \quad (3-63)$$

$$g_{ds} \equiv \left. \frac{\partial i_D}{\partial v_{DS}} \right|_Q = \frac{\lambda i_D}{1 + \lambda v_{DS}} \approx \lambda i_D \quad (3-64)$$

上式中, $\beta = \frac{\mu_n C_{ox} W}{L}$, $\eta = \frac{g_m \gamma}{2\sqrt{2}|\phi_F| - V_{BS}}$, 通常有 $g_m \approx 10g_{mbs} \geq 100g_{ds}$ 。设 MOSFET 的输出

电阻为 r_{ds} ,则由式(3-64)可得静态工作点 Q 下的输出电阻为

$$r_{ds} \triangleq \frac{1}{g_{ds}} = \frac{1}{\lambda I_D} \quad (3-65)$$

根据式(3-62)、式(3-63)、式(3-65)可绘出 MOSFET 的小信号电路模型,如图 3.22 所示。

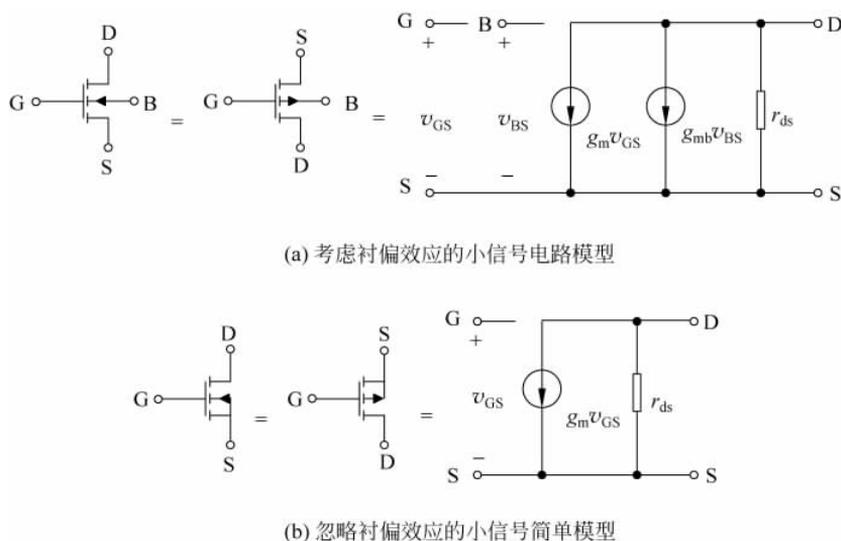


图 3.22 MOSFET 的小信号电路模型

图 3.21 给出了考虑 MOS 管寄生电容的完整小信号模型。一般情况下,电容 C_{gb} 、 C_{db} 、 C_{sb} 都可以忽略不考虑,于是可以得到如图 3.23 所示的考虑了寄生电容的 MOSFET 高频小信号简化模型。

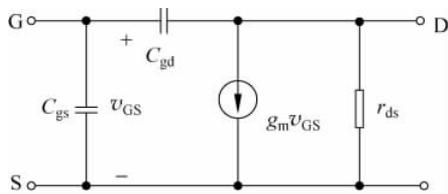


图 3.23 MOSFET 高频小信号电路简化模型

3.6 MOS 器件 SPICE 模型

在第 1 章所介绍的集成电路设计流程中已知集成电路的设计需要借助 EDA 仿真工具,而在仿真过程中离不开代工厂提供的 PDK 文件中的器件参数模型。精确的器件模型是电路设计的先决条件。为了在电路仿真中描述晶体管的特性,电路仿真 SPICE 软件提供了每个器件的精确模型。其中,SPICE2 为 MOSFET 提供了 3 级模型,用 LEVEL 变量加以指定。LEVEL=1 代表一阶模型;LEVEL=2 代表二维解析模型;LEVEL=3 代表半经验模型。

3.6.1 LEVEL 1 模型

LEVEL1 模型又称为 Shichman-Hodges 模型,其模型如图 3.24 所示^[4]。该模型在 $0.5\mu\text{m}$ 典型工艺下参数的典型值如表 3.1 所示^[1]。

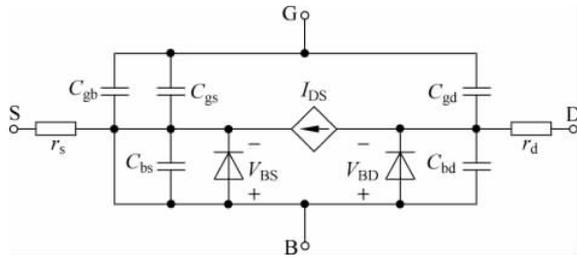


图 3.24 LEVEL1 模型

表 3.1 MOS 管的一级 SPICE2 模型

NMOS 模型			
LEVEL = 1	VTO=0.7	GAMMA=0.45	PHI=0.9
NSUB=9e+14	LD=0.08e-6	UO=350	LAMBDA=0.1
TOX=9e-9	PB=0.9	CJ=0.56e-3	CJSW=0.35e-11
MJ=0.45	MJSW=0.2	CGDO=0.49e-9	JS=1.0e-8
PMOS 模型			
LEVEL = 1	VTO=-0.8	GAMMA=0.4	PHI=0.8
NSUB=5e+14	LD=0.09e-6	UO=100	LAMBDA=0.2
TOX=9e-9	PB=0.9	CJ=0.94e-3	CJSW=0.32e-11
MJ=0.5	MJSW=0.3	CGDO=0.3e-9	JS=0.5e-8

这些参数的定义如下：

VTO:	$V_{SB}=0$ 时的阈值电压	(单位: V)
GAMMA:	体效应系数	(单位: $V^{1/2}$)
PHI:	$2\phi_F$	(单位: V)
TOX:	栅氧厚度	(单位: m)
NSUB:	衬底掺杂浓度	(单位: cm^{-3})
LD:	漏-源侧扩散长度	(单位: m)
UO:	沟道迁移率	(单位: $cm^2/(V \cdot s)$)
LAMBDA:	沟道长度调制系数	(单位: V^{-1})
CJ:	单位面积的漏/源结电容	(单位: F/m^2)
CJSW:	单位长度的漏/源侧壁结电容	(单位: F/m)
PB:	源-漏结内建电势	(单位: V)
MJ:	CJ 公式中的幂指数	(无单位)
MJSW:	CJSW 等式中的幂指数	(无单位)
CGDO:	单位宽度的栅-漏交叠电容	(单位: F/m)
CGSO:	单位宽度的栅-源交叠电容	(单位: F/m)
JS:	源-漏结单位面积的漏电流	(单位: A/m^2)

由于空穴的迁移率比电子的小,导致 PMOS 器件的电流驱动能力和跨导较 NMOS 低。另外,对于给定的器件尺寸和偏置电流,NMOS 管呈现出较高的输出电阻,为放大器提供更

理想的电流源和更高的增益。

LEVEL1 基于下面的等式

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{W - 2L_D} [2(V_{GS} - V_{th})V_{DS} - V_{DS}^2] (1 + \lambda V_{DS}) \quad \text{线性区} \quad (3-66)$$

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{W - 2L_D} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad \text{饱和区} \quad (3-67)$$

式中, $V_{th} = V_{th0} + \gamma(\sqrt{2\phi_F - V_{BS}} - \sqrt{2\phi_F})$ 。

线性区, 电容 C_{gs} 和 C_{gd} 等的表达式为

$$C_{gs} = \frac{2}{3} WLC_{ox} \left\{ 1 - \frac{(V_{GS} - V_{DS} - V_{th})^2}{[2(V_{GS} - V_{th}) - V_{DS}]^2} \right\} + WC_{ov} \quad (3-68)$$

$$C_{gd} = \frac{2}{3} WLC_{ox} \left\{ 1 - \frac{(V_{GS} - V_{th})^2}{[2(V_{GS} - V_{th}) - V_{DS}]^2} \right\} + WC_{ov} \quad (3-69)$$

$$C_{gb} = 0 \quad (3-70)$$

当器件工作在临界饱和区, 则有: $V_{GS} - V_{DS} = V_{th}$, $C_{gs} = (2/3)WLC_{ox} + WC_{ov}$, $C_{gd} = WC_{ov}$ 。LEVEL1 模型对于沟道长度小于大约 $5\mu\text{m}$ 的器件, 能给出合理的 I/V 精度, 但其预计的饱和区输出阻抗的精度仍很差。

3.6.2 LEVEL 2 模型

当 MOS 管的几何尺寸缩小到一定程度后, 就会出现一系列二阶效应。在沟道长度小于 $5\mu\text{m}$ 时, LEVEL1 模型的精度就不够了, 这时采用 LEVEL2 模型可以反映出许多高阶效应。

当 MOS 管的沟道长度较短时, 应考虑漏源区对沟道耗尽区电荷的影响。LEVEL2 模型采用梯形沟道耗尽区剖面形状来近似模拟这种效应, 如图 3.25 所示^[4]。

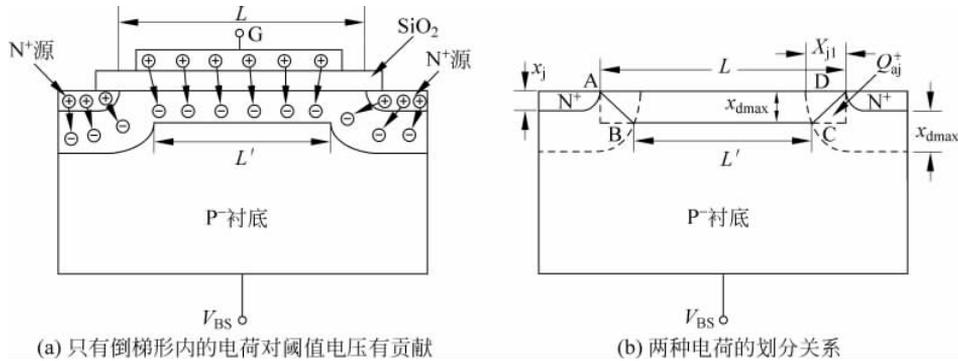


图 3.25 梯形沟道耗尽区

此时体效应系数 γ 改为 γ_s ,

$$\gamma_s = \gamma \left\{ 1 - \frac{x_j}{L_0 - 2X_{j1}} \left[\left(1 + \frac{2x_{dmax}}{x_j} \right)^{\frac{1}{2}} - 1 \right] \right\}$$

式中, X_{j1} 代表横向扩散参数。而阈值电压为

$$V_{th} = V_{th0} + \gamma_s (\sqrt{2\phi_F - V_{BS}} - \sqrt{2\phi_F}) \quad (3-71)$$

随着漏源电压 V_{DS} 的增加, 漏衬 PN 结的耗尽区会增加, 导致阈值电压进一步降低。在

LEVEL2 模型中,常用窄沟道效应系数的经验参数 δ 来拟合实验数据,将阈值电压修正成

$$V_{th} = V_{FB} + 2\phi_F + \gamma_s \sqrt{2\phi_F - V_{BS}} + \delta \frac{\pi\epsilon_s}{4C_{ox}W} (2\phi_F - V_{BS}) \quad (3-72)$$

式中, V_{FB} 为平带电压^[4], W 表示沟道宽度。

LEVEL2 还考虑了沟道区垂直电场引起的迁移率退化,迁移率的计算公式为

$$\mu_s = \mu^0 \left(\frac{\epsilon_{si}}{C_{ox}} \frac{E_c T_{ox}}{V_{GS} - V_{th} - E_y V_{DS}} \right)^{E_c} \quad (3-73)$$

式中, E_c 表示栅-沟道间纵向临界电场, E_y 为横向电场系数,其值在 $0 \sim 0.5$ 之间, E_c 代表迁移率下降的临界指数系数,约为 0.15。

此时,线性区漏极电流修正为

$$I_D = \beta \left\{ \left(V_{GS} - V_{BIN} - \frac{\eta V_{DS}}{2} \right) V_{DS} - \frac{2}{3} \gamma_s \left[(V_{DS} + 2\phi_F - V_{BS})^{\frac{1}{2}} - (2\phi_F - V_{BS})^{\frac{3}{2}} \right] \right\} \quad (3-74)$$

式中, $\beta = \mu C_{ox} \frac{Z}{L_0 - 2X_{j1}}$, $\eta = 1 + \delta \frac{\pi\epsilon_s}{4C_{ox}W}$, $V_{BIN} = V_{FB} + 2\phi_B + \delta \frac{\pi\epsilon_s}{4C_{ox}W} (2\phi_B - V_{BS})$, η 为静电反馈系数。

考虑到短沟道效应和窄沟道效应后,将临界饱和漏极电压 $V_{DS(sat)}$ 修正为

$$V'_{DS(sat)} = \frac{V_{GS} - V_{BIN}}{\eta} + \frac{1}{2} \left(\frac{\gamma_s}{\eta} \right)^2 \left\{ 1 - \left[1 + 4 \left(\frac{\gamma_s}{\eta} \right)^2 \left(\frac{V_{GS} - V_{BIN}}{\eta} + 2\phi_F - V_{BS} \right) \right]^{\frac{1}{2}} \right\} \quad (3-75)$$

当 $V_{DS} > V'_{DS(sat)}$ 后, MOS 的沟道夹断点从漏端向源方向移动,使有效沟道长度缩短 ΔL , 这就是沟道调制效应。LEVEL2 模型中, $\Delta L = \lambda (L_0 - 2X_{j1}) V_{DS}$, 其中, λ 为沟道长度调制系数。有效沟道长度为

$$L_{eff} = L_0 - 2X_{j1} - \Delta L \quad (3-76)$$

在 LEVEL2 模型中,还考虑了短沟道的速率饱和效应和亚阈值导电效应,因此 LEVEL2 模型能提供更为准确的 I/V 特性,但是在提供输出阻抗以及线性区与饱和区的过渡点方面会出现较大误差。另外,对于长而窄的器件,该模型也不准确。

3.6.3 LEVEL 3 模型

LEVEL3 模型是一个半经验模型,引入了很多经验方程和经验参数来改进模型的精度和降低计算的复杂程度。LEVEL3 适用于沟道长度小于 $1\mu\text{m}$ 的 MOS 器件。

该模型中阈值电压的计算公式为

$$V_{th} = V_{th0} + F_s \gamma \sqrt{2\phi_F - V_{BS}} + F_n (2\phi_F - V_{BS}) + \xi \frac{8.15 \times 10^{-22}}{C_{ox} L_{eff}^3} V_{DS} \quad (3-77)$$

式中, F_s 、 F_n 分别表示短沟道、窄沟道效应, ξ 模拟漏致势垒降低效应。

考虑到沟道纵向和横向电场效应,迁移率为

$$\mu_1 = \frac{\mu_{eff}}{1 + \frac{\mu_{eff} V_{DS}}{\nu_{max} L_1}} \quad (3-78)$$

式中

$$\mu_{eff} = \frac{\mu^0}{1 + \theta (V_{GS} - V_{th})} \quad (3-79)$$

ν_{max} 是沟道区中载流子的最大速率, μ_{eff} 模拟纵向电场的影响, μ_1 反映横向电场的影响。

漏极电流表示为

$$I_D = \mu_1 C_{ox} \frac{W_{eff}}{L_{eff}} \left[V_{GS} - V_{th0} - \left(1 + \frac{F_s \gamma}{4 \sqrt{2\phi_F - V_{BS}}} + F_n \right) \frac{V'_{DS}}{2} \right] V'_{DS} \quad (3-80)$$

式中, V'_{DS} 表示沟道夹断和速率饱和时的漏源电压。

LEVEL3 模型与 LEVEL2 模型一样, 对于宽而短的器件精度较好, 而对于长而窄的器件误差较大。特别是在线性边界 I_D 对 V_{DS} 导数不连续, 使输出阻抗误差较大。

SPICE LEVEL1-LEVEL3 的模型都比较粗糙, 适合于大线宽工艺下电路的仿真设计。为了提高深亚微米 MOSFET 电路的仿真精度, 加州大学伯克利分校电气工程和计算机科学系的研究人员 1984 年提出了 BSIM1 模型。BSIM 为 Berkeley Short-Channel IGFET Model 的缩写。

BSIM1 模型以多参数曲线拟合实验方式进行建模, 模型用了 60 个参数描述 MOSFET 的直流性能, 其中采用了大量的经验参数来简化方程, 该模型适用于 $0.7\mu\text{m}$ 的工艺中, 其不足之处是与器件的工作原理失去了联系。1990 年开发的 BSIM2 模型大约使用了 70 个参数, 适合于沟道长度大于 $0.25\mu\text{m}$ 的器件。BSIM3 在保留 BSIM1 和 BSIM2 许多特性的同时, 又回到了器件工作的物理原理上, 它利用 180 个参数, 对沟道长度为 $0.25\mu\text{m}$ 的器件工作在亚阈值和强反型区域均可提供合理的精度。BSIM3v3 模型目前已成为工业界标准的 MOSFET 器件模型^[7]。作为 BSIM3 模型的扩展, BSIM4 标志着对 MOSFET 物理机理的精确描述进入亚 100nm 时代^[8]。

复习题

- (1) 什么叫场效应晶体管? 与双极型晶体管相比, 它有哪些优点?
- (2) 请简单描述 MOSFET 的种类及各自的 I/V 特性。
- (3) 什么是 MOS 晶体管的阈值电压, 其值受哪些因素的影响?
- (4) 采用表 3-1 给出的器件参数, 假设 $W/L=50/0.5$, $|I_D|=0.5\text{mA}$, 计算 NMOS 管和 PMOS 管的跨导和输出阻抗, 以及本征增益 $g_m r_o$ 。
- (5) 分别画出 MOS 晶体管的 I_D-V_{GS} 曲线: (a) 以 V_{DS} 作为参数; (b) 以 V_{BS} 作为参数, 并在特性曲线中标出夹断点。
- (6) 图 3.26 所示 NMOS 电路中 $V_{DD}=5\text{V}$, $V_{th}=0.7\text{V}$, 对于以下输入电压, 分别求出输出电压 V_{out} 。(a) $V_{in}=10\text{V}$; (b) $V_{in}=3.5\text{V}$; (c) $V_{in}=0.7\text{V}$ 。
- (7) 如图 3.27 所示的 NMOS 采样开关电路, 假设 $\lambda=0$, 计算以时间为参变量的函数 V_{out} 。

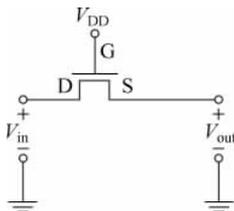


图 3.26 NMOS 电路

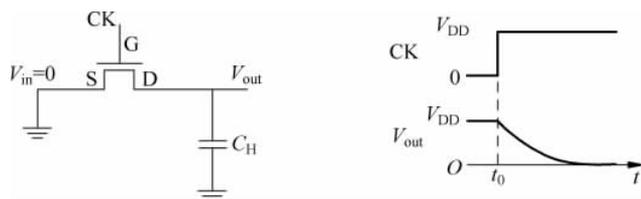


图 3.27 NMOS 开关电路

(8) 如图 3.28 所示的 NMOS 采样开关电路, 假设 $V_{in}=V_{DD}$, 计算以时间为参变量的函数 V_{out} 。

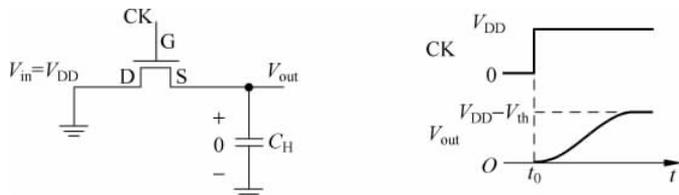


图 3.28 NMOS 采用开关的最大输出电平

(9) 什么是反相器的噪声容限? 什么是反相器的上升时间和下降时间? 请用图示表示。

(10) 什么是 MOS 器件的短沟道效应?

(11) 请解释短沟道效应下的边缘电感势垒降效应。

(12) 请解释短沟道效应下的漏致势垒降效应。

(13) 输入阻抗为 50Ω 的共栅极电路, 按(恒场)比例缩小时, 如果 $\lambda = \gamma = 0$, 求输入阻抗。

(14) MOSFET 的特征频率(Transit Frequency) f_T 定义为源和漏端交流接地时, 器件小信号电流增益小将为 1 的频率。证明:

$$f_T = \frac{g_m}{2\pi(C_{GD} + C_{GS})}$$

参考文献

- [1] 毕查德·拉扎维著. 陈贵灿, 程君, 张瑞智等译. 模拟 CMOS 集成电路设计. 西安: 西安交通大学出版社, 2002.
- [2] 施敏(美)著. 赵鹤鸣, 钱敏, 黄秋萍译. 半导体器件物理与工艺. 2 版. 苏州: 苏州大学出版社, 2002.
- [3] 霍奇斯(Hodges, D. A)等著. 蒋安平译. 数字集成电路分析与设计——深亚微米工艺. 3 版. 北京: 电子工业出版社, 2005.
- [4] 陈星弼, 张庆中. 晶体管原理与设计. 2 版. 北京: 电子工业出版社, 2006.
- [5] Paul R. Gray. Analysis and design of analog integrated circuits. 4 版. 北京: 高等教育出版社, 2003.
- [6] 马群刚, 李跃进, 杨银堂. 按比例缩小技术在微纳米中的挑战和对策. 固体电子学研究进展, 2003, 23(4): 464-469.
- [7] http://www-device.eecs.berkeley.edu/bsim/bsim_ent.htmlBSIM3v3 Manual.
- [8] 先进 MOS 模型. <http://www.docin.com/p-460856016.html>.