

第5章 存储器系统

引言：

每个基于微处理器的系统都有存储器。几乎所有的系统都包含两类主要的存储器：只读存储器(ROM)和随机存取存储器(RAM)。ROM 存放系统软件和永久性系统数据，而 RAM 则通常用于存放临时数据和应用程序。在现代微机系统中，它们作为内存储器而成为主机系统的一个重要组成部件，其自身或与磁盘存储器一起构成存储器系统，在整个微机系统中占据着越来越重要的位置。

本章在介绍存储器系统的基本概念和构成的基础上，主要介绍如何将两类半导体存储器芯片与 CPU 进行连接以及如何利用已有的存储器芯片构成所需要的内存空间。

教学目的：

- (1) 了解存储器系统的基本概念及不同类型半导体存储器的特点；
- (2) 熟练掌握典型半导体存储器芯片与系统的连接；
- (3) 掌握存储器扩展技术；
- (4) 了解高速缓冲存储器的概念及其一般工作原理。

5.1 概 述

从程序员的角度看，计算机必须把相应的程序和数据装入存储器才能开始运行。存储器是计算机系统的记忆设备，用于存放计算机要执行的指令、处理的数据、运算结果以及各种需要保存的信息，是计算机中不可缺少的一个重要组成部分。从记忆信息的角度讲，计算机中的存储器就相当于人的大脑。

由第 2 章的内容可知，在程序执行过程中，中央处理器从存储器中取得指令。运算指令中需要的数据也要通过访问存储器指令从存储器中取得。而运算结果在程序结束前必须全部写入存储器中。各种输入输出设备也直接与存储器交换数据。因此，存储器是计算机运行过程中信息存储交换的中心设备，从这个意义上说，现代计算机系统是以存储器为中心的。

存储器有两种基本操作——读和写。读操作是指从存储器中读出信息，不破坏存储单元中原有的内容；写操作是指把信息写入(存入)存储器，新写入的数据将覆盖原有的内容。

5.1.1 存储器系统的一般概念

存储器系统与存储器是两个不同的概念。在现代计算机中通常有多种用途的存储器件,如内存、高速缓存(Cache)、磁盘、可移动硬盘、磁带、光盘等。它们的工作速度、存储容量、单位容量价格、工作方式以及制造材料等各方面都不尽相同。存储器系统的概念是:将两个或两个以上速度、容量和价格各不相同的存储器用软件、硬件或软硬件相结合的方法连接起来,成为一个系统。这个系统从程序员的角度看,是一个存储器整体。所构成的存储器系统的速度接近于其中速度最快的那个存储器,存储容量与存储容量最大的那个存储器相等或接近,单位容量的价格接近最便宜的那个存储器。对于一个计算机系统,存储器系统的优劣,特别是它的存取速度和存储容量关系着整个计算机系统的优劣。

1. 微机中的存储器系统

现代微机系统中通常有两种存储系统:①由 Cache 和主存储器构成的 Cache 存储系统,如图 5-1 所示;②由主存储器和磁盘构成的虚拟存储系统,如图 5-2 所示。两种存储系统的作用各不相同,前者的主要目标是提高存取速度,而后的主要目标是增加存储容量。

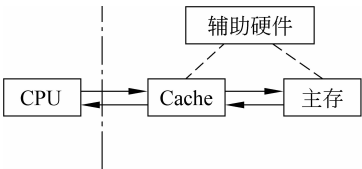


图 5-1 Cache 存储系统

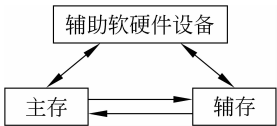


图 5-2 虚拟存储系统

(1) Cache 存储系统的管理全部由硬件实现,无须系统程序员干预,即它对软件开发设计人员是透明的(一个实际存在的部件看起来好像不存在,称为“透明”)。

Cache 一般由高速静态存储器(SRAM)组成,存取周期为零点几个纳秒,存储容量在几十 KB 至几十 MB 之间,价格较高。主存一般由动态存储器(DRAM)组成,存储周期一般为几纳秒到几十纳秒,存储容量可达几百 MB 到几 GB,价格比 Cache 相对便宜得多。这两种存储器组成了 Cache 存储系统。

Cache 存储系统在设计上,力争在一定的时间区间内,CPU 需要的指令和数据都能在 Cache 中访问到,因此,这个存储系统的存取周期与 Cache 非常接近。由于 Cache 中的数据和地址都是主存相应内容和地址的映像,它们之间的地址变换和映像都由硬件系统管理,对程序员来说“看不到”Cache,所以在编程时,只需要对主存储器编址。因此,Cache 存储器系统的容量就是主存储器的容量。由于 Cache 的容量相比主存的容量要小得多(通常为 1 : 128),故整个 Cache 存储器系统每单位的平均价格与主存储器很接近。

Cache 中存放 CPU 最近一直在使用的指令和数据。当 Cache 装满后,可将长期不用的数据删除,以提高 Cache 的使用效率。

(2) 虚拟存储系统由主存储器与磁盘存储器构成。在早期的微机中,磁盘等外存储

器作为外部设备的一部分,仅用于长期保存信息。由于内存容量很小,程序员必须花费很大精力将大程序预先分成块,确定好这些程序块在外存设备中的位置和装入主存的地址,并且在运行中还要预先安排好各块如何和何时调入调出。

由于磁盘存储器不是能随机访问的存储器,即不能被一般指令直接访问,而主存储器的地址空间对使用者来讲又太小,因此,现代虚拟存储系统在操作系统的支持下为用户另外设计了一个虚拟地址空间。它将主存和外存看做一个整体,用软硬件相结合的方法进行管理,使得程序员能够对主存、辅存统一编址,这样形成的一个很大的地址空间,称为虚拟地址空间。虚拟地址空间比实际主存储器的存储容量大得多,32 位微机可访问的编址空间为 4GB。虚拟存储系统在构成原理上与 Cache 存储器系统类似,其访问速度接近主存的速度。由于磁盘存储器每单位容量的价格比主存储器便宜很多,因此,整个存储系统的每单位容量的平均价格接近磁盘存储器。

虚拟地址空间既不是主存地址空间,也不是磁盘存储器的地址空间,它是为使用者设计的一个逻辑地址空间。它远大于主存储器的实际地址空间,在软硬件系统的支持下,可以采用与主存储器同样的随机访问方式。

2. 存储系统的主要性能指标

衡量存储器系统的性能主要有 3 个参数:存储容量 S 、存取时间 T 和单位容量价格 C ,组成存储系统的每个存储器也有 3 个同样的参数,通过分析这些参数之间的关系,可以评测一个存储系统。

1) 存储容量 S

设有两种存储器 M_1 和 M_2 ,它们组成一个存储系统。两种存储器的容量、速度和价格分别为 S_1 、 T_1 、 C_1 和 S_2 、 T_2 、 C_2 ,存储系统的容量、速度和价格分别为 S 、 T 、 C 。

对于 Cache 存储系统,由系统程序员看来,存储系统的容量接近主存储器的容量,故选择主存 M_2 进行编址,对 Cache 在内部采用相连访问方式管理。因此,系统程序员看到的是主存储器的地址空间,存储系统的容量就是主存储器的容量, $S=S_2$ 。

对于虚拟存储系统,它的地址空间比主存储器大得多。还应当说明的是,在一般计算机系统中,并不是整个磁盘存储器都作为虚拟存储系统使用。磁盘存储器的主要用途仍然是用来存放系统软件、应用软件和用户文件,只有在多任务多用户操作系统的交换区或交换文件才用来作虚拟存储系统。

2) 存取时间 T

存储器系统的存取时间与命中率 H 有关。命中率表示从速度较快的那个存储器中访问到数据的概率,一般用模拟试验的方法得到。在一组有代表性的程序执行中,分别统计对 M_1 的访问次数 N_1 和对 M_2 的访问次数 N_2 ,然后代入关系式(5.1)

$$H = \frac{N_1}{N_1 + N_2} \quad (5.1)$$

整个存储器系统的存取时间可以用 M_1 和 M_2 两个存储器的存取时间 T_1 、 T_2 和命中率 H 来表示

$$T = H \cdot T_1 + (1 - H) \cdot T_2 \quad (5.2)$$

当命中率 $H \rightarrow 1$ 时, $T \rightarrow T_1$, 即存储器系统的速度接近于较快的 M_1 存储器的存取周期 T_1 。

设存储器系统的访问效率为

$$e = \frac{T_1}{T} \quad (5.3)$$

存储器系统的速度与相对较快的那个存储器的速度越接近, 访问效率就越高。把式(5.2)代入式(5.3)得到

$$e = \frac{T_1}{H \cdot T_1 + (1-H) \cdot T_2} = \frac{1}{H + (1-H) \cdot \frac{T_2}{T_1}} = f\left(H, \frac{T_2}{T_1}\right) \quad (5.4)$$

可以看出, 存储系统的访问效率主要与命中率和构成存储系统的两级存储器的速度之比有关。因此, 如果要使存储系统的访问效率提高有两条途径: ①提高命中率 H ; ②使构成存储系统的两级存储器的速度之比不要太大。

对于虚拟存储系统, 由于磁盘的存取操作还要依赖机械运动, 两级存储器的速度相差悬殊, 主存储器的存取速度为纳秒级, 硬盘存取速度为毫秒级。若要使访问效率 e 比较高(如 $e = 0.9$), 需要极高的命中率 H , 如果 $T_2/T_1 > 10^5$, 则依式(5.4)计算 H 约为 0.999999, 如何使用现有技术达到高命中率呢?

因为磁盘在物理上是块为单位(每块 512 个字节)访问的, 所以, 虽然磁盘存储器的寻址定位时间很长, 但当磁盘找到要访问的连续的数据块之后, 数据的传输速率还是相当高的。因此, 当不命中时, 通过操作系统的功能调用, 把将要使用的一大批程序和数据都调入主存储器, 使得在以后的多次对虚拟存储系统的访问都能在主存储器命中。只要主存储器的容量比较大, 能够一次装入比较多的程序和数据, 这样, 尽管两级存储器的速度差异悬殊, 一次不命中需要花费较长的时间进行调度, 然而由于命中率特别高, 整个虚拟存储系统的访问效率还是很高的。

Cache 存储系统要缓冲 CPU 和主存之间的速度差异, 目前 CPU 与主存储器的速度相差两个数量级, 如果要求 $H \approx 0.999$, 用一级 Cache 是做不到的。通常采用两级或三级 Cache, 再加上 CPU 内部的一些缓冲存储器, 像通用寄存器等来提高数据的重复利用率, 使得每两级之间的速度比减小。另外, 再采用预取技术以大幅度提高命中率: 当不命中时, 在数据从主存储器取出送往 CPU 的同时, 把主存储器相邻几个单元中的数据(一个数据块)都取出来送入 Cache 中。CPU 以后再对 Cache 存储系统进行访问时, 命中率就会提高。

3) 单位容量的平均价格 C

整个存储器系统的单位容量平均价格可以用下式计算

$$C = \frac{C_1 \times S_1 + C_2 \times S_2}{S_1 + S_2} \quad (5.5)$$

当 S_2 大大超过 S_1 时, $C \approx C_2$ 。这时, 整个存储系统的单位容量价格 C 接近于比较便宜的 M_2 存储器的单位容量价格 C_2 。但是 S_2 和 S_1 的差距应在一个合理的范围内, 如果差距太大, 存储器要达到较高的性能, 调度安排将会很困难。

5.1.2 半导体存储器及其分类

计算机的存储器从体系结构的观点来划分,可根据其是设在主机内还是主机外分为内部存储器和外部存储器两大类。内部存储器主要由半导体材料制成,也称半导体存储器;外部存储器由磁性材料或复合材料制造,包括硬磁盘、软盘、可移动硬盘、磁带、CD-ROM 等。这两种类型的存储器在性能上主要有以下几个方面的特点。

(1) 内存(或称主存)是计算机主机的组成部分之一,用来存储当前运行所需要的程序和数据,CPU 可以直接访问并与其交换信息;而外存属于外部设备,CPU 不能对它直接访问,必须通过专门的接口才能实现与 CPU 的信息交换。

(2) 内存的容量小、存取速度快、价格相对较高;外存储器的容量大、价格低,但速度慢。

(3) 内存是数据的“临时住所”,主要用于存放程序运行时所需的信息。当程序运行结束或关机后,除少量信息(如 BIOS 等)外,其他信息都会立即消失。而外存储器则用于大容量、永久性数据的保存。

限于篇幅,第 5 章仅通过一些典型半导体存储器芯片介绍内部存储器的工作原理。对于外部存储器技术,读者可参阅其他相关书籍。

1. 存储元

半导体存储器由一些能够表示二进制“0”和“1”的状态的物理器件组成,这些器件本身具有记忆功能,如电容、双稳态电路等。将这些具有记忆功能的物理器件叫做存储元(如一个电容就是一个存储元)。每个存储元可以保存一位二进制信息。若干个存储元就构成了一个存储单元。在微机系统中,一个存储单元通常存放 8 位二进制码(1B),即一个存储单元由 8 个存储元构成,许多存储单元组织在一起就构成了存储器。

我们把存储器中存储单元的总数称为存储器的存储容量。显然,存储容量越大,能够存放的信息就越多,计算机的信息处理能力也就越强。

2. 半导体存储器的分类

半导体存储器按照工作方式的不同,可分为随机存取存储器(Random Access Memory, RAM)和只读存储器(Read Only Memory, ROM)。

1) 随机存取存储器 RAM

RAM 的主要特点是可以随机进行读写操作,但掉电后信息会丢失,是目前微机中主内存的主要构成部件。根据制造工艺的不同,RAM 可以分为双极型半导体 RAM 和金属氧化物半导体(MOS)RAM。双极型 RAM 的主要优点是存取时间短,通常为几纳秒到几十纳秒(ns)。与 MOS 型 RAM 相比,其集成度低、功耗大,而且价格也较高。因此,双极型 RAM 主要用于要求存取时间非常短的特殊应用场合(如高速缓冲存储器 Cache)。

用 MOS 器件构成的 RAM 又可分为静态读写存储器(SRAM)和动态读写存储器(DRAM)。SRAM 的存储元由双稳态触发器构成。双稳态触发器有两个稳定状态,可用

来存储一位二进制信息。只要不掉电,其存储的信息可以始终稳定地存在,故称其为静态 RAM。SRAM 的主要特点是存取时间短(几十到几百纳秒)、外部电路简单、便于使用。常见的 SRAM 芯片容量为 1~64KB。

DRAM 的存储元以电容来存储信息,电路简单。但电容总有漏电存在,时间长了存放的信息就会丢失或出现错误。因此需要对这些电容定时充电,这个过程称为刷新,即定时地将存储单元中的内容读出再写入。由于需要刷新,所以这种 RAM 称为动态 RAM。DRAM 的存取速度一般较 SRAM 的存取速度低。其最大的特点是集成度非常高,目前 DRAM 芯片的容量已达几百 MB。其他的优点还有功耗低、价格比较便宜。

由于用 MOS 工艺制造的 RAM 集成度高,存取速度能满足各种类型微型机的要求,而且其价格也比较便宜,因此,现在微型计算机中的内存主要由 MOS 型 DRAM 组成。

2) 只读存储器 ROM

只读存储器包括掩膜 ROM、PROM、EPROM、E²PROM 等几种类型。ROM 的主要特点是掉电后不会丢失所存储的内容,可随机进行读操作,但不能写入或只能有条件编程写入,常用于存放一些相对不变的数据(如 BIOS 等)。

(1) 掩膜式只读存储器(ROM)。掩膜式 ROM 是芯片制造厂根据要存储的信息,对芯片图形(掩膜)通过二次光刻生产出来的,故称为掩膜 ROM。其存储的内容固化在芯片内,用户可以读出,但不能改变。这种芯片存储的信息稳定、成本最低,适用于存放一些可批量生产的固定不变的程序或数据。

(2) 可编程 ROM(Programable ROM, PROM)。如果用户要根据自己的需要来确定 ROM 中的存储内容,则可使用 PROM。PROM 允许用户对其进行一次编程—写入数据或程序。一旦编程之后,信息就永久性地固定下来。用户可以读出其内容,但再也无法改变它的内容。

(3) 可读写 ROM。上述两种芯片存放的信息只能读出而无法修改,这给许多方面的应用带来不便。由此又出现了可读写的 ROM 芯片。这类芯片允许用户通过一定的方式多次写入数据或程序,也可修改和擦除其中所存储的内容,且写入的信息不会因为掉电而丢失。由于这些特性,可读写 ROM 芯片在系统开发、科研等领域得到了广泛的应用。

可读写 ROM 芯片因其擦除的方式不同又可分为两类:通过紫外线照射(约 20 分钟)实现擦除的称为 EPROM(Erasable Programable ROM);另外一种通过电信号(通常是加上一定的电压)进行擦除的 ROM 称为 EEPROM(Electrically Erasable PROM)(或 E²PROM)。这两种芯片的内容在擦除后仍可重新编程写入新的内容,擦除和写入都可以多次进行。但有一点要注意,尽管 EPROM 和 EEPROM 芯片都是既可读出也可写入和擦除,但它们和 RAM 还是有本质区别的。首先它们不能够像 RAM 芯片那样随机快速地写入和修改,它们的写入需要一定的条件(这一点将在后面详细介绍);另外,RAM 中的内容在掉电之后会丢失,而 EPROM(EEPROM)则不会,其上的内容一般可保存几十年。

5.1.3 半导体存储器的主要技术指标

1. 存储容量

存储器芯片的存储容量用“存储单元个数 $\times$ 每存储单元的位数”来表示。例如, SRAM 芯片 6264 的容量为 $8\text{K}\times 8\text{b}$, 即它有 8K 个单元($1\text{K}=1024$), 每个单元存储 8 位(一个字节)二进制数据。DRAM 芯片 NMC41257 的容量为 $256\text{K}\times 1\text{b}$, 即它有 256K 个单元, 每个单元存储 1 位二进制数据。各半导体器件生产厂家为用户提供了许多种不同容量的存储器芯片, 用户在构成计算机内存系统时, 可以根据要求加以选用。当然, 当计算机的内存确定后, 选用容量大的芯片则可以少用几片, 这样不仅使电路连接简单, 而且功耗也可以降低。

2. 存取时间和存取周期

存取时间又称存储器访问时间, 即启动一次存储器操作(读或写)到完成该操作所需要的时间。CPU 在读写存储器时, 其读写时间必须大于存储器芯片的额定存取时间。如果不能满足这一点, 微型机则无法正常工作。

存取周期是连续启动两次独立的存储器操作所需间隔的最小时间。若令存取时间为 t_A , 存取周期为 T_C , 则二者的关系为 $T_C \geq t_A$ 。

3. 可靠性

计算机要正确地运行, 必然要求存储器系统具有很高的可靠性。内存发生的任何错误都会使计算机不能正常工作, 而存储器的可靠性直接与构成它的芯片有关。目前所用的半导体存储器芯片的平均故障间隔时间(MTBF)为 $5\times 10^6 \sim 1\times 10^8$ 小时。

4. 功耗

使用功耗低的存储器芯片构成存储系统, 不仅可以减少对电源容量的要求, 而且还可以提高存储系统的可靠性。

5.2 随机存取存储器

随机存取存储器(RAM)主要用来存放当前运行的程序、各种输入输出数据、中间运算结果及堆栈等, 其存储的内容既可随时读出, 也可随时写入和修改, 掉电后内容会全部丢失。5.2 节将从应用的角度出发, 以几种常用的典型芯片为例, 详细介绍两类 MOS 型随机存取存储器——SRAM(Static RAM)和 DRAM(Dynamic RAM)——的特点、外部特性以及它们的应用。

5.2.1 静态随机存取存储器

静态随机存取存储器(SRAM)的基本存储电路(即存储元)一般是由 6 个 MOS 管组成的双稳态电路(T_1 截止, T_2 导通为状态“1”; T_2 截止, T_1 导通为状态“0”),如图 5-3 所示。

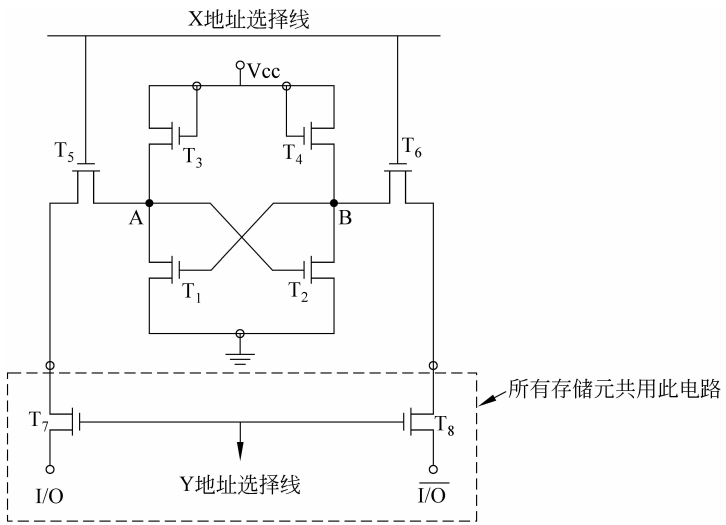


图 5-3 SRAM 的基本存储电路

图 5-3 中, T_3 、 T_4 是负载管, T_1 、 T_2 是工作管, T_5 、 T_6 、 T_7 、 T_8 是控制管, 其中 T_7 、 T_8 为所有存储元共用。

在写操作时, 若要写入“1”, 则 $I/O=1, \overline{I/O}=0$, X 地址选择线为高电平, 使 T_5 、 T_6 导通, 同时 Y 地址选择线也为高电平, 使 T_7 、 T_8 导通, 要写入的内容经 I/O 端和 $\overline{I/O}$ 端进入, 通过 T_7 、 T_8 和 T_5 、 T_6 与 A、B 端相连, 使 $A=“1”$, $B=“0”$, 这样就迫使 T_2 导通, T_1 截止。当输入信号和地址选择信号消失后, T_5 、 T_6 、 T_7 、 T_8 截止, T_1 、 T_2 就保持被写入的状态不变, 使得只要不掉电, 写入的信息“1”就能保持不变。写入“0”的原理与此类似。

读操作时, 若某个存储元被选中(X、Y 地址选择线均为高电平), 则 T_5 、 T_6 、 T_7 、 T_8 都导通, 于是存储元的信息被送到 I/O 端和 $\overline{I/O}$ 端上。I/O 端和 $\overline{I/O}$ 端连接到一个差动读出放大器上, 从其电流方向即可判断出所存信息是“1”还是“0”。

SRAM 的使用十分方便, 在微型计算机领域有着极其广泛的应用。下面就以典型的 SRAM 芯片 6264 为例, 说明它的外部特性及工作过程。

1. 6264 存储芯片的引线及其功能

6264 芯片是一个 $8K \times 8b$ 的 CMOS SRAM 芯片, 其引脚如图 5-4 所示。6264 芯片共有 28 条引出线, 包括 13 根地址信号线、8 根数据信号线以及 4 根控制信号线, 它们的含义分别如下。

(1) $A_0 \sim A_{12}$: 13 位地址信号线。一个存储芯片上地址线的多少决定了该芯片有多

少个存储单元。13 根地址信号线上的地址信号编码最多有 2^{13} 种组合,可产生 8192(8K) 个地址编码,从而保证了芯片上的 8K 个单元每单元都有唯一的地址,即芯片的 13 根地址线上的信号经过芯片的内部译码,可以决定选中 6264 芯片上 8K 个存储单元中的哪一个。在与系统连接时,这 13 根地址线通常接到系统地址总线的低 13 位上,以便 CPU 能够寻址芯片上的各个单元。

(2) $D_0 \sim D_7$: 8 根双向数据线。对 SRAM 芯片来讲,数据线的根数决定了芯片上每个存储单元的二进制位数,8 根数据线说明 6264 芯片的每个存储单元中可存储 8 位二进制数,即每个存储单元有 8 位。使用时,这 8 根数据线与系统的数据总线相连。当 CPU 存取芯片上的某个存储单元时,读出和写入的数据都通过这 8 根数据线传送。

(3) $\overline{CS_1}$ 、 CS_2 : 片选信号线。当 $\overline{CS_1}$ 为低电平、 CS_2 为高电平($\overline{CS_1}=0,CS_2=1$)时,该芯片被选中,CPU 才可以对其进行读写操作。不同类型的芯片,其片选信号的数量不一定相同,但要选中该芯片,必须所有的片选信号同时有效才行。事实上,一个微机系统的内存空间是由若干块存储器芯片组成的,某块芯片映射到内存空间的哪一个位置(即处于哪一个地址范围)上,是由高位地址信号决定的。系统的高位地址信号和控制信号通过译码产生片选信号,将芯片映射到所需要的地址范围上。6264 有 13 根地址线($A_0 \sim A_{12}$), 8086/8088 CPU 则有 20 根地址线,所以这里的高位地址信号就是 $A_{13} \sim A_{19}$ 。

(4) $\overline{OE}$: 输出允许信号。只有当 $\overline{OE}$ 为低电平时,CPU 才能够从芯片中读出数据。

(5) $\overline{WE}$: 写允许信号。当 $\overline{WE}$ 为低电平时,允许数据写入芯片;而当 $\overline{WE}=1,\overline{OE}=0$ 时,允许数据从该芯片读出。

(6) 其他引线: V_{CC} 为 +5V 电源,GND 是接地端,NC 表示空端。

表 5-1 为芯片 4 个主要控制信号的功能表。

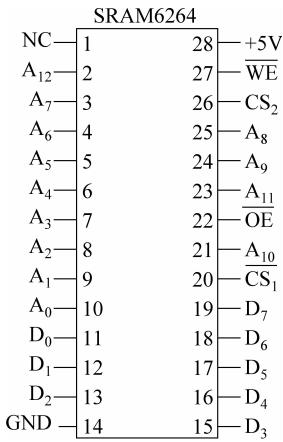


图 5-4 SRAM 6264 外部引线图

表 5-1 6264 真值表

$\overline{WE}$	$\overline{CS_1}$	CS_2	$\overline{OE}$	$D_0 \sim D_7$
0	0	1	×	写入
1	0	1	0	读出
×	0	0	×	三态 (高阻)
×	1	1	×	
×	1	0	×	

2. 6264 存储芯片的工作过程

对 6264 芯片的存取操作包括数据的写入和读出。

写入数据的过程是：首先把要写入单元的地址送到芯片的地址线 $A_0 \sim A_{12}$ 上；要写入的数据送到数据线上；然后使 $\overline{CS}_1$ 、 CS_2 同时有效 ($\overline{CS}_1 = 0$, $CS_2 = 1$)；再在 $\overline{WE}$ 端加上有效的低电平， $\overline{OE}$ 端状态可以任意。这样，数据就可以写入指定的存储单元中。写入过程的工作时序如图 5-5 所示。

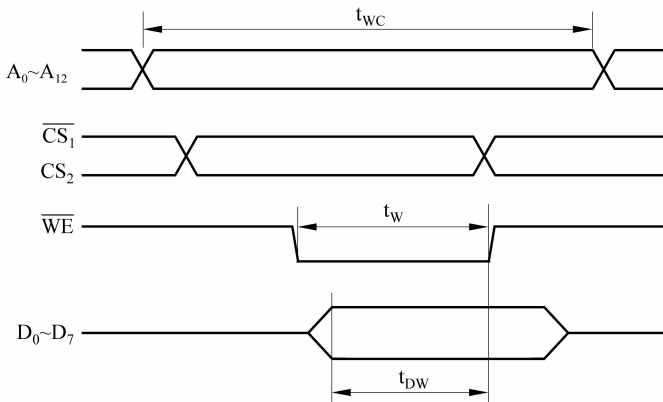


图 5-5 SRAM 6264 写操作时序图

从芯片中读出数据的过程与写操作类似：先把要读出单元的地址送到 6264 的地址线上，然后使 $\overline{CS}_1 = 0$ 和 $CS_2 = 1$ 同时有效；与写操作不同的是，此时要使读允许信号 $\overline{OE} = 0$, $\overline{WE} = 1$ ，这样，选中单元的内容就可从 6264 的数据线读出。读出过程的时序如图 5-6 所示。

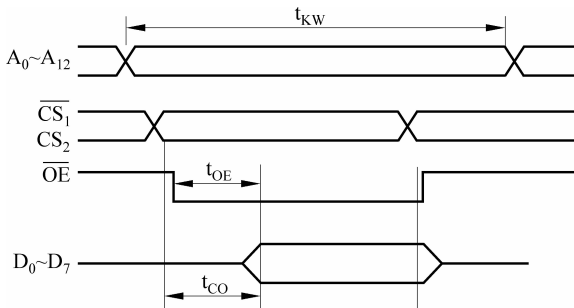


图 5-6 SRAM 6264 读操作时序图

CPU 的取指令周期和对存储器读写都有固定的时序，因此对存储器的存取速度有一定的要求。当对存储器进行读操作时，CPU 发出地址信号和读命令后，存储器必须在读允许信号有效期内将选中单元的内容送到数据总线上。同样，在进行写操作时，存储器也须在写脉冲有效期间将数据写入指定的存储单元。否则，就会出现读写错误。

如果可选择的存储器的存取速度太慢，不能满足上述要求，就需要设计者采取适当的措施来解决这一问题。最简单的解决办法就是降低 CPU 的时钟频率，即延长时钟周期 T_{CLK} ，但这样做会降低系统的运行速度。另一种方法是利用 CPU 上的 READY 信号，使 CPU 在对慢速存储器操作时插入一个或几个等待周期 T_w ，以等待存储器操作的完成。