

# 第3章 门 电 路

**教学提示：**了解各种门电路的结构和工作原理，有助于对门电路外特性的理解。掌握各种门电路的外特性具有实际意义。

**教学要求：**要求学生了解各种门电路的结构、工作原理和性能，掌握门电路的外特性、集成门电路多余输入端的处理方法和 TTL 电路与 CMOS 电路的接口。

## 3.1 概 述

能够实现基本逻辑运算和复合逻辑运算的单元电路称为逻辑门电路，简称门电路。

门电路的种类很多，按照实现的逻辑关系的不同，可以分为与门、或门、非门、与非门、或非门、与或非门、异或门和同或门；按照电路元件的结构形式不同，可以分为分立元器件门电路和集成门电路。其中集成门电路按照集成度（即每一片硅片中所含逻辑门或元器件数）又可分为小规模集成门电路（Small Scale Integration, SSI），其集成度为 1~10 个门/片；中规模集成门电路（Medium Scale Integration, MSI），其集成度为 10~100 个门/片；大规模集成门电路（Large Scale Integration, LSI），其集成度为大于 100 个门/片；超大规模集成门电路（Very Large Scale Integration, VLSI），其集成度为超过 10 万个门/片。按照制造工艺的不同，分为 TTL（Transistor-Transistor Logic）门电路和 CMOS（Complementary Metal-Oxide Semiconductor）门电路。

在门电路中，输入、输出的高、低电平信号都有一定的范围，对高、低电平具体的精确值要求不高，只要电路能够区分高、低电平的状态即可，所以对晶体管的精度要求不高，这也是数字电路与模拟电路的一个不同之处。

## 3.2 分立元器件门电路

### 3.2.1 二极管与门

#### 1. 电路结构

利用二极管的单向导电性可以组成二极管与门（diode AND gate）。最简单的二极管与门如图 3-1 所示。该电路有两个输入端 A、B 和一个输出端 Y。

#### 2. 电路的工作原理

假设电源电压  $V_{CC} = +5V$ ，从 A、B 端输入的高、低电平分别

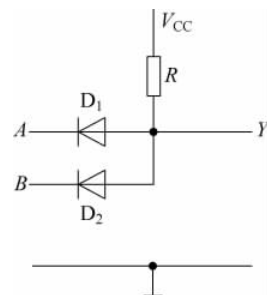


图 3-1 二极管与门

为  $V_{IH}=3V, V_{IL}=0V$ , 二极管的正向导通电压为  $0.7V$ 。由图可知, 当  $A、B$  端均输入低电平时, 二极管  $D_1、D_2$  都导通, 输出端  $Y$  的电位为  $0.7V$ ; 当  $A、B$  两端中有一个输入为低电平, 另一个输入为高电平时, 则必有一个二极管导通, 而另一个二极管截止, 此时输出端  $Y$  的电位为  $0.7V$ ; 当  $A、B$  端均输入高电平时, 二极管  $D_1、D_2$  都导通, 输出端  $Y$  的电位为  $3.7V$ 。由以上分析得到图 3-1 电路的工作状态表如表 3-1 所示, 对其进行状态赋值得到真值表如表 3-2 所示。由真值表可以写出逻辑表达式为  $Y=AB$ , 所以该电路为二极管与门。

表 3-1 图 3-1 电路的工作状态表

| A/V | B/V | Y/V |
|-----|-----|-----|
| 0   | 0   | 0.7 |
| 0   | 3   | 0.7 |
| 3   | 0   | 0.7 |
| 3   | 3   | 3.7 |

表 3-2 图 3-1 电路的真值表

| A | B | Y |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

3.2.2 二极管或门

1. 电路结构

最简单的二极管或门(diode OR gate)如图 3-2 所示。该电路有两个输入端  $A、B$  和一个输出端  $Y$ 。

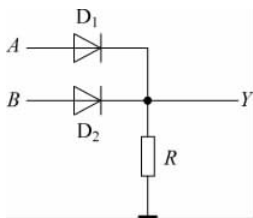


图 3-2 二极管或门

2. 电路的工作原理

假设从  $A、B$  端输入的高、低电平分别为  $V_{IH}=3V, V_{IL}=0V$ , 二极管的正向导通电压为  $0.7V$ 。由图 3-2 可知, 当  $A、B$  端均输入低电平时, 二极管  $D_1、D_2$  都截止, 输出端  $Y$  的电位为  $0V$ ; 当  $A、B$  两端中有一个输入为低电平, 另一个输入为高电平时, 则必有一个二极管导通, 而另一个二极管截止, 此时输出端  $Y$  的电位为  $2.3V$ ; 当  $A、B$  端均输入高电平时, 二极管  $D_1、D_2$  都导通, 输出端  $Y$  的电位为  $2.3V$ 。由以上分析得到图 3-2 电路的工作状态表如表 3-3 所示, 对其进行状态赋值得到真值表如表 3-4 所示。由真值表可以写出逻辑表达式为  $Y=A+B$ , 所以该电路为二极管或门。

表 3-3 图 3-2 电路的工作状态表

| A/V | B/V | Y/V | A/V | B/V | Y/V |
|-----|-----|-----|-----|-----|-----|
| 0   | 0   | 0   | 3   | 0   | 2.3 |
| 0   | 3   | 2.3 | 3   | 3   | 2.3 |

表 3-4 图 3-2 电路的真值表

| A | B | Y | A | B | Y |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 |

### 3.2.3 三极管非门

三极管在模拟电子电路中主要起放大作用,所以三极管主要工作在放大区。在数字电子电路中,三极管主要起开关作用,即三极管的动作特点是通和断。而三极管工作在截止区时, $I_B \approx 0, I_C \approx 0$ ,相当于开关断开状态,当三极管工作在饱和区时, $V_{CES} \approx 0.3\text{V}$ ,相当于开关闭合状态。利用工作在截止区或饱和区的三极管可以组成三极管非门电路。

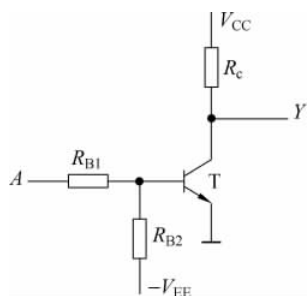


图 3-3 三极管非门

#### 1. 电路结构

三极管非门(transistor NOT gate)如图 3-3 所示。该电路有一个输入端 A 和一个输出端 Y。

#### 2. 电路的工作原理

假设电源电压  $V_{CC} = +5\text{V}$ , 从 A 端输入的高、低电平分别为  $V_{IH} = 3\text{V}, V_{IL} = 0\text{V}$ 。由图可知, 当 A 端输入低电平时, 三极管将截止, 输出端 Y 的电位将接近于  $+5\text{V}$ ; 当 A 端输入为高电平时, 三极管将饱和导通, 输出端 Y 的电位约为  $0.3\text{V}$ 。由以上分析得到图 3-3 电路的工作状态表如表 3-5 所示, 对其进行状态赋值得到真值表如表 3-6 所示。由真值表可以写出逻辑表达式为  $Y = \bar{A}$ , 所以该电路为三极管非门, 又称反相器(inverter)。

表 3-5 图 3-3 电路的工作状态表

| A/V | Y/V |
|-----|-----|
| 0   | 5   |
| 3   | 0.3 |

表 3-6 图 3-3 电路的真值表

| A | Y |
|---|---|
| 0 | 1 |
| 1 | 0 |

在图 3-3 电路中, 电阻  $R_{B2}$  和电源  $-V_{EE}$  主要是为了保证三极管在输入低电平时三极管可靠地截止。由于它们的接入, 即使输入的低电平信号稍大于零, 也能使三极管的基极为负电位, 从而使三极管能可靠地截止, 输出为高电平。

## 3.3 TTL 门电路

前面介绍的二极管门电路的优点是结构简单, 但是在许多门级联时, 由于二极管有正向压降, 这样会使得逻辑信号电平偏离原来的数值而趋近未定义区域。因此, 实际电路中, 二极管门电路通常必须带一个晶体管放大器来恢复逻辑电平, 这就是 TTL 门电路方案。

TTL 电路是目前双极型数字集成电路中应用最多的一种, 它又分为不同系列, 主要有 74 系列、74L 系列、74H 系列、74S 系列、74LS 系列等, 它们主要在功耗、速度和电源电压范围方面有所不同。

本节主要介绍 74 系列 TTL 电路, 然后再对其他系列作以简单介绍。

### 3.3.1 TTL 非门的电路结构和工作原理

#### 1. 电路结构

TTL 非门是 TTL 门电路中电路结构最简单的一种。典型的 TTL 非门电路如图 3-4 所示。电路的输入端为 A, 输出端为 Y。

图 3-4 所示的电路由 3 部分组成:  $T_1$ 、 $R_{B1}$  和  $D_1$  组成输入级,  $T_2$ 、 $R_{C2}$  和  $R_{E2}$  组成倒相级,  $T_3$ 、 $T_4$  和  $R_{C3}$  组成输出级。因为该电路的输入端和输出端均为三极管结构, 所以称为 TTL 门电路。

#### 2. 电路的工作原理

假设电源电压  $V_{CC} = 5V$ ,  $V_{IH} = 3.4V$ ,  $V_{IL} = 0.2V$ , PN 结导通压降  $V_{ON} = 0.7V$ ,  $R_{B1} = 4k\Omega$ ,  $R_{C2} = 1.6k\Omega$ ,  $R_{E2} = 1k\Omega$ ,  $R_{C3} = 130\Omega$ 。

当 A 端输入为  $V_{IL}$  时,  $T_1$  的发射结必然导通,  $T_1$  的基极电位为  $v_{B1} = V_{IL} + V_{ON} = 0.9V$ 。

因此  $T_2$  的发射结不会导通。由于  $T_1$  的集电极回路电阻是  $R_{C2}$  和  $T_2$  的集电结反向电阻之和, 阻值非常大, 因此  $T_1$  工作在深度饱和状态,  $V_{CES1} \approx 0V$ ,  $T_1$  的集电极电流极小。  $T_2$  截止后, 其集电极电位  $v_{C2}$  为高电平, 而发射极电位  $v_{E2}$  为低电平, 从而使  $T_3$  导通、 $T_4$  截止, 输出为高电平  $V_{OH}$

$$V_{OH} \approx V_{CC} - 2V_{ON} = 5 - 1.4 = 3.6V$$

当 A 端输入为  $V_{IH}$  时, 如果不考虑  $T_2$  的存在, 则三极管  $T_1$  的基极电位  $v_{B1}$  可能达到  $V_{IH} + V_{ON} = 3.4 + 0.7 = 4.1V$ 。而实际的情况是: 三极管  $T_1$  的基极电位达到 2.1V 时, 因为三极管  $T_1$  的集电结、 $T_2$  的发射结、 $T_4$  的发射结相串联, 同时导通, 使三极管  $T_1$  的基极电位被钳位在 2.1V, 集电极的电位为 1.4V。而  $T_1$  的发射极输入电位为 3.4V, 三极管的这种工作状态相当于发射极和集电极对调, 称为倒置。因为  $T_2$ 、 $T_4$  导通, 所以  $V_{OL} \approx 0.3V$ 。又因为  $v_{C2} \approx 0.7 + 0.3 = 1.0V$ , 因此  $T_3$  截止。

由以上分析可以看出, 图 3-4 所示电路的输出与输入之间的逻辑关系为  $Y = \bar{A}$ , 所以该电路为非门。

在图 3-4 中, 因为  $T_2$  集电极输出的电压信号和发射极输出的电压信号变化的方向相反, 所以由  $T_2$  组成的电路称为倒相级。在输出级  $T_3$  和  $T_4$  总是一个导通, 一个截止, 处在这种工作状态下的输出电路称为推挽式 (Push-pull) 电路。

图中  $D_1$  是输入端钳位二极管, 它可以抑制输入端可能出现的负极性干扰脉冲, 以保护集成电路的输入端不会因为负极性输入脉冲的作用而使三极管  $T_1$  的发射结过流而损坏。二极管  $D_2$  的作用是确保  $T_4$  饱和导通时  $T_3$  可靠地截止。

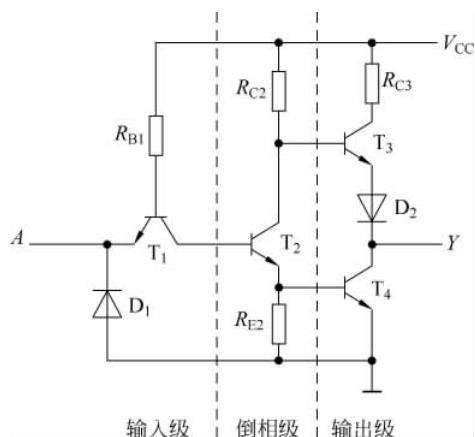


图 3-4 TTL 非门电路

### 3. 电压传输特性

描述门电路的输出电压与输入电压之间关系的曲线叫做电压传输特性。图 3-4 的电压传输特性如图 3-5 所示。

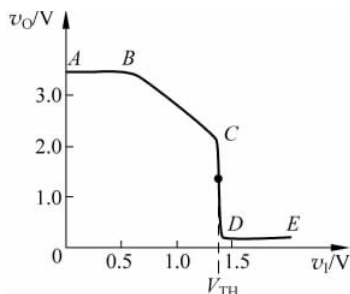


图 3-5 TTL 非门的电压传输特性

当  $v_I < 0.7\text{V}$  时，相当于输入信号为低电平，三极管  $T_3$  导通， $T_4$  截止，输出信号为高电平，对应的曲线为 AB 段，该工作区为截止区。

当  $0.7\text{V} < v_I < 1.3\text{V}$  时，三极管  $T_2$  导通，但  $T_4$  仍然截止，这时三极管  $T_2$  工作在放大区，随着输入电压  $v_I$  的增加，输出电压  $v_O$  将减小，输出电压随着输入电压按线性规律变化，对应的曲线为 BC 段，该工作区为线性区。

当  $1.3\text{V} < v_I < 1.5\text{V}$  时，三极管  $T_2$  和  $T_4$  将同时导通，三极管  $T_3$  迅速截止，输出电压  $v_O$  将迅速下降为低电平，对应的曲线为 CD 段，输出电压在该段曲线中点发生转折跳变，所以该工作区为转折区。转折区中点所对应的输入电压值称为阈值电压或门槛电压，用  $V_{TH}$  表示，图 3-5 中的  $V_{TH} = 1.4\text{V}$ 。

当  $v_I > 1.5\text{V}$  时，相当于输入信号为高电平，三极管  $T_3$  截止， $T_4$  导通，输出信号为低电平，对应的曲线为 DE 段，该工作区为饱和区。

### 4. 输入端噪声容限

噪声容限(noise margin)是指保证逻辑门完成正常逻辑功能的情况下，逻辑门的输入端所能承受的最大干扰电压值。噪声容限包括输入为低电平时的噪声容限  $V_{NL}$  和输入为高电平时的噪声容限  $V_{NH}$ 。图 3-6 给出了噪声容限的示意图。其中， $V_{OH(\min)}$  为输出高电平的下限， $V_{OL(\max)}$  为输出低电平的上限， $V_{IH(\min)}$  为输入高电平的下限， $V_{IL(\max)}$  为输入低电平的上限。

在将两个门电路直接连接时，前一级门电路的输出就是后一级门电路的输入，为了保证逻辑电平传输的正确性，必须满足  $V_{OH(\min)} > V_{IH(\min)}$ ， $V_{OL(\max)} < V_{IL(\max)}$ 。由此可得输入为高电平时的噪声容限为

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)} \quad (3-1)$$

输入为低电平时的噪声容限为

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)} \quad (3-2)$$

74 系列门电路的标准参数为  $V_{OH(\min)} = 2.4\text{V}$ ， $V_{OL(\max)} = 0.4\text{V}$ ， $V_{IH(\min)} = 2.0\text{V}$ ， $V_{IL(\max)} = 0.8\text{V}$ ，所以  $V_{NH} = 0.4\text{V}$ ， $V_{NL} = 0.4\text{V}$ 。

### 5. 传输延迟时间

在 TTL 非门电路中，由于二极管和三极管从截止变为导通或从导通变为截止都需要一定的时间，且二极管和三极管内部的结电容对输入信号波形的传输也

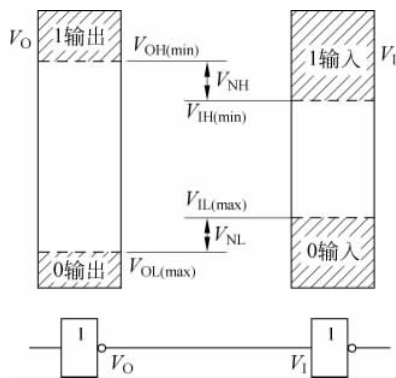


图 3-6 输入端噪声容限示意图

有影响。在非门电路的输入端加上理想的矩形脉冲信号,门电路输出信号的波形将变坏。非门电路输入信号和输出信号波形示意图如图 3-7 所示。

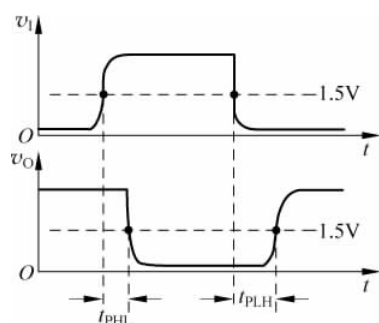


图 3-7 TTL 非门电路传输延迟时间

由图 3-7 可见,输出信号波形延迟输入信号波形一段时间,描述这种延迟特征的参数有导通传输时间  $t_{\text{PHL}}$  和截止传输时间  $t_{\text{PLH}}$ 。导通传输时间  $t_{\text{PHL}}$  描述输出电压从高电平跳变到低电平时的传输延迟时间。截止传输时间  $t_{\text{PLH}}$  描述输出电压从低电平跳变到高电平时的传输延迟时间。

导通传输时间  $t_{\text{PHL}}$  和截止传输时间  $t_{\text{PLH}}$  通常由实验测定,在集成电路手册上通常给出平均传输延迟时间  $t_{\text{pd}}$ ,具体计算公式为

$$t_{\text{pd}} = \frac{t_{\text{PHL}} + t_{\text{PLH}}}{2} \quad (3-3)$$

### 3.3.2 TTL 非门的外特性

TTL 门电路的内部结构虽然复杂,但在实际使用的过程中,应主要考虑 TTL 门电路的外特性,也即门电路的输入特性和输出特性。

#### 1. 输入特性

在 TTL 门电路中,描述输入电流随输入电压变化情况的函数称为 TTL 门电路的输入特性。对于 TTL 非门,若规定流入 TTL 门电路的电流为正,流出为负,则其输入特性如图 3-8 所示。

图 3-8 中的  $I_{\text{IS}}$  称为输入短路电流,是指输入电压  $v_i = 0$  时的输入电流值。对于图 3-4 所示的电路,  $I_{\text{IS}}$  的值为

$$I_{\text{IS}} = -\frac{V_{\text{CC}} - V_{\text{ON}}}{R_{\text{B1}}} = -\frac{5 - 0.7}{4} \approx -1 \text{ mA} \quad (3-4)$$

低电平输入电流一般用  $I_{\text{IS}}$  来代替。 $I_{\text{IH}}$  称为输入漏电流或高电平输入电流,是指输入信号为高电平时的输入电流值。由前面的分析可知,当输入信号为高电平时,三极管  $T_1$  工作在倒置状态,此时三极管的电流放大倍数  $\beta$  很小,一般在 0.01 以下,所以  $I_{\text{IH}}$  的值很小。74 系列门电路每个输入端的  $I_{\text{IH}}$  值在  $40 \mu\text{A}$  以下。输入信号在高、低电平之间的情况比较复杂,在此不作介绍。

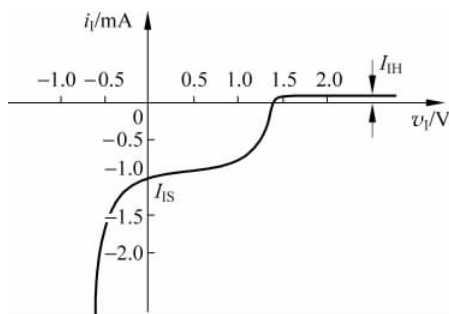


图 3-8 TTL 非门的输入特性

#### 2. 输出特性

在 TTL 门电路中,描述输出电压随输出电流变化情况的函数称为 TTL 门电路的输出特性。输出特性包括高电平输出特性和低电平输出特性。

## (1) 高电平输出特性

在图 3-4 所示的非门电路中,当输出为高电平时, $T_3$  和  $D_2$  导通, $T_4$  截止,输出端的等效电路如图 3-9(a)所示。这时  $T_3$  工作在射极输出状态,电路的输出电阻很小。在负载电流较小的范围内,负载电流的变化对  $V_{OH}$  的影响很小。随着负载电流  $i_L$  绝对值的增加, $R_{C3}$  上的压降也随之加大,最终将使  $T_3$  的 b-c 结变为正向偏置, $T_3$  进入饱和状态。这时  $T_3$  将失去射极跟随功能,因而  $V_{OH}$  随着  $i_L$  绝对值的增加几乎线性地下降。TTL 非门高电平输出特性如图 3-9(b)所示。

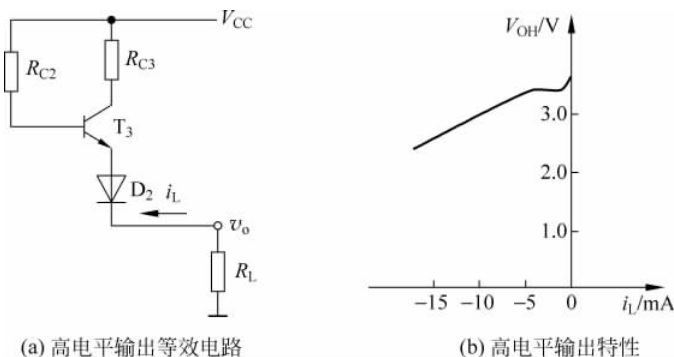


图 3-9 TTL 非门高电平输出等效电路和输出特性

从曲线上可以看出,在  $|i_L| < 5\text{mA}$  的范围内, $V_{OH}$  变化很小。当  $|i_L| > 5\text{mA}$  以后,随着  $i_L$  绝对值的增加  $V_{OH}$  下降较快。考虑到输出功率等因素的影响,实际的高电平输出电流的最大值要比  $5\text{mA}$  小得多。集成电路手册上给出的 74 系列门电路的高电平输出电流大约为  $0.4\text{mA}$ 。

## (2) 低电平输出特性

当输出为低电平时,门电路的输出级三极管  $T_4$  饱和导通而三极管  $T_3$  截止,输出端的等效电路如图 3-10(a)所示。由于  $T_4$  饱和导通时 c-e 间的内阻很小,通常在  $10\Omega$  以内,所以负载电流  $i_L$  增加时输出的低电平  $V_{OL}$  仅稍有升高。TTL 非门的低电平输出特性如图 3-10(b)所示。从曲线可以看出, $V_{OL}$  与  $i_L$  的关系在较大的范围内基本呈线性。

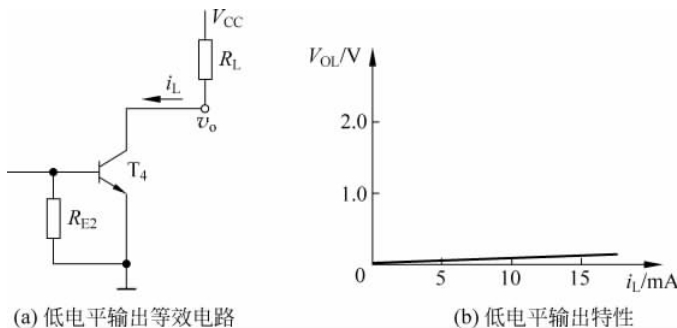


图 3-10 TTL 非门低电平输出等效电路和输出特性

### 3. 负载特性

#### (1) 输入端负载特性

在具体使用门电路时,有时需要在输入端与地之间或输入端与信号的低电平之间接入负载电阻  $R_P$ ,如图 3-11(a)所示。当  $R_P$  在一定范围内增大时,由于输入电流流过  $R_P$  会产生压降,其数值也随之增大,反应两者之间变化关系的曲线叫做输入负载特性,如图 3-11(b)所示。

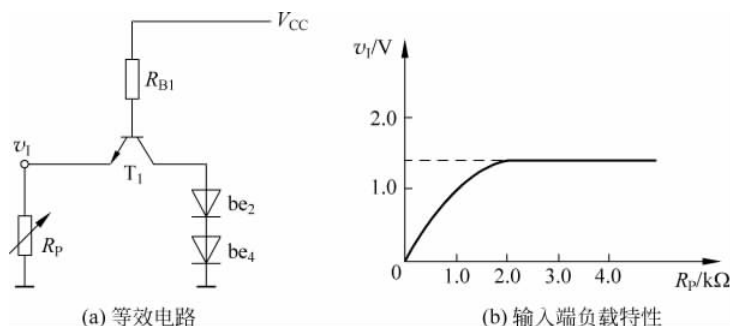


图 3-11 TTL 非门输入端经电阻接地时的等效电路和负载特性

由图 3-11 可知,  $v_I$  与  $R_P$  之间的关系为

$$v_I = \frac{R_P}{R_P + R_{B1}} (V_{CC} - v_{BE1}) \quad (3-5)$$

式(3-5)表明在  $R_P \ll R_{B1}$  的条件下,  $v_I$  与  $R_P$  近似成正比。但是当  $v_I$  上升到 1.4V 以后,三极管  $T_2$  和  $T_4$  的发射结同时导通,  $v_{BE1}$  被钳位在 2.1V 左右,这时即使  $R_P$  再增大,  $v_I$  也不会再升高,而是维持在 1.4V 左右。按照图 3-4 中的参数计算,当  $R_P$  增加到大约 2kΩ 时,  $v_I$  即上升到 1.4V。

#### (2) 输出端带负载能力

门电路的输出端根据不同的需要通常都带有不同的负载,门电路输出端典型的负载也是门电路,描述门电路输出端最多能够带的门电路数称为门电路的扇出系数(Fan-out),门电路带负载的情况如图 3-12 所示。

**【例题 3.1】** 设图 3-12 所示电路中门电路的输入特性和输出特性如图 3-8、图 3-9 和图 3-10 所示,这些门电路的  $I_{IH} = 40\mu A$ ,  $I_{OH} = 0.4mA$ ,要求  $V_{OH} \geq 3.2V$ ,  $V_{OL} \leq 0.2V$ ,求门电路的扇出系数。

**解:** 由图 3-12 可知,  $G_1$  门电路的负载电流是所有负载门的输入电流之和。

首先计算满足  $V_{OL} \leq 0.2V$  时可带负载的数目  $N_1$ 。

由图 3-10(b) 可以查到,  $V_{OL} = 0.2V$  时的负载电流  $i_L = 16mA$ 。由图 3-8 可以查到,  $v_I = 0.2V$  时每个门的输入电流为  $i_I = -1mA$ ,于是得到电流绝对值间的关系为

$$N_1 | i_I | \leq i_L$$

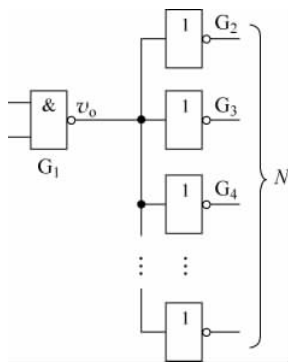


图 3-12 门电路带负载的情况

$$\text{即} \quad N_1 \leq \frac{i_L}{|i_1|} = 16$$

然后计算满足  $V_{OH} \geq 3.2\text{V}$  时可带负载的数目  $N_2$ 。

由图 3-9(b) 可以查到,  $V_{OH} = 3.2\text{V}$  时的负载电流  $i_L = -7.5\text{mA}$ 。但因为  $|I_{OH}| = 0.4\text{mA}$ , 故应取  $|i_L| = 0.4\text{mA}$  计算。又有  $I_{IH} = 40\mu\text{A}$ , 于是得到

$$N_2 I_{IH} \leq |i_L|$$

$$\text{即} \quad N_2 \leq \frac{|i_L|}{I_{IH}} = 10$$

取  $N_1$  和  $N_2$  中较小的数为门电路的扇出系数, 所以该电路的扇出系数为  $N = 10$ 。

### 3.3.3 其他类型的 TTL 门电路

#### 1. TTL 与非门

74 系列 TTL 与非门(NAND gate)的典型电路如图 3-13 所示。它与图 3-4 所示的 TTL 非门电路的主要区别就是在输入端改成了多发射极三极管。

在图 3-13 中, 只要  $A$ 、 $B$  当中有一个接低电平  $V_{IL} = 0.2\text{V}$ , 则  $T_1$  必有一个发射结导通, 并将  $T_1$  的基极电位  $v_{B1}$  钳位在  $0.9\text{V}$ , 这时  $T_2$  和  $T_4$  都不导通,  $T_3$  导通, 输出为高电平  $V_{OH}$ 。只有当  $A$ 、 $B$  两端同时输入为高电平  $V_{IH} = 3.4\text{V}$  时,  $T_2$  和  $T_4$  同时导通,  $T_3$  截止, 输出为低电平  $V_{OL}$ 。因此,  $Y$  和  $A$ 、 $B$  之间为与非的逻辑关系, 即  $Y = \overline{AB}$ 。

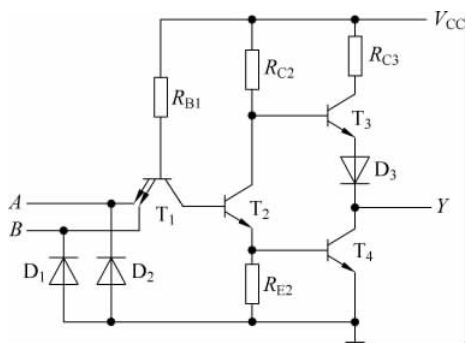


图 3-13 TTL 与非门

比较图 3-4 和图 3-13 可知, TTL 与非门电路的输出级和 TTL 非门电路的输出级完全相同, 因此, 非门的输出特性也适用于与非门。但

是由于输入级不同, 所以输入特性有所区别。对于图 3-13 所示的与非门, 每个输入端的输入特性(其他的输入端悬空)和非门相同。但是如果将两个输入端并联使用, 这时总的低电平输入电流与只有一个输入端接低电平时相同, 而总的高电平输入电流则为两个输入端的高电平输入电流之和。

在图 3-13 中, 与的功能是用多发射极三极管来实现的, 增加发射极的数目, 即可扩大输入端的数目, 就可以做成多输入端的与非门。

#### 2. TTL 或非门

典型的 TTL 或非门(NOR gate)电路如图 3-14 所示。不难看出, 这个电路是在图 3-4 的基础上附加了  $T'_1$ 、 $T'_2$ 、 $D'_1$ 、 $R'_{B1}$  而得到的, 且该部分电路结构与  $T_1$ 、 $T_2$ 、 $D_1$ 、 $R_{B1}$  组成的电路完全相同。所以当  $A$ 、 $B$  当中任何一端输入为高电平  $V_{IH} = 3.4\text{V}$  时, 都将使  $T_2$  或  $T'_2$  导通, 并使  $T_4$  导通、 $T_3$  截止, 输出为低电平  $V_{OL}$ 。只有在  $A$ 、 $B$  两端同时输入为低电平  $V_{IL} = 0.2\text{V}$  时,  $T_2$  和  $T'_2$  同时截止, 并使  $T_3$  导通,  $T_4$  截止, 输出为高电平  $V_{OH}$ 。因此  $Y$  和  $A$ 、 $B$  之间是或

非的逻辑关系,即  $Y = \overline{A+B}$ 。

比较图 3-4 和图 3-14, TTL 或非门电路的输出级和 TTL 非门电路的输出级完全相同,因此,非门的输出特性也适用于或非门。由于每个或输入端都分别接在各自的输入三极管上,所以将  $n$  个或输入端并联使用时,无论总的高电平输入电流还是总的低电平输入电流都等于各个输入端输入电流的  $n$  倍。

### 3. 与或非门

TTL 与或非门(AND-OR-INVERT gate)电路如图 3-15 所示。该电路是在图 3-14 的基础上,将三极管  $T_1$  和  $T'_1$  改为多发射极三极管而得到的。容易得出,只有两组输入信号  $A$ 、 $B$  或  $C$ 、 $D$  当中任何一组输入同时为高电平时,输出为低电平,否则输出为高电平。因此电路的输出信号  $Y$  与输入信号  $A$ 、 $B$ 、 $C$ 、 $D$  之间是与或非的逻辑关系,即  $Y = \overline{AB+CD}$ 。

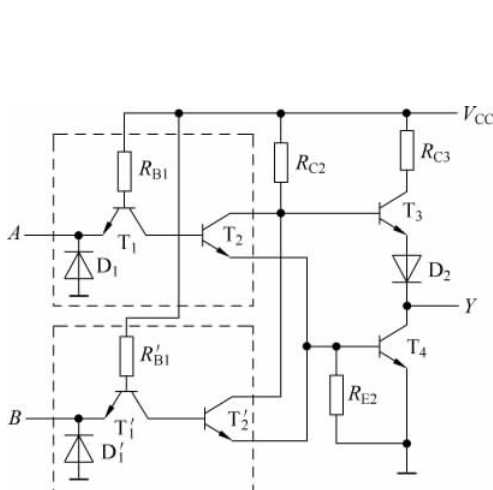


图 3-14 TTL 或非门

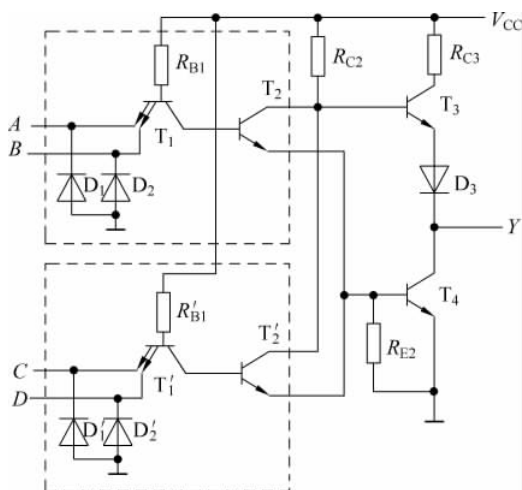


图 3-15 TTL 与或非门

### 4. 异或门

TTL 异或门(Exclusive-OR gate)电路如图 3-16 所示。当  $A$ 、 $B$  同时为低电平时,  $T_4$  和  $T_5$  同时截止,并使  $T_7$  和  $T_9$  导通而使  $T_8$  截止,输出为低电平。而  $A$ 、 $B$  同时为高电平时,  $T_6$  和  $T_9$  导通,  $T_8$  截止,输出为低电平。当  $A$ 、 $B$  状态不同(一个为高电平,一个为低电平)时,  $T_6$  截止。同时,  $A$ 、 $B$  中的一个高电平输入使  $T_4$ 、 $T_5$  中的一个导通,并使  $T_7$  截止。由于  $T_6$  和  $T_7$  同时截止,因而使  $T_9$  截止而  $T_8$  导通,输出为高电平。因此  $A$ 、 $B$  和  $Y$  之间为异或逻辑关系,即  $Y = A \oplus B$ 。

### 5. 集电极开路的门电路(OC 门)

在用门电路组成各种类型的逻辑电路时,如果可以将两个或两个以上的门电路输出端直接并联使用,可能对简化电路有很大帮助。但是一般的 TTL 门电路输出并联连接时,若并联的几个门电路的输出状态不一样,则这几个门电路的输出电路上可能有较大的电流流通,如图 3-17 所示。由于串联电路的连接电阻仅有几十到一百多欧姆,所以电路的电流将

会高达几十毫安。在这种情况下,就会造成集成电路由于过度发热而损坏,也就是说,一般推拉式输出的逻辑门电路,不能将其输出端并联连接使用的。另外,在推拉式输出级的门电路中,电源一经确定,输出的高电平也就固定了,因而无法满足对输出不同高低电平的需要。此外,推拉式电路结构也不能满足驱动较大电流、较高电压负载的要求。

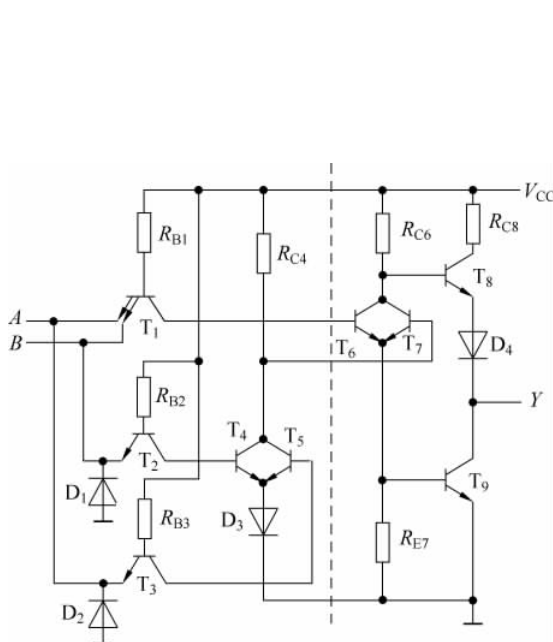


图 3-16 TTL 异或门

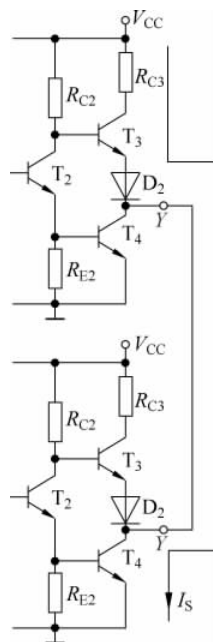


图 3-17 TTL 门电路输出并联

### (1) 电路结构

若将图 3-4 所示电路中的输出三极管  $T_3$  及周围的元器件去掉,将三极管  $T_4$  的集电极开路就可以组成集电极开路的门电路(Open Collector Gate),简称 OC 门电路。

集电极开路门电路的结构和逻辑符号如图 3-18 所示。OC 门电路在工作时需要外接负载电阻  $R$  和电源  $V_{CC}$ 。只要电阻的阻值和电源电压的数值选择得当,就能够做到既保证输出的高、低电平符合要求,又能保证输出端三极管的负载电流不过大。电阻  $R$  的作用是,当三极管  $T_4$  截止时,将三极管  $T_4$  的集电极的电位提高,使门电路能够输出高电平信号,所

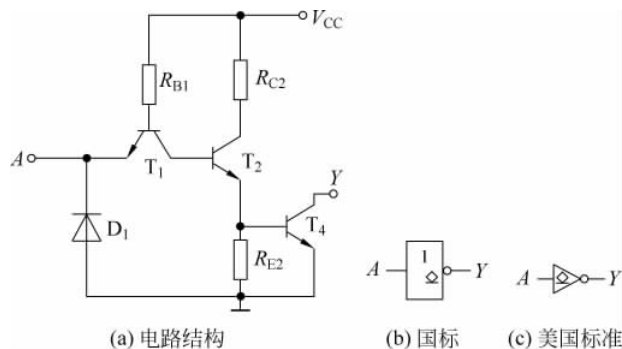


图 3-18 集电极开路非门电路结构和逻辑符号

以负载电阻  $R$  又称为上拉电阻。

### (2) 线与电路

OC 门的输出端可以并联使用。比如在图 3-19 所示的电路中,输入信号  $A$ 、 $B$  与输出  $Y$  之间的逻辑真值表如表 3-7 所示。由表 3-7 可以看出,两个门电路的输出端并联使用的结果等效于与逻辑关系,所以图 3-19 所示的电路又称为线与,其输入与输出之间的逻辑关系为

$$Y = Y_1 \cdot Y_2 = \overline{A} \cdot \overline{B} = \overline{A + B} \quad (3-6)$$

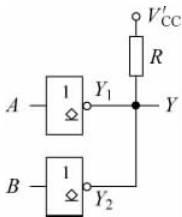


图 3-19 OC 非门输出端并联使用的接法

表 3-7 图 3-19 电路的真值表

| $A$ | $B$ | $Y_1$ | $Y_2$ | $Y$ |
|-----|-----|-------|-------|-----|
| 0   | 0   | 1     | 1     | 1   |
| 0   | 1   | 1     | 0     | 0   |
| 1   | 0   | 0     | 1     | 0   |
| 1   | 1   | 0     | 0     | 0   |

线与之后,输出的低电平仍然为 TTL 门电路的低电平等级(约为  $0.2V$ ),但高电平的输出取决于  $V'_{CC}$  的值。在空载的情况下,最高电平输出接近于  $V'_{CC}$  的值;在有负载的情况下,则根据负载的要求来确定。可见,OC 门使用上更具有灵活性,适合于不同高电平电压等级输入的要求。

另外,有些 OC 门的输出管足以承受较大电流和较高电压,如 SN7407 输出管允许的最大负载电流为  $40mA$ ,截止时耐压  $30V$ ,足以驱动小型继电器。

### (3) 上拉电阻阻值的计算

上拉电阻阻值的计算分高电平输出和低电平输出两种情况。假设将  $n$  个 OC 门的输出端并联使用,负载是  $m$  个 TTL 与非门的输入端。

高电平输出情况如图 3-20 所示。当所有 OC 门同时截止时,输出为高电平。此时,每个与非门的输入端口都有输入电流  $I_{IH}$  流入, $m$  个输入端口共有  $mI_{IH}$  输入电流流过上拉电阻  $R$ ;同时每一个 OC 门的输出端也有漏电流  $I_{OH}$  流入, $n$  个输出端共有  $nI_{OH}$  输出漏电流流过上拉电阻  $R$ 。根据 KCL 可得,上拉电阻  $R$  上的总电流是上述各电流的总和,此时上拉电阻  $R$  的值为允许最大值  $R_{max}$ :

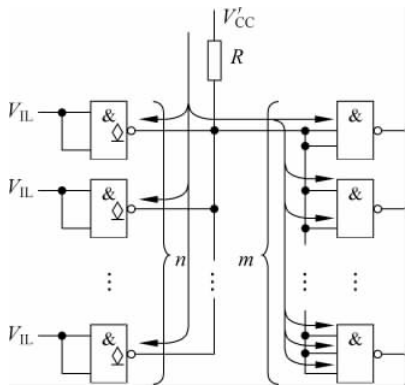


图 3-20 高电平输出时  $R$  的计算电路

$$R_{max} = \frac{V'_{CC} - V_{OH}}{nI_{OH} + mI_{IH}} \quad (3-7)$$

低电平输出情况如图 3-21 所示。此时,对于与非门电路,每一个门电路输入端口只流出一个输入短路电流  $|I_{IS}|$ , $m'$  个与非门电路共有  $m'$  个  $|I_{IS}|$  输入短路电流流入 OC 门电路的输出端(若是或非门电路,每一个输入端口都有输入短路电流流出,设每个或非门电路有  $n'$  个输入端,则  $m'$  个或非输入端口共有  $m'n'$  个  $|I_{IS}|$  输入短路电流流入 OC 门电路的输出端);同时上拉电阻  $R$  上的电流  $I$  也流入 OC 门电路的输出

端;在 OC 门电路输出端口只有一个为低电平,其余都是高电平的情况下,所有的电流都流入输出为低电平的 OC 门的输出端口,该门电路的输出级电路将流过最大的电流  $I_{LM}$ ,根据 KCL 可得,上拉电阻  $R$  上的电流是  $I_{LM}$  与  $m' |I_{IS}|$  的差,此时上拉电阻  $R$  的值为允许最小值  $R_{\min}$ :

$$R_{\min} = \frac{V'_{CC} - V_{OL}}{I_{LM} - m' |I_{IS}|} \quad (3-8)$$

上拉电阻  $R$  的取值应介于式(3-7)和式(3-8)所规定的最大值和最小值之间。

除了反相器和与非门以外,与门、或门、或非门等都可以做成集电极开路的门电路输出结构,而且外接上拉电阻的计算方法也相同。

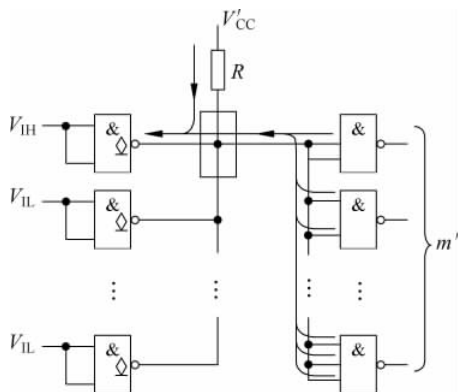


图 3-21 低电平输出时  $R$  的计算电路

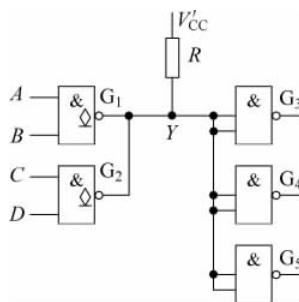


图 3-22 例题 3.2 的电路图

**【例题 3.2】** 电路如图 3-22 所示。已知电源电压  $V'_{CC}=5V$ , OC 与非门  $G_1$ 、 $G_2$  的输出管截止时的漏电流  $I_{OH}=200\mu A$ , 输出管导通时的最大负载电流  $I_{LM}=16mA$ , 要求 OC 门输出的高电平  $V_{OH}\geq 3.4V$ ,  $V_{OL}\leq 0.4V$ ,  $G_3$ 、 $G_4$ 、 $G_5$  均为 TTL 与非门, 它们的低电平输入短路电流为  $I_{IS}=-1mA$ , 高电平输入电流为  $I_{IH}=40\mu A$ 。请计算电路中的上拉电阻  $R$  的值。

**解:** 由电路图可知, 该电路是由两个 OC 与非门输出端并联和三个两输入端与非门组成, 即  $n=2$ ,  $m'=3$ ,  $m=6$ 。

根据式(3-7)可得

$$R_{\max} = \frac{V'_{CC} - V_{OH}}{nI_{OH} + mI_{IH}} = \frac{5 - 3.4}{2 \times 0.2 + 16 \times 0.04} = 2.5k\Omega$$

根据式(3-8)可得

$$R_{\min} = \frac{V'_{CC} - V_{OL}}{I_{LM} - m' |I_{IS}|} = \frac{5 - 0.4}{16 - 3 \times 1} = 0.354k\Omega$$

所以取上拉电阻  $R=2k\Omega$ 。

### 6. 三态输出门电路

为了实现多个逻辑门电路输出能够实现并联连接使用,除了采用 OC 门以外,还可以采用三态门。

#### (1) 电路结构和工作原理

三态输出门(Three State Output Gate, TS)是在普通门电路的基础上附加控制电路而构成的。在三态输出的门电路中,输出端除了有高电平和低电平两种状态外,还有第三种状

态——高阻态( $Z$ )。

控制端低电平有效的三态输出反相器的电路结构和逻辑符号如图 3-23(a) 所示。图中的控制端  $\overline{EN}$  为低电平( $\overline{EN}=0$ )时,  $P$  点为高电平, 二极管截止, 电路的工作状态和普通的反相器没有区别。这时  $Y=\overline{A}$ , 根据输入信号  $A$  的情况, 输出可能是高电平, 也可能是低电平。而当控制端  $\overline{EN}$  为高电平( $\overline{EN}=1$ )时,  $P$  点为低电平,  $T_2$  和  $T_4$  截止。同时, 由于二极管  $D_1$  导通,  $T_3$  的基极电位被钳位在  $0.7V$ , 使  $T_3$  截止。由于  $T_3$  和  $T_4$  同时截止, 所以输出端呈高阻状态。这样, 输出端就有三种状态: 高电平、低电平和高阻状态, 所以将该门电路称为三态门。图 3-23 中的 (b) 和 (c) 分别为国标和美国标准的三态反相器逻辑符号。因为三态门存在高阻态, 所以三态门电路的输出端可以并联使用。

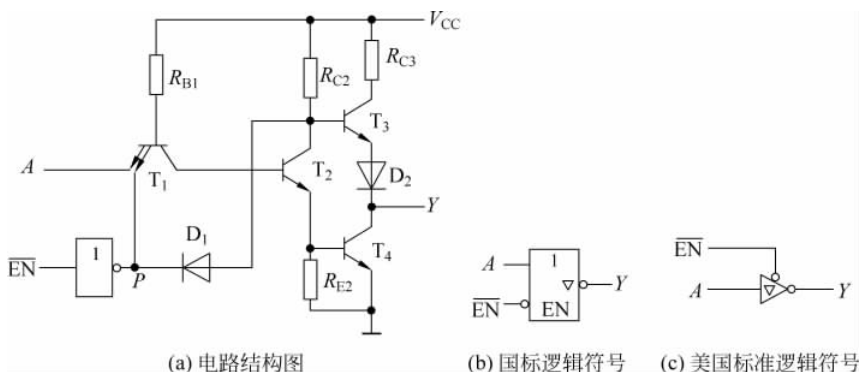


图 3-23 控制端低电平有效的三态输出反相器的电路图和逻辑符号

控制端为高电平有效的三态输出反相器的电路图和逻辑符号如图 3-24 所示。由图 3-24 可见其电路结构与图 3-23(a) 只差一个反向器, 其余部分相同, 所以在此不再赘述。

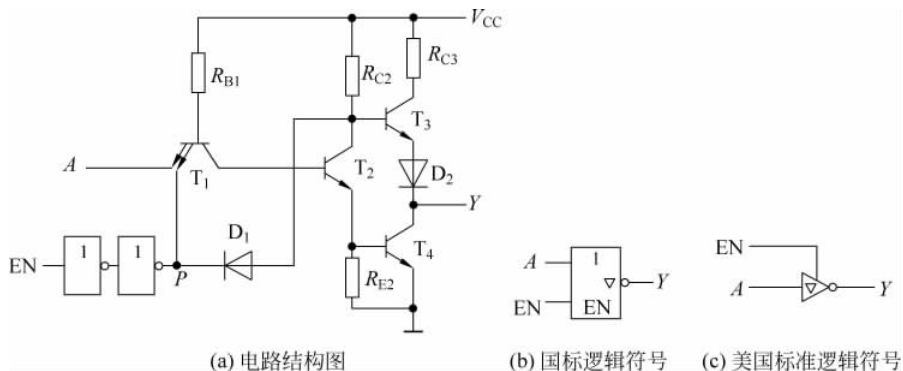


图 3-24 控制端高电平有效的三态输出反相器的电路图和逻辑符号

## (2) 三态门电路的应用

因为三态门的输出端可以并联使用, 所以可以用三态门电路组成开关电路, 如图 3-25 所示。当  $\overline{EN}$  为低电平  $0$  时, 三态门  $G_1$  为高阻态, 选通三态门  $G_2$ , 电路的输出信号  $Y=\overline{B}$ ; 当  $\overline{EN}$  为高电平  $1$  时, 三态门  $G_1$  被选通, 而三态门  $G_2$  为高阻态, 电路的输出信号为  $Y=\overline{A}$ 。可以看出使能端  $\overline{EN}$  的状态决定将哪一个数据取反后输出, 相当于一个开关的作用。

在计算机系统中,为了减少各个单元电路之间连线的数目,希望能在同一条导线上分时传递若干个门电路的输出信号。这时可以用三态门接成总线结构,如图 3-26 所示。只要在工作时控制各个门的使能端  $\overline{EN}$ ,使其轮流等于 0,而且任何时候仅有一个等于 0,就可以把各个门的输出信号轮流送到公共的传输线(总线)上而互不干扰。

用三态门还可以实现数据的双向传输,实现数据的双向传输的三态门电路如图 3-27 所示。当  $\overline{EN}=0$  时,三态门  $G_1$  被选通而  $G_2$  为高阻态,数据  $D_1$  经反相后送到总线上去。当  $\overline{EN}=1$  时,三态门  $G_2$  被选通而  $G_1$  为高阻态,来自总线的的数据经  $G_2$  反相后由  $\overline{D_2}$  送出。

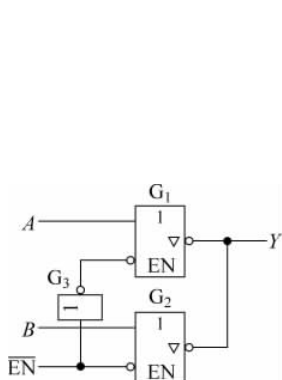


图 3-25 用三态门组成的开关电路

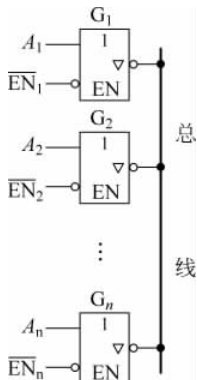


图 3-26 用三态门接成总线结构

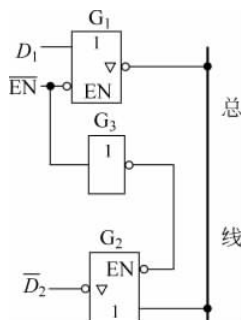


图 3-27 用三态门实现数据的双向传输

### 3.3.4 TTL 系列门电路

许多年来,设计者不断地对 TTL 门电路进行改进,从最早的 74 系列、74H 系列,发展到 74S 系列、74LS 系列,再到后来的 74AS 系列、74ALS 系列、74F 系列。所有的 TTL 系列都是兼容的,它们用同样的电源电压和逻辑电平,但每个系列在速度、功耗和价格上各有优点。

最早的 TTL 逻辑门系列是由 Sylvania 于 1963 年提出的,德州仪器公司使其被广泛应用,其“7400 系列”型号门电路和其他 TTL 元件很快成为工业标准。后来用改变电路内部电阻阻值的方法生产过 74H(高速 TTL)和 74L(低耗 TTL)两种改进系列。74H 系列采用低电阻以减少传播延迟时间,但同时增加了电路的功耗。而 74L 系列采用高电阻以减少功耗,但同时增加了传输延迟时间。如果用传输延迟时间与每个门功耗的乘积——dp 积(delay-power product)来描述 TTL 电路的综合品质,则 74H 和 74L 系列与 74 系列相比,dp 积并未得到改善。因此,不久这两种系列就被随后出现的 74S、74LS 系列取代。

在 74S(Schottky TTL)系列电路中采用了抗饱和的肖特基三极管,获得了比 74 系列更短的传输延迟时间,不过功耗仍然高于 74 系列。随后出现的 74LS 系列(低耗 Schottky TTL)系列同时采用了肖特基三极管和较大的电阻阻值,并改进了电路结构,所以其 dp 积优于以上几个系列。74LS 系列的速度与 74 系列相当,但功耗仅为 74 系列的 1/5。因此,74LS 系列成为设计 TTL 门电路应用系统的首选系列。

后来随着集成电路工艺水平的不断提高和电路结构的改进,又出现了新的肖特基逻辑

系列 74AS(高级 Schottky TTL)、74ALS(高级低耗 Schottky TTL)和 74F(快速 TTL)。74AS 系列的速度大约是 74S 的两倍,而功耗几乎相同。74ALS 系列比 74LS 功耗更低,速度更高。74F 系列在功耗和速度上介于 74AS 和 74ALS 之间。未来 74ALS 将逐步取代 74LS 系列而成为 TTL 逻辑系列中的主流产品,而 74F 系列也许会成为高速系统设计中使用的主要系列。

表 3-8 列出了各种 TTL 系列门的主要特性参数,根据这些信息,可以分析 TTL 门电路的外部特性,而不必知道内部 TTL 电路的设计细节。通常,一个特定元件的输入和输出特性与表 3-8 中给出的典型值有所不同,因此在分析和设计实际电路时,必须经常参考制造厂商的数据手册。

表 3-8 TTL 系列门的主要特性参数

| 参数名称与符号                  | 单位      | 系 列  |      |      |      |       |      |
|--------------------------|---------|------|------|------|------|-------|------|
|                          |         | 74   | 74S  | 74LS | 74AS | 74ALS | 74F  |
| 输入低电平最大值 $V_{IL(max)}$   | V       | 0.8  | 0.8  | 0.8  | 0.8  | 0.8   | 0.8  |
| 输入高电平最小值 $V_{IH(min)}$   | V       | 2.0  | 2.0  | 2.0  | 2.0  | 2.0   | 2.0  |
| 输出低电平最大值 $V_{OL(max)}$   | V       | 0.4  | 0.5  | 0.5  | 0.5  | 0.5   | 0.5  |
| 输出高电平最小值 $V_{OH(min)}$   | V       | 2.4  | 2.7  | 2.7  | 2.7  | 2.7   | 2.7  |
| 低电平输入电流最大值 $I_{IL(max)}$ | mA      | -1.0 | -2.0 | -0.4 | -0.5 | -0.2  | -0.6 |
| 高电平输入电流最大值 $I_{IH(max)}$ | $\mu A$ | 40   | 50   | 20   | 20   | 20    | 20   |
| 低电平输出电流最大值 $I_{OL(max)}$ | mA      | 16   | 20   | 8    | 20   | 8     | 20   |
| 高电平输出电流最大值 $I_{OH(max)}$ | mA      | -0.4 | -1.0 | -0.4 | -2   | -0.4  | -1   |
| 传输延迟时间 $t_{pd}$          | ns      | 9    | 3    | 9    | 1.7  | 4     | 3    |
| 每个门的功耗                   | mW      | 10   | 19   | 2    | 8    | 1.2   | 4    |
| 延迟-功耗积(dp 积)             | pJ      | 90   | 57   | 18   | 13.6 | 4.8   | 12   |

## 3.4 CMOS 门电路

### 3.4.1 CMOS 反相器的电路结构和工作原理

CMOS 反相器的电路结构如图 3-28 所示。由图 3-28 可以看出,它由一个 N 沟道增强型 MOS 管  $T_1$  和一个 P 沟道增强型 MOS 管  $T_2$  组成,所以该电路称为互补对称式金属氧化物半导体电路,简称 CMOS 电路。图中两个管的栅极相连作为输入端 A,两个管的漏极相连作为输出端 Y。

假设电源电压  $V_{DD}=+5V$ ,输入信号的高电平  $V_{IH}=5V$ ,低电平  $V_{IL}=0V$ ,并且  $V_{DD}$  大于  $T_1$  的开启电压和  $T_2$  的开启电压的绝对值之和。当输入信号 A 为高电平 1 时, $T_1$  管导通, $T_2$  管截止,输出信号 Y 为低电平 0;当输入信号 A 为低电平 0 时, $T_1$  管截止, $T_2$  管导通,输出信号 Y 为高电平 1。因此,该电路的输出信号与输入信号之间为非的逻辑关系,即  $Y=\bar{A}$ 。CMOS 反相器是 CMOS 集成门电路的基本单元。

在 CMOS 电路中,因 P 沟道 MOS 管在工作的过程中仅

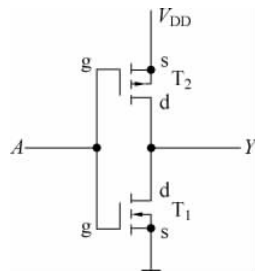


图 3-28 CMOS 反相器的电路结构

相当于一个可变电阻值的漏极电阻,所以  $T_2$  管称为负载管;而 N 沟道 MOS 管在工作的过程中起到输出信号、驱动后级电路的作用,所以  $T_1$  管称为驱动管。

### 3.4.2 其他类型的 CMOS 门电路

#### 1. CMOS 与非门的电路结构和工作原理

将两个 CMOS 反相器的负载管并联,驱动管串联,就组成了 CMOS 与非门,电路如图 3-29 所示。

当输入信号  $A$ 、 $B$  同时为高电平时,驱动管  $T_1$  和  $T_2$  导通,负载管  $T_3$  和  $T_4$  截止,输出为低电平;当输入信号  $A$ 、 $B$  同时为低电平时,驱动管  $T_1$  和  $T_2$  截止,负载管  $T_3$  和  $T_4$  导通,输出为高电平;当输入信号  $A$ 、 $B$  中一个为低电平,另一个为高电平时,驱动管  $T_1$  和  $T_2$  中总有一个导通,一个截止,驱动管串联,总结果为断开,负载管总是一个导通,另一个截止,负载管并联,总结果为通,电路的输出信号为高电平。因此输出信号  $Y$  与输入信号  $A$ 、 $B$  之间为与非的逻辑关系。

#### 2. CMOS 或非门的电路结构和工作原理

将两个 CMOS 反相器的负载管串联,驱动管并联,就组成了 CMOS 或非门,电路如图 3-30 所示。

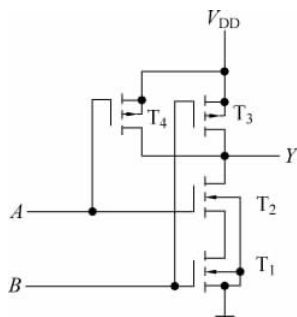


图 3-29 CMOS 与非门电路

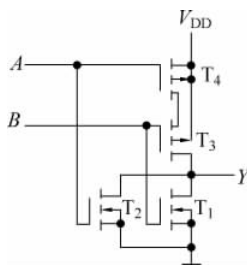


图 3-30 CMOS 或非门电路

当输入信号  $A$ 、 $B$  全为低电平 0 时,驱动管  $T_1$  和  $T_2$  截止,负载管  $T_3$  和  $T_4$  导通,输出为高电平信号 1;当输入信号  $A$ 、 $B$  全为高电平 1 时,驱动管  $T_1$  和  $T_2$  导通,负载管  $T_3$  和  $T_4$  截止,输出为低电平信号 0;当输入信号  $A$ 、 $B$  中有一个为高电平,而另一个为低电平时,驱动管中有一个导通,一个截止,驱动管相并联,总结果为通,负载管中一个截止,一个导通,负载管串联,总结果为断,电路输出为低电平。因此输出信号  $Y$  与输入信号  $A$ 、 $B$  之间为或非的逻辑关系。

CMOS 门电路除了上面介绍的与非门和或非门以外,同样也有与或非门、异或门、漏极开路门和三态门电路,这些门电路的作用和符号与 TTL 门电路的相同,这里不再赘述。

### 3.4.3 CMOS 传输门电路的组成和工作原理

CMOS 传输门(transmission gate)是由一个 N 沟道 MOS 管和一个 P 沟道 MOS 管并

联组成的,电路如图 3-31 所示。图中,两个 MOS 管的栅极为传输门电路的控制端。当控制端  $C$  为高电平 1,  $\bar{C}$  为低电平 0 时,传输门导通,数据可以从左边传到右边,也可以从右边传到左边,即传输门可以实现数据的双向传输。当控制端  $C$  为低电平 0,而  $\bar{C}$  为高电平 1 时,传输门截止,不能传输数据,也即为高阻态。

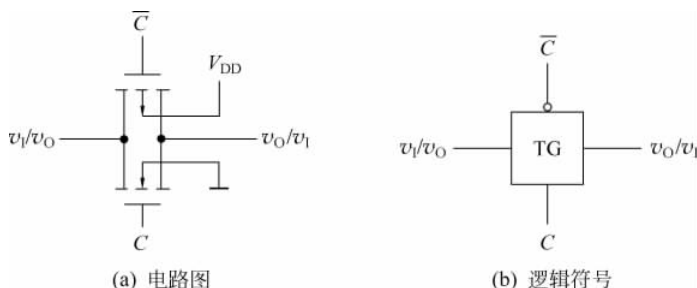


图 3-31 CMOS 传输门电路和逻辑符号

在图 3-31 中,  $v_I$ 、 $v_O$  可以是模拟信号,这时传输门可以作为模拟开关使用。利用 CMOS 传输门和反相器可以构成双向模拟开关,如图 3-32(a)所示。控制信号  $C$  作为 N 沟道场效应管的栅极控制信号,  $C$  经过反相器取反后得到  $\bar{C}$  信号作为 P 沟道场效应管的栅极控制信号,因此只要有一个控制信号即可控制电路的连接与断开。双向模拟开关的逻辑图和逻辑符号如图 3-32(b)和图 3-32(c)所示。

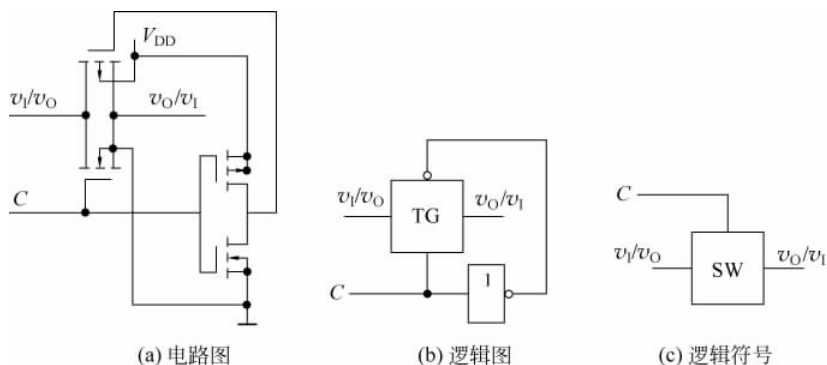


图 3-32 CMOS 双向模拟开关电路图及逻辑符号

#### 3.4.4 CMOS 系列门电路的性能比较

到目前为止,CMOS 门电路已经有 4000 系列、HC 和 HCT 系列、VHC 和 VHCT 系列、FCT 和 FCT-T 系列等定型产品。

4000 系列是最早投放市场的 CMOS 数字集成电路定型产品,其优点是低功耗,但是速度低,而且不易于与当时最流行的 TTL 逻辑系列相匹配。因此逐渐被能力更强的 CMOS 系列所取代。

HC(High-speed CMOS, 高速 CMOS)和 HCT(High-speed CMOS, TTL compatible, 高速 CMOS, TTL 兼容)系列是高速 CMOS 逻辑系列的简称。与 4000 系列相比,HC/HCT 系列具有更高的速度和更强的电流吸收和提供能力。HCT 系列采用的电源电压为 5V,可

以与 TTL 器件互相配合使用；而 HC 系列用于只采用 CMOS 逻辑的系统中，并可用 2~6V 的电源。高电源电压用于高速器件，低电源电压用于低功耗器件，它不能与 TTL 器件互相配合使用。

VHC(Very High-speed CMOS)和 VHCT(Very High-speed CMOS, TTL compatible)是新一代的 CMOS 系列器件，它们的工作速度是 HC/HCT 的两倍，并可与前辈系列保持向后兼容性。它们输入电平不同，但输出特性是完全一样的。HCT/VHCT 电路可以由 TTL 器件来驱动。VHC 和 VHCT 逻辑系列是由几个公司制造的，包括 Motorola、Fairchild 和 Toshiba。而 Texas Instruments 和 Philips 只制造那些相似的但规格不一致的兼容系列，它们是 AHC 和 AHCT，其中“A”代表“先进的”。

在 20 世纪 90 年代初，又出现了一种 CMOS 系列——FCT(Fast CMOS, TTL compatible)，它的主要优点是：在减少功耗并与 TTL 完全兼容的条件下，能达到和超过最好的 TTL 系列的速度和输出驱动能力，它的输出高电平能达到 5V。但在高速应用中，当输出从 0V 上升到 5V 时，会产生很大的功耗和噪声。因此，后来又出现了 FCT-T(Fast CMOS, TTL compatible with TTL  $V_{OH}$ )，它降低了高电平输出电压，减少了功耗和开关噪声，而且它可以提供或吸收大量的电流，低电平时可达到 64mA。

在诸多系列的 CMOS 电路产品中，只要产品型号最后的数字相同，它们的逻辑功能就是一样的。例如 74/54HC00、74/54HCT00、74/54VHC00、74/54VHCT00、74/54FCT00 等的逻辑功能是一样的，它们都是具有 4 个 2 输入端的与非门。但是，它们的电气性能和参数就大不相同了。74 系列和 54 系列仅在工作温度范围上有所区别，而其他方面比如逻辑功能、主要的电气参数、外形封装、引脚排列等完全相同。74 系列为商用器件，工作温度为 0~70℃。54 系列为军用器件，工作温度为 -55℃~125℃。

表 3-9 给出了各个系列典型 CMOS 器件在  $V_{CC}$  为 4.5~5.5V 之间的任意值时的输入规格说明。

表 3-9  $V_{CC}$  在 4.5~5.5V 之间时 CMOS 系列的输入规格说明

| 描 述                      | 单位      | 条件            | 系 列     |         |         |         |
|--------------------------|---------|---------------|---------|---------|---------|---------|
|                          |         |               | HC      | HCT     | VHC     | VHCT    |
| 最大输入漏电流 $I_{I_{max}}$    | $\mu A$ | $V_{in}$ 为任意值 | $\pm 1$ | $\pm 1$ | $\pm 1$ | $\pm 1$ |
| 低电平最大输入电压 $V_{IL_{max}}$ | V       |               | 10      | 10      | 10      | 10      |
| 高电平最小输入电压 $V_{IH_{min}}$ | V       |               | 3.85    | 2.0     | 3.85    | 2.0     |

表 3-10 给出了 CMOS 器件在  $V_{CC}$  为 4.5~5.5V 之间的任意值时的输出规格说明，它针对 CMOS 和 TTL 两种负载，在电流或电压下脚标的最后一个字母为 C 的表示驱动 CMOS 负载，为 T 的表示驱动 TTL 负载。

表 3-10  $V_{CC}$  在 4.5~5.5V 之间时 CMOS 系列的输出规格说明

| 描 述                       | 单位 | 条件                           | 系 列  |      |      |      |
|---------------------------|----|------------------------------|------|------|------|------|
|                           |    |                              | HC   | HCT  | VHC  | VHCT |
| 低电平最大输出电流 $I_{OL_{maxC}}$ | mA | CMOS 负载                      | 0.02 | 0.02 | 0.05 | 0.05 |
| 低电平最大输出电流 $I_{OL_{maxT}}$ | mA | TTL 负载                       | 4.00 | 4.00 | 8.00 | 8.00 |
| 低电平最大输出电压 $V_{OL_{maxC}}$ | V  | $I_{out} \leq I_{OL_{maxC}}$ | 0.10 | 0.10 | 0.10 | 0.10 |

续表

| 描 述                    | 单位 | 条件                            | 系 列   |       |       |       |
|------------------------|----|-------------------------------|-------|-------|-------|-------|
|                        |    |                               | HC    | HCT   | VHC   | VHCT  |
| 低电平最大输出电压 $V_{OLmaxT}$ | V  | $I_{out} \leq I_{OLmaxT}$     | 0.33  | 0.33  | 0.44  | 0.44  |
| 高电平最大输出电流 $I_{OHmaxC}$ | mA | CMOS 负载                       | -0.02 | -0.02 | -0.05 | -0.05 |
| 高电平最大输出电流 $I_{OHmaxT}$ | mA | TTL 负载                        | -4.00 | -4.00 | -8.00 | -8.00 |
| 高电平最小输出电压 $V_{OHminC}$ | V  | $ I_{out}  \leq  I_{OHmaxC} $ | 4.40  | 4.40  | 4.40  | 4.40  |
| 高电平最小输出电压 $V_{OHminT}$ | V  | $I_{out} \leq  I_{OHmaxT} $   | 3.84  | 3.84  | 3.80  | 3.80  |

### 3.5 集成门电路实用知识简介

#### 3.5.1 多余输入端的处理方法

在用集成门电路组成数字系统时,经常会遇到输入引脚有多余的问题。对于不使用的输入端,可以与要使用的输入端连在一起,如图 3-33(a)所示。也可以将不用的输入端与一恒定逻辑值相连,不用的与门或者与非门输入端应与逻辑 1 相连,如图 3-33(b)所示,不用的或门、或非门的输入端应与逻辑 0 相连,如图 3-33(c)所示。在高速电路设计中,通常使用图 3-33(b)和(c)所示的方法,这比用图 3-33(a)所示的方法更好些,因为该方法增加了驱动信号的电容负载,使操作变慢。在图 3-33(b)和(c)中,典型的电阻值为  $1 \sim 10k\Omega$ ,而且一个上拉或下拉电阻可供多个不用的输入端共用。另外,也可以将不用的输入端直接连接到电源或地上。

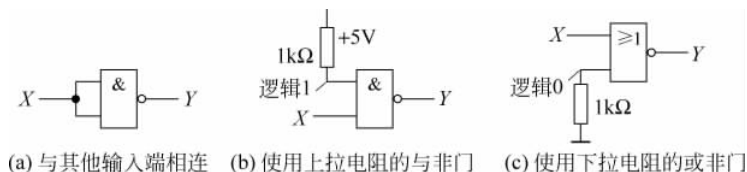


图 3-33 处理不用的输入端

不用的 CMOS 输入端决不能悬空。因为如果输入端悬空会呈现出低电平状态,但是由于 CMOS 输入阻抗非常高,只需很小的电路噪声就可以暂时地使一个悬空输入呈现为高电平,从而造成电路故障。同样,对于 TTL 电路,如果不用的输入端悬空会呈现出高电平状态,但是一个很小的噪声就会使悬空的输入端造成虚假的低电平。因此,为可靠起见,不用的输入端应连到稳定的高电平和低电平电压上。

#### 3.5.2 TTL 电路与 CMOS 电路的接口

在 TTL 与 CMOS 两种电路并存的情况下,常常有不同类型的集成电路混合使用,这样就出现了 TTL 与 CMOS 电路的连接问题。两种不同类型的集成门电路,由于输入、输出逻辑电平、负载能力等参数不同,在连接时必须通过接口电路进行电平或电流的变换后才能使用。

由于 CMOS 系列门电路中, HCT 系列、VHCT 系列和 FCT 系列门电路都与 TTL 电路兼容, 它们可以直接相连。而对于其他的与 TTL 不兼容的 CMOS 门电路, 使用时必须考虑逻辑电平或驱动电流不匹配时的互连问题。

两种门电路互相连接的条件是:

$$V_{OH} \geq V_{IH}, V_{OL} \leq V_{IL}, I_{OH} \geq nI_{IH}, I_{OL} \geq nI_{IL}$$

### 1. TTL 门电路驱动 CMOS 门电路

TTL 电路输出高电平的最小值为  $V_{OH(min)} = 2.4V$ , 输出低电平最大值为  $V_{OL(max)} = 0.5V$ 。而 CMOS 电路在电源电压为  $5V$  时, 输入低电平的最大值为  $V_{IL(max)} = 1V$ , 输入高电平的最小值为  $V_{IH(min)} = 3.5V$ 。由于  $V_{OL(max)} < V_{IL(max)}$ , 因此 TTL 输出低电平时与 CMOS 兼容, 而由于  $V_{OH(min)} < V_{IH(min)}$ , 为此在 TTL 电路的输出端与电源之间接入上拉电阻来提升 TTL 输出端高电平, 如图 3-34 所示。图中  $R$  的取值为

$$R = \frac{V_{CC} - V_{OH}}{I_{OH}} \quad (3-9)$$

式(3-9)中  $I_{OH}$  为 TTL 电路输出级  $T_3$  管截止时的漏电流。

当 CMOS 电源电压  $V_{DD}$  高于  $5V$  时, 仍可以采用上拉电阻解决电平转换问题, 此时 TTL 门电路应该采用 OC 门, 如图 3-35 所示。另外也可以采用三极管非门电路来解决电平转换问题, 如图 3-36 所示。

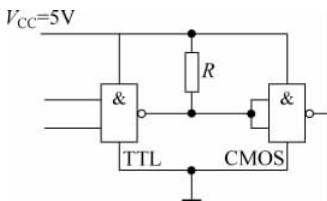


图 3-34 通过上拉电阻提升 TTL 输出端高电平

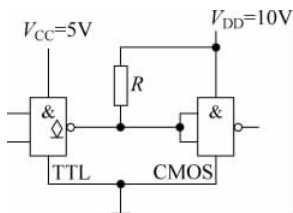


图 3-35 通过上拉电阻解决电平转换问题

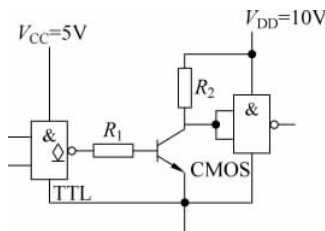


图 3-36 通过三极管非门解决电平转换问题

### 2. CMOS 门电路驱动 TTL 门电路

CMOS 电路输出逻辑电平与 TTL 输入逻辑电平可以兼容, 但 CMOS 电路输出功率较小, 驱动能力不够, 一般不能直接驱动 TTL 电路。常用的方法有以下两种方法。

(1) 利用三极管的电流放大作用实现电流扩展, 如图 3-37 所示。只要放大器的电路参数选择合适, 可做到既满足 CMOS、TTL 门电路电流要求, 又使放大器输出高低电平满足 TTL 逻辑电平要求。

(2) CMOS 电路的输出端增加一级 CMOS 驱动器来增强带负载能力, 如图 3-38 所示。CMOS 门电路由  $+5V$  电源供电, 能直接驱动 1 个 74 系列 TTL 门电路。若增加缓冲器比如选用 CC4049(六反相器)或 CC4050(六缓冲器), 能直接驱动两个 74 系列 TTL 门电路, 若选用漏极开路的 CMOS 驱动器 CC40107, 能直接驱动 10 个 74 系列 TTL 门电路。

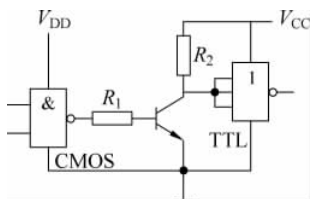


图 3-37 利用三极管实现电流扩展

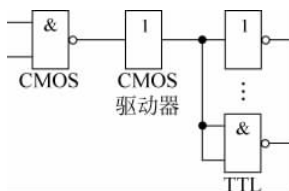


图 3-38 利用 CMOS 驱动器增强带负载能力

### 3.5.3 门电路带负载时的接口电路

当用门电路驱动执行性负载时,应根据负载的要求进行正确的接口。

#### 1. 用门电路直接驱动显示器件

使用逻辑门电路可以直接驱动发光二极管、液晶显示器等低电压等级类的显示器件,只要显示器件的电压等级(额定电压值)与逻辑门电路的输出电压等级或逻辑门电路的电源电压值相同就可以直接驱动。但是为了安全起见,通常在电路中接入限流电阻,如图 3-39 所示。图中 74HC04 为 CMOS 器件,提供了六路反相缓冲器,限流电阻的大小可分别按下面两种情况来计算。

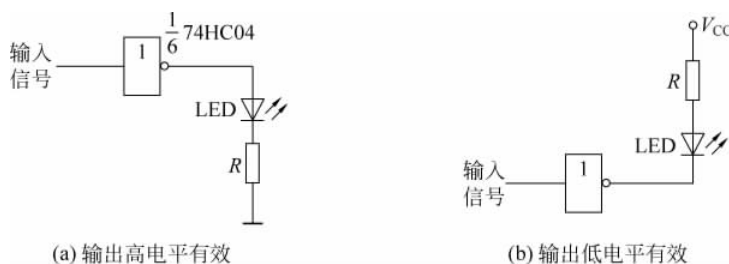


图 3-39 CMOS 74HC04 驱动 LED 的电路

对于图 3-39(a)所示的电路,当门电路的输入为低电平时,输出为高电平,LED 导通点亮,限流电阻  $R$  的取值为

$$R = \frac{V_{OH} - V_D}{I_D} \quad (3-10)$$

对于图 3-39(b)所示的电路,当门电路的输入为高电平时,输出为低电平,LED 导通点亮,限流电阻  $R$  的取值为

$$R = \frac{V_{CC} - V_D - V_{OL}}{I_D} \quad (3-11)$$

式(3-10)和式(3-11)中,  $I_D$  为 LED 的导通电流,  $V_D$  为 LED 的正向导通压降,  $V_{OH}$ 、 $V_{OL}$  分别为门电路的输出高、低电平,常取典型值。

**【例题 3.3】** 在如图 3-39(a)所示的电路中,使门电路的输入为低电平时,输出为高电平,LED 导通。设  $I_D=0.5\text{mA}$ ,  $V_D=0.7\text{V}$ ,  $V_{OH}=4.7\text{V}$ ,试计算限流电阻  $R$  的取值为多大合适。

**解：**根据式(3-10)来计算限流电阻

$$R = \frac{V_{OH} - V_D}{I_D} = \frac{4.7 - 0.7}{0.5} = 8k\Omega$$

## 2. 用门电路驱动机电性负载

利用数字电路的输出信号控制其他较大工作电流的机电性负载,如电动机、照明电器和电炉等,通常采用中间继电器转换控制,即先用门电路控制继电器的动作,再用继电器的“常开触点”或“常闭触点”去连接交流、直流接触器的电磁线圈,实现对大电流工作的机电性负载的控制。

中间继电器本身有其额定的电压和电流参数,一般情况下,门电路的输出电压等级必须与中间继电器额定电压一致,输出电流要略大于中间继电器的额定电流值。连接电路如图 3-40 所示。中间继电器的线圈并联一个二极管,是为了门电路输出电平发生突变时,在电感性负载的暂态过程中,为电感线圈提供一个续流电路,避免电感性负载产生感应高电压,起到对门电路的保护作用。若门电路的输出参数与中间继电器的额定参数不一致,可以加入三极管缓冲级进行转换。

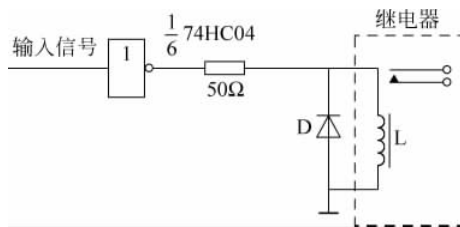


图 3-40 CMOS 74HC04 驱动继电器电路

## 小 结

门电路是构成各种复杂数字电路的基本逻辑单元。按照电路元件的结构形式不同,分为分立元器件门电路和集成门电路。分立元器件门电路的优点是结构简单,但是在许多门级联时,其逻辑信号电平会偏离原来的数值而趋近未定义区域。因此,实际电路中,一般很少采用。集成门电路按照集成度的不同可分为小规模集成门电路、中规模集成门电路、大规模集成门电路和超大规模集成门电路。按照制造工艺的不同,分为 TTL 门电路和 CMOS 门电路。由于 TTL 门电路功耗较大,其主要在中、小规模集成电路方面应用广泛,而 CMOS 门电路的优点是功耗很小,适合于制作大规模和超大规模集成电路。

按照门电路的功能的不同,可以分为非门、与非门、或非门、与或非门、异或门等,而非门是构成各种门电路的基本单元。学习门电路的内部结构和工作原理的目的在于帮助读者对器件外特性的理解,以便于更好地掌握外特性。外特性包括电压传输特性、输入特性、输出特性和负载特性。另外,输入端噪声容限和传输延迟时间也是门电路的两个重要参数。

集电极开路的门电路的输出端可以并联使用,即可以实现线与功能,但是集电极开路的门电路在使用时必须外加一个电源和一个上拉电阻。三态门的输出端有三个状态,即高电

平、低电平和高阻态。在使能端为有效状态时,其逻辑功能与普通的门电路一样,在使能端为无效状态时,输出为高阻态。多个三态门在其使能端轮流有效时,也可以实现线与功能。用三态门电路可以组成开关电路,总线结构,还可以实现数据的双向传输。

在门电路的实际应用中,经常需要考虑多余输入端的处理方法、TTL 电路和 CMOS 电路的接口以及门电路带不同负载时的接口电路等。

## 习 题

### 1. 填空题。

- (1) 集成电路按照集成度可分为\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_。
- (2) TTL 非门的电压传输特性的转折区中点所对应的输入电压值称为\_\_\_\_\_,用  $V_{TH}$  表示。
- (3) 在保证逻辑门完成正常逻辑功能的情况下,逻辑门的输入端所能承受的最大干扰电压值称为\_\_\_\_\_。
- (4) 在 TTL 门电路中,输入电压  $v_i=0$  时的输入电流值称为\_\_\_\_\_。
- (5) 描述门电路输出端最多能够带的门电路数称为门电路的\_\_\_\_\_。
- (6) 三态门的输出有 3 种状态,它们是\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_。
- (7) 多个三态门的输出端能并联在一起的条件为\_\_\_\_\_。
- (8) 除了三态门,\_\_\_\_\_门也有高阻输出状态。
- (9) 对于集成门电路中不使用的输入端,可以与要使用的输入端\_\_\_\_\_,也可以将不用的输入端与\_\_\_\_\_相连,不用的与门或者与非门输入端应与\_\_\_\_\_相连,不用的或门或者或非门的输入端应与\_\_\_\_\_相连。

### 2. 选择题。

- (1) 一个二输入端的 TTL 与非门,一端接变量  $B$ ,另一端经  $10k\Omega$  电阻接地,该与非门的输出应为\_\_\_\_\_。  
A. 0                      B. 1                      C.  $B$                       D.  $\bar{B}$
- (2) TTL 门电路的输入端悬空时,下列说法正确的是\_\_\_\_\_。  
A. 相当于逻辑 0                      B. 相当于逻辑 1  
C. 逻辑 1 和逻辑 0 都可以                      D. 由门电路的类型决定是逻辑 1 还是逻辑 0
- (3) 能实现分时传送数据逻辑功能的是\_\_\_\_\_。  
A. TTL 与非门      B. 三态逻辑门      C. 集电极开路门      D. CMOS 逻辑门
- (4) CMOS 74HC 系列逻辑门与 TTL74LS 系列逻辑门相比,工作速度\_\_\_\_\_,静态功耗\_\_\_\_\_。  
A. 低,低                      B. 不相上下,低很多  
C. 高,低很多                      D. 高,不相上下
- (5) 能实现线与逻辑功能而且需要外加电源和上拉电阻的是\_\_\_\_\_。  
A. TTL 与非门      B. 三态逻辑门      C. 集电极开路门      D. CMOS 逻辑门
- (6) 下列各种门电路中,输入端和输出端可以互换使用的是\_\_\_\_\_。  
A. 三态门                      B. OC 门                      C. CMOS 传输门      D. TTL 门

(7) 下列各种门电路中,输入信号既可以是数字信号,又可以是模拟信号的是\_\_\_\_\_。

- A. 三态门                      B. OC 门  
C. CMOS 传输门              D. TTL 门

(8) 如图 3-41 所示的 OC 门组成的电路,可等效为\_\_\_\_\_。

- A. 与非门                      B. 或非门  
C. 与或非门                  D. 异或门

(9) 图 3-42 所示的各个门电路,能实现表 3-11 所要求的功能的是\_\_\_\_\_。

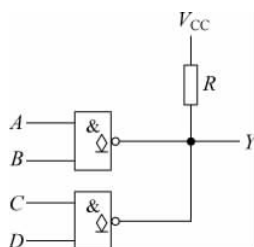


图 3-41 第 2(8)题的图

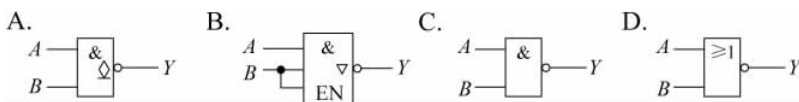


图 3-42 第 2(9)题的图

表 3-11 第 2(9)题的表

| A | B | Y |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

(10) 对于集成门电路,下列选项中正确的是\_\_\_\_\_。

- A. 输入端悬空可能会造成逻辑出错  
B. 多余的输入端不可以并联使用  
C. 输入端完全可以悬空,且相当于逻辑 1  
D. 输入端通过阻值小的电阻接到地,相当于逻辑 1 和逻辑 0 均可

3. 试画出图 3-43 所示各个门电路输出端的电压波形。输入端 A、B 的电压波形如图 3-43 所示。

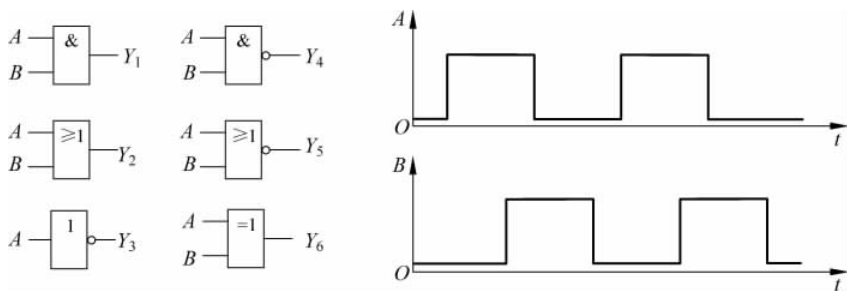


图 3-43 第 3 题的门电路和输入电压波形图

- 通过适当的方法将与非门、或非门和异或门连接成反相器,实现  $Y = \bar{A}$ 。
- 试画出用二输入端的与非门实现  $Y = A + B$ ,  $Y = AB$  的逻辑电路图。
- 各逻辑门的输入端 A、B 和输出端 Y 的波形如图 3-44(a)和图 3-44(b)所示,分别写出各个逻辑门的表达式。
- 计算图 3-45 电路中的反相器  $G_M$  能驱动多少个同样的反相器。要求  $G_M$  输出的高、低电平符合  $V_{OH} \geq 3.2V$ ,  $V_{OL} \leq 0.25V$ 。所有的反相器均为 74LS 系列 TTL 电路,输入电流  $I_{IL} \leq -0.4mA$ ,  $I_{IH} \leq 20\mu A$ 。  $V_{OL} \leq 0.25V$  时的输出电流的最大值  $I_{OL(max)} = 8mA$ ,  $V_{OH} \geq 3.2V$  时的输出电流的最大值为  $I_{OH(max)} = -0.4mA$ 。  $G_M$  的输出电阻忽略不计。

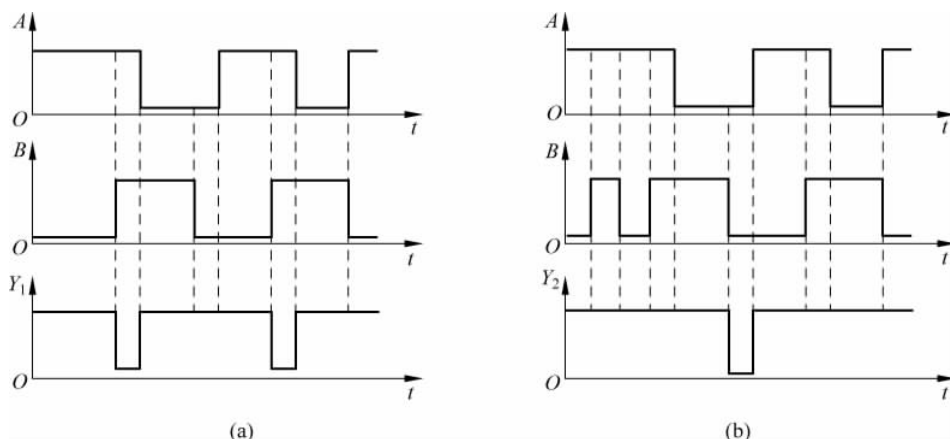


图 3-44 第 6 题的图

8. 在图 3-45 所示的电路图中所有与非门均为 74 系列 TTL 电路, 计算门  $G_M$  能驱动多少个同样的与非门。要求  $G_M$  输出的高、低电平符合  $V_{OH} \geq 3.2V, V_{OL} \leq 0.4V$ 。与非门的输入电流  $I_{IL} \leq -1.6mA, I_{IH} \leq 40\mu A$ 。  $V_{OL} \leq 0.4V$  时的输出电流的最大值  $I_{OL(max)} = 16mA$ ,  $V_{OH} \geq 3.2V$  时的输出电流的最大值为  $I_{OH(max)} = -0.4mA$ 。  $G_M$  的输出电阻忽略不计。

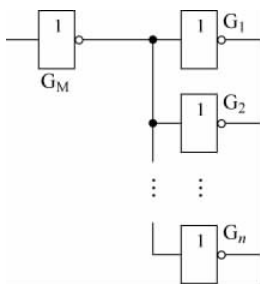


图 3-45 第 7 题的图

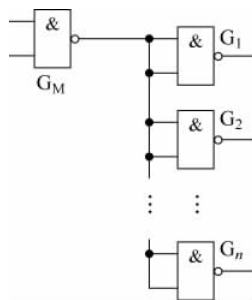


图 3-46 第 8 题的图

9. 图 3-47 所示为 TTL 电路, 已知各个门的参数为:  $I_{LM} = 13mA$ , OC 门输出管截止时的漏电流  $I_{OH} = 250\mu A, I_{IH} = 50\mu A, I_{IL} = -1.4mA, V_{OH} \geq 3.6V, V_{OL} \leq 0.3V$ , 试计算  $R_L$  的值。

10. 两个 TTL OC 门驱动 4 个 TTL 与非门的电路如图 3-48 所示。设电路的  $V_{OH} \geq 3.0V, V_{OL} \leq 0.4V$ 。测得与非门的  $I_{IH} = 32\mu A, I_{IL} = -1.3mA$ 。TTL OC 门输出高电平时的  $I_{OH} = 100\mu A$ , 输出为低电平时的  $I_{LM} = 15mA$ 。试确定上拉电阻  $R$  的取值范围。

11. 试说明在下列情况下, 用万用表测量图 3-49 所示电路的  $v_{12}$  端得到的电压各为多少? 图中的与非门为 74 系列的 TTL 电路, 万用表使用 5V 量程, 内阻为  $20k\Omega/V$ 。

- (1)  $v_{11}$  悬空。
- (2)  $v_{11}$  接低电平 ( $0.2V$ )。
- (3)  $v_{11}$  接高电平 ( $3.2V$ )。
- (4)  $v_{11}$  经  $51\Omega$  电阻接地。
- (5)  $v_{11}$  经  $10k\Omega$  电阻接地。

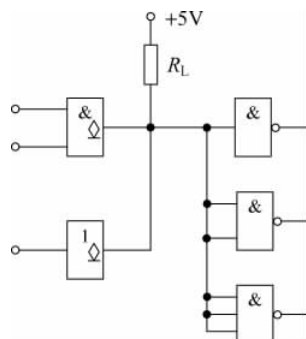


图 3-47 第 9 题的图

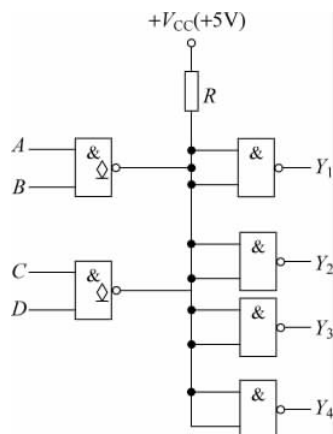


图 3-48 第 10 题的图

12. 两个 OC 与非门连接成如图 3-50 所示的电路。试写出输出  $Y$  的表达式。

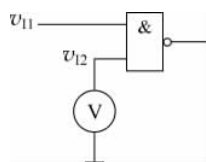


图 3-49 第 11 题的图

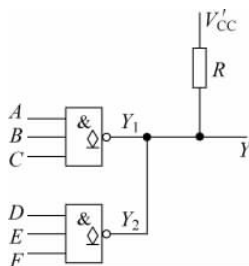


图 3-50 第 12 题的图

13. TTL 三态门组成如图 3-51(a)所示的电路,图 3-51(b)为输入  $A, B, C$  的电压波形。

(1) 写出电路输出  $Y$  的逻辑表达式。

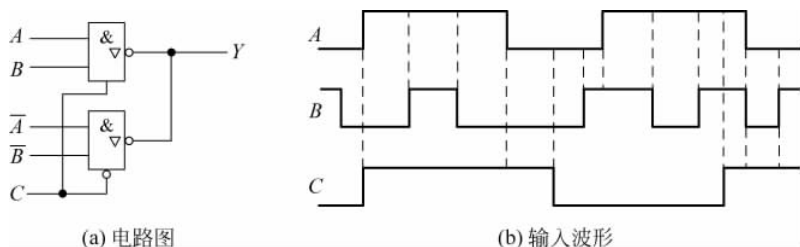


图 3-51 第 13 题的图

(2) 在图 3-51(b)所示输入波形时,画出  $Y$  的波形。

14. TTL 三态门组成如图 3-52(a)所示的电路,图 3-52(b)为输入信号的电压波形。

(1) 写出输出  $Y$  的逻辑表达式。

(2) 在如图 3-52(b)所示的输入波形时,画出输出  $Y$  的波形。

15. 图 3-53 所示各个门电路均为 74 系列 TTL 电路。指出各个门电路的输出是什么状态(高电平、低电平或高阻状态)。

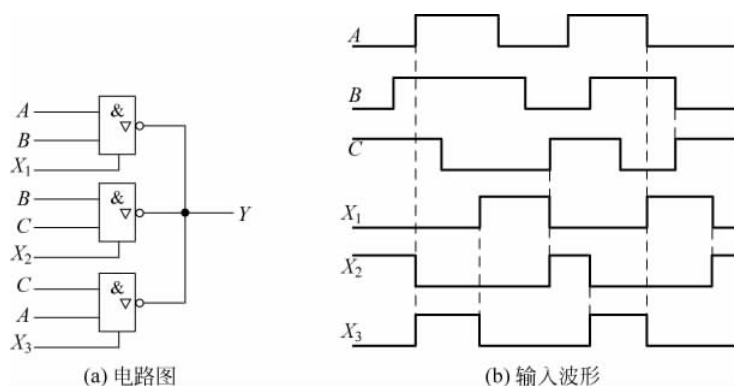


图 3-52 第 14 题的图

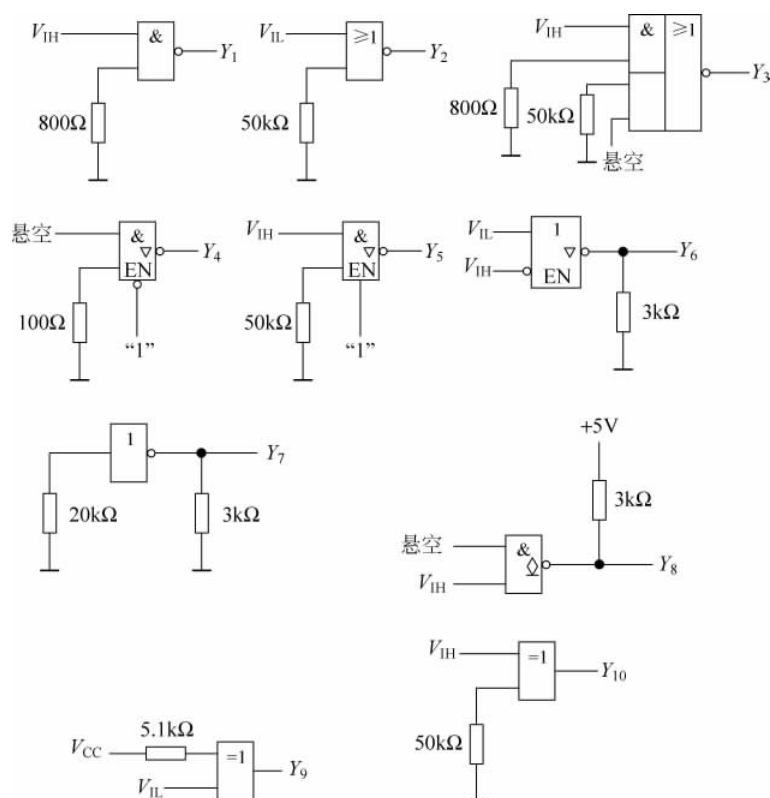


图 3-53 第 15 题的图

16. 图 3-54 所示各个门电路为 CMOS 电路。指出各个门电路的输出是什么状态(高电平、低电平或高阻状态)。

17. 在 CMOS 电路中有时采用如图 3-55 所示的方法扩展输入端。试分析电路的逻辑功能, 写出输出表达式, 并指出这种电路能否用于 TTL 门电路。假定电源电压  $V_{DD}=10V$ , 二极管的正向导通压降为  $0.7V$ 。

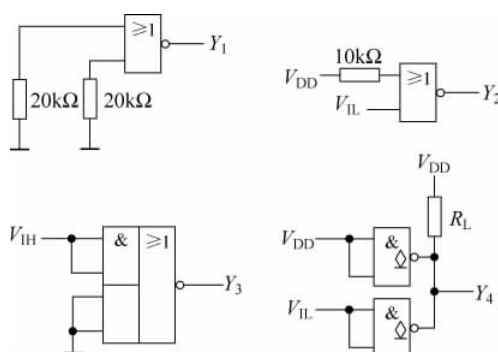


图 3-54 第 16 题的图

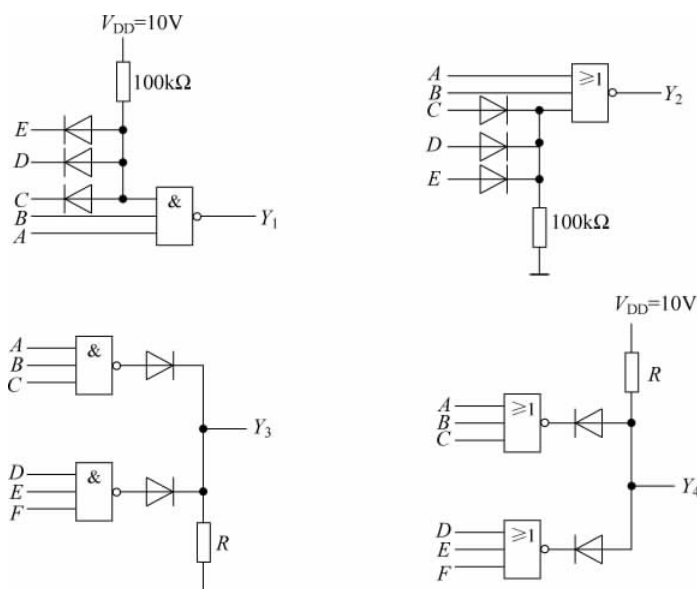


图 3-55 第 17 题的图

18. 图 3-56 所示的各个电路均为 TTL 门,各电路在实现给定的逻辑关系时是否有错误,若有试指出并加以改正。

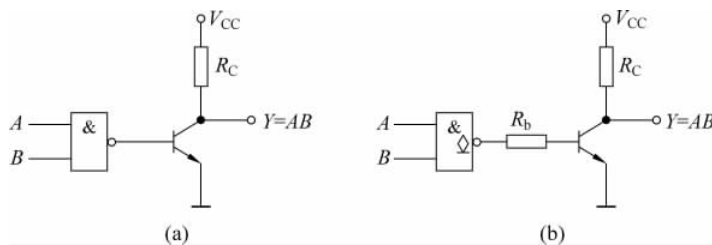


图 3-56 第 18 题的图

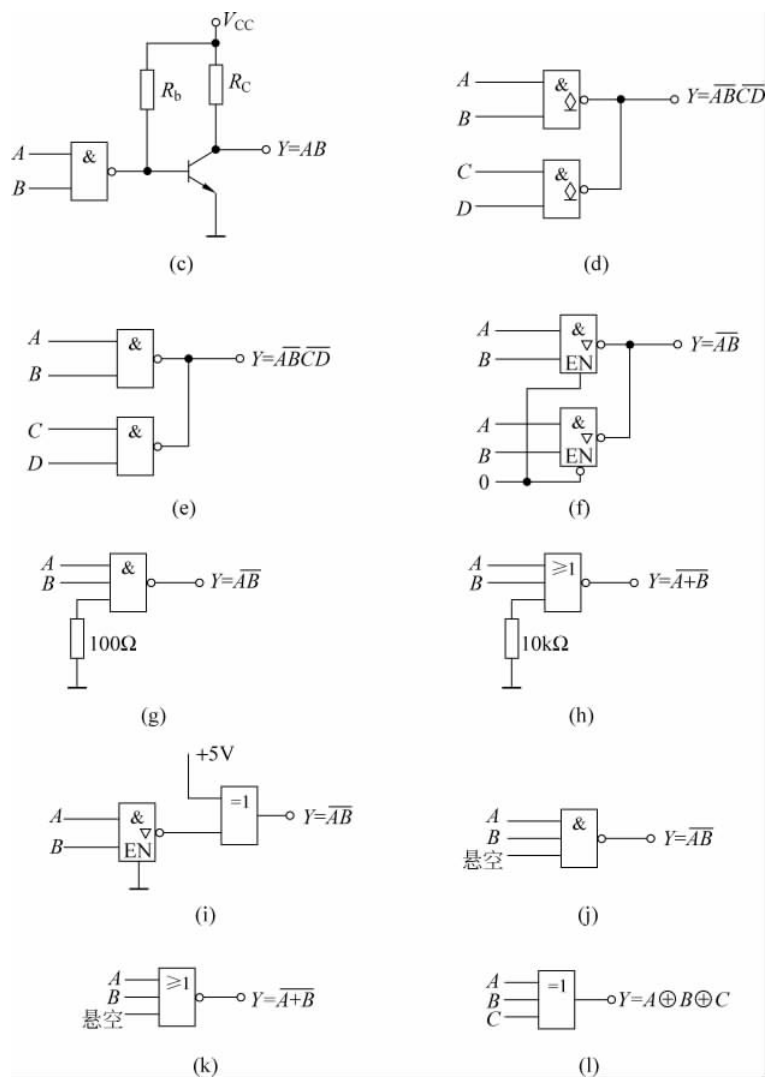


图 3-56 (续)

19. CMOS 电路如图 3-57 所示,分析电路的功能,写出电路输出 Y 的逻辑表达式。

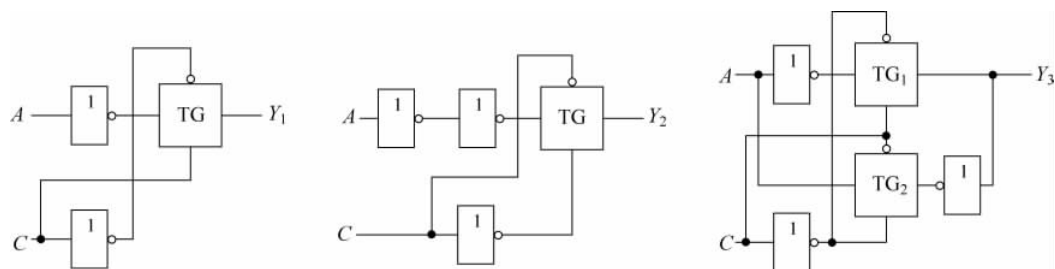


图 3-57 第 19 题的图