

第 5 章 物联网系统解决方案

嵌入式 ZigBee 应用解决方案的应用实现,目前主要采用一种系统级芯片 CC2530。该芯片是由 Chipcon 公司推出的,融合 RF 应用和 ZigBee 为一体的片上系统(SoC)解决方案,它支持 2.4GHz IEEE 802.15.4/ZigBee 协议。CC2530 根据芯片内置闪存的不同容量,为用户提供 4 个不同版本:CC2530F32/64/128/256,分别具有 32KB/64KB/128KB/256KB 的闪存。

CC2530 的主要特性如下^[42]。

- (1) 高性能、低功耗的增强型 8051 微控制器内核;
- (2) 内嵌适应 2.4GHz IEEE 802.15.4 的 RF 收发器;
- (3) 极高的接收灵敏度和抗干扰性能;
- (4) 32KB/64KB/128KB/256KB 的闪存;
- (5) 内部 8KB SRAM,具备在各种供电方式下的数据保持能力;
- (6) 具有强大的 5 通道 DMA 功能;
- (7) MAC 定时器,通用定时器(一个 16 位定时器,一个 8 位定时器);
- (8) 32kHz 睡眠定时器具有捕获功能;
- (9) 6mm×6mm 的 QFN40 封装;
- (10) 21 个通用 I/O 引脚;
- (11) AES 安全协处理器;
- (12) 具有 8 路 12 位的 ADC;
- (13) 具备两个支持多种串行通信协议的 USART;
- (14) 具有看门狗定时器;
- (15) 支持硬件调试;
- (16) 电源电压范围宽 2.0~3.6V;
- (17) 硬件支持避免冲突的载波侦听多路存取(CSMA-CA)。

5.1 CC2530 内部结构

如图 5-1 所示为 CC2530 系列设备的内部模块构造分布图。

从图 5-1 中可以看出,CC2530 内部主要由 CPU 与内存相关的模块;外部设备、时钟与电源管理相关的模块;无线电相关的模块三大类型的模块组成。

5.1.1 CPU 与内存

CC2530 作为一个具有增强型 8051 内核的无线单片机。它的存储器访问总线有三个,

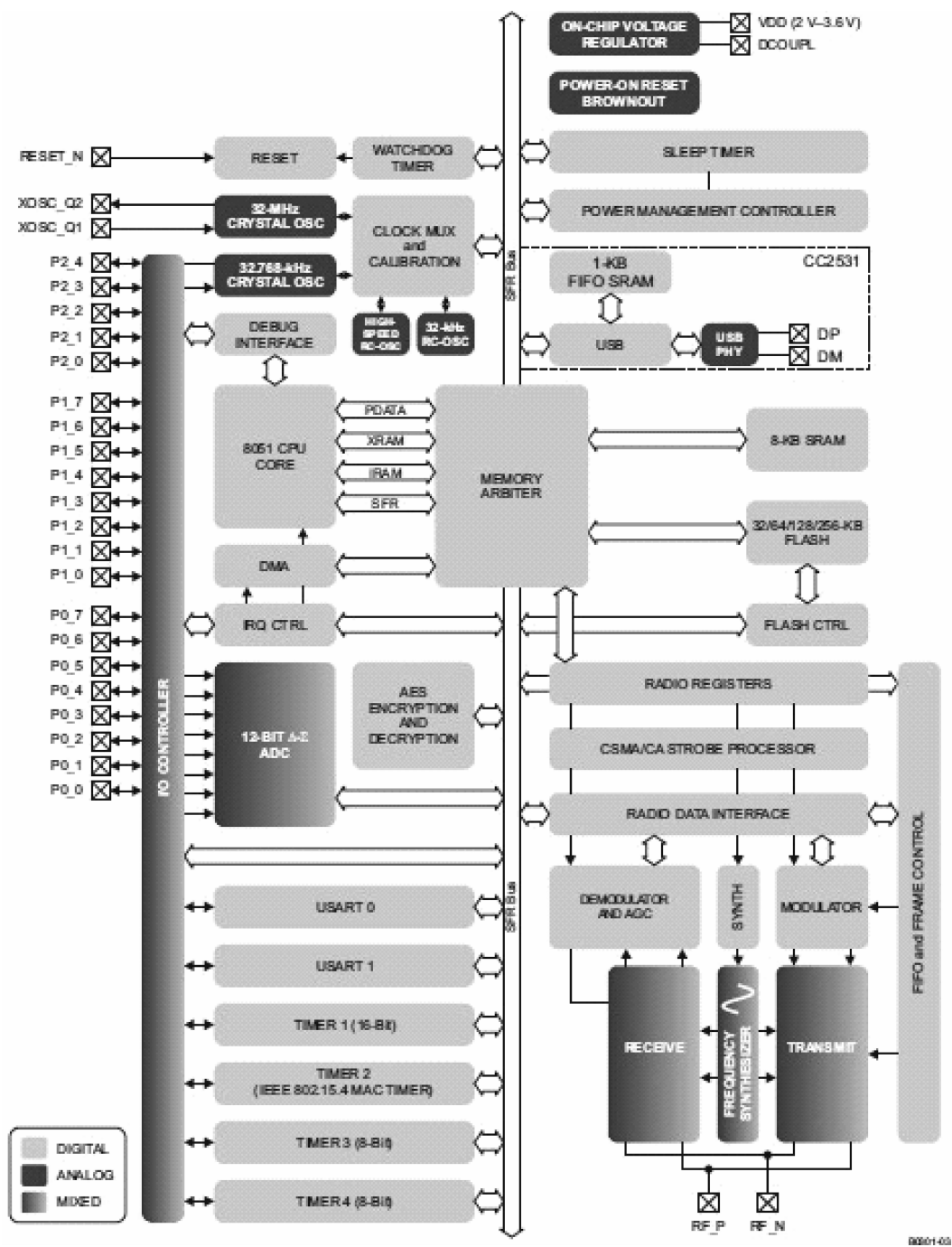


图 5-1 CC2530 框图

分别为：SFR、DATA 和 CODE/XDATA，以单周期访问 SFR、DATA 和主 SRAM。CC2530 设备还包括一个调试接口和一个扩展中断单元，其中拓展中断单元具有 18 位输入。

CC2530 具备 18 个中断源，这些中断源由 6 个中断组的中断控制器控制，在每个中断组按照中断优先级划分为 4 个等级。CC2530 芯片可通过中断的方式唤醒处于睡眠模式的设备，同时每当设备从空闲模式激活时，都将触发一个中断服务请求。

内存仲裁器负责执行仲裁,并确定同一时刻到同一个物理存储器的内存访问的顺序,内存仲裁器通过 SFR 总线,把 CPU 与 DMA 控制器、物理存储器,以及所有外部设备连接在一起。

CC2530 的 CPU 包含超低功耗的 8KB SRAM,尤其在设备数字部分掉电时,它仍然能够保留自身的数据内容。SRAM 中的数据可以映射到 DATA 存储空间和 XDATA 存储空间。

CC2530 具有内电路可编程的非易失性程序存储器,支持设备重新启动后直接读取之前应用程序中保存的网络数据而不需要经过完整的启动、网络寻找和加入过程。

此外,CC2530 提供一个电源管理功能,允许电池在不同的供电模式的低功耗应用运行。

5.1.2 外部设备

通过 CC2530 专有两线串行调试接口,可以对 CC2530 的闪存存储器进行擦除,并控制使能振荡器、停止和开始执行用户程序、执行 8051 内核提供的指令、设置代码断点,以及内核中全部指令的单步调试,从而实现内电路的调试与外部闪存的编程。

I/O 控制器负责管理、配置所有通用 I/O 引脚的输入、输出方式,是否需要上拉或下拉电阻。此外,CPU 还可以配置外部设备模块是否控制某个引脚或它们是否受软件控制,外部设备根据实际情况可配置至任意 I/O 引脚。

CC2530 提供改善系统实时效能的一个 5 通道 DMA 控制器,通过使用 DMA 控制器,现在 SFR 或 XREG 地址和闪存/SRAM 之间进行数据传输,获得高效率操作。

CC2530 包括定时器 1、定时器 2、定时器 3、定时器 4 和睡眠定时器,以及看门狗定时器。其中,定时器 1 为 16 位,定时器 2 即 MAC 定时器,定时器 3 和定时器 4 均为 8 位,它们均具有定时器/计数器/PWM 功能,并且定时器 1、定时器 3、定时器 4 分别包含一个可编程的分频器,具有 16 位和 8 位周期值以及可编程的计数器/捕获通道,每个计数器/捕获通道均可用作一个 PWM 输出或捕获输入信号边沿的时序。定时器 2(MAC 定时器)是专为支持 IEEE 802.15.4 MAC 协议而设计的,包含一个可配置的定时器周期和一个 8 位溢出计数器,用于保持、跟踪已经经过的周期数。睡眠定时器是 CC2530 包含的一个超低功耗的定时器,主要用作唤醒定时器使设备停止休眠跳出供电模式 1 或模式 2,但由于供电模式 3 下 CC2530 低功耗运行,数字内核关闭,所有振荡器都不工作,所以睡眠定时器不能在供电模式 3 下运行,其他供电模式下均可正常运行。

CC2530 提供模拟数字转换器 ADC 并且支持 7~12 位的分辨率,输入可以选择作为单端或差分。其中,参考电压可以由内部电压、AVDD 或是一个单端或差分外部信号提供。并且 ADC 还具有一个温度传感输入通道,使用时可以直接对相应的引脚和通道进行配置;同时,ADC 可以自动执行定期抽样或转换通道序列的程序。

CC2530 提供随机数发生器,产生的伪随机数可直接被 CPU 读取,用作产生安全随机密钥使用。

CC2530 在无线网络中传输数据的加密由 AES 协处理器来完成,允许用户使用带有 128 位密钥的 AES 算法加密和解密数据,并且支持 IEEE 802.15.4 MAC 安全、ZigBee 网络层和应用层要求的 AES 操作^[43]。

CC2530 具有全双工串行通信串口 USART 0 和 USART 1,每个串口被配置为一个 SPI

主/从或一个 UART,并且每个串口都配备有自己的高精度波特率发生器,因此可以使普通定时器空闲出来用作其他用途。

5.1.3 无线电

CC2530 支持兼容 IEEE 802.15.4 的 RF 无线收发器,其中 RF 内核为用户提供了一个 MCU 与无线设备之间的接口,实现命令的发送、读取等相关无线设备事件操作。

5.2 MCS51 单片机

Intel 公司在 MCS-48 系列的基础上,于 1980 年推出了 8 位 MCS-51 系列单片机,包括 8051、8751、8031、8951。CC2530 使用增强型 8051 内核,相比于标准的 8051,增强型 8051 内核指令执行速度更快,在结构上也有一定的改善,原因如下。

- (1) 每个指令周期是一个时钟,而标准的 8051 每个指令周期是 12 个时钟;
- (2) 消除了总线状态的浪费;
- (3) 第二个数据指针;
- (4) 一个扩展的 18 源中断单元。

5.3 CPU 存储器

8051 CPU 分配独立的程序存储空间和数据存储空间,包含 CODE、DATA、XDATA、SFR 这 4 个不同的存储空间,这些存储空间在结构上是独立的,但同时存在部分重叠,用以减轻 DMA 传输和调试的负担,具体如下^[44]。

CODE: 只读程序存储空间,存储空间地址为 64KB。

DATA: 数据存储空间,地址共 256B,可以直接或间接地被一个单周期 CPU 指令访问。

XDATA: 数据存储空间,地址共 64KB。CPU 访问 XDATA 存储器的指令周期为 CPU 访问 DATA 存储器的 4~5 倍,并且访问执行速度也慢于访问 DATA,因为通常需要 4、5 个 CPU 指令周期来访问。

SFR: 读/写的寄存器存储空间,可直接被 CPU 指令访问。

5.3.1 存储器映射

存储器映射不同于标准的 8051 内存映射,主要体现在以下两个方面^[44]。

第一, CODE 和 SFR 存储空间部分需要映射到 XDATA 存储空间,目的是为了保证 DMA 控制器可以访问全部物理存储空间,并且使得 DMA 可以在不同的 8051 存储空间之间进行数据传输。

第二, CODE 存储器空间映射使用两个备用机制。

第一个机制是在映射设备复位后默认闪存存储器单向映射到 CODE 存储空间。第二个

机制是 SARM 映射到如图 5-2 所示的区域,这样对于来自 SARM 的代码执行效率就得到很大提高。

在 XDATA 存储空间中,存在一个只读区域,即 XBANK,在此区域的任意闪存区都可被映射出来,保证整个闪存存储器都可以被访问到,用以存储另外的常量数据。

图 5-2~图 5-4 显示了不同的物理存储器映射到 CPU 存储空间的存储映射。可用的闪存区的编号取决于闪存大小的选项。

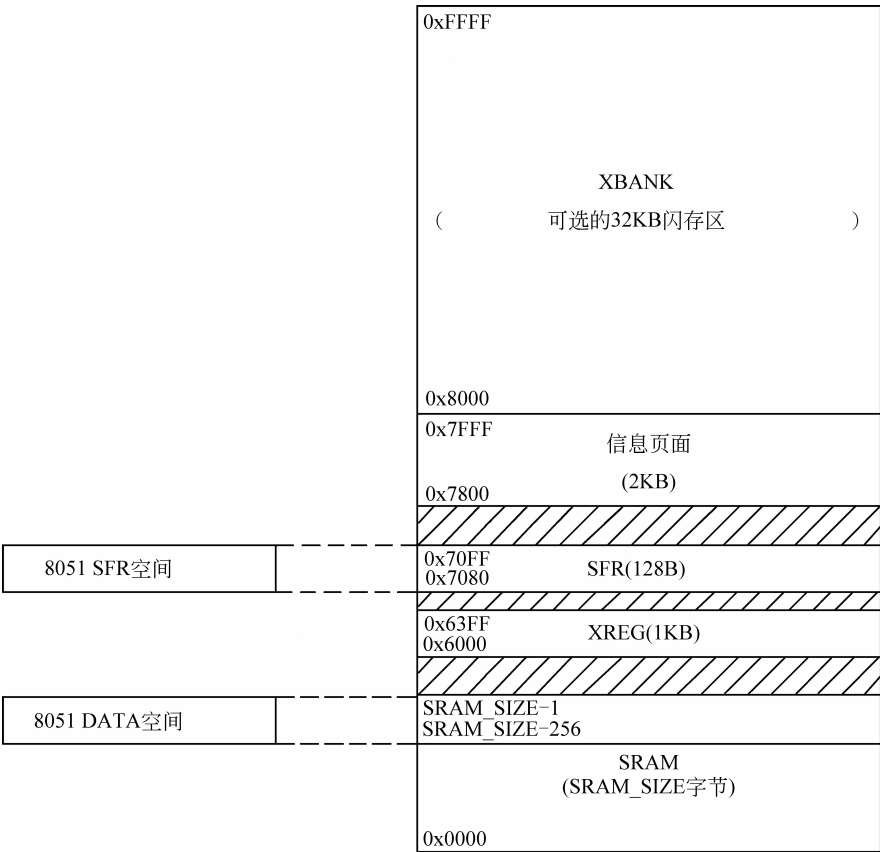


图 5-2 XDATA 存储空间 (显示 SFR 和 DATA 映射)

5.3.2 CPU 存储空间

XDATA 存储空间: XDATA 存储映射如图 5-2 所示。

0x0000 至(SRAM_SIZE-1)为 SRAM 映射到的地址范围。

XREG 区域映射到 1KB 地址区域 0x6000~0x63FF。这些寄存器有效地扩展了 SFR 寄存器空间使得一些外设寄存器、大多数无线电控制和数据寄存器均映射到这里。

SFR 寄存器映射到地址区域为 0x7080~0x70FF。

闪存信息页面映射到地址为 0x7800~0x7FFF 的只读区域,该区域包含相关设备的各种信息。

XDATA 存储空间 0x8000~0xFFFF 中较高的 32KB 存储空间是一个只读的闪存代码

区(XBANK)。



图 5-3 CODE 存储空间



图 5-4 用于运行来自 SRAM 的代码的
CODE 存储空间

CODE 存储空间中普通区域地址为 0x0000~0x7FFF;另一个区域地址为 0x8000~0xFFFF,如图 5-3 所示。普通区域总是映射到物理闪存存储器较低的 32KB(区 0)空间。另一区域则可以映射到任一可用的 32KB 闪存区(即从区 0 到区 7)。使用闪存区选择寄存器 FMAP 来选择闪存区,闪存区的编号取决于闪存的大小。

通过映射可用的 SRAM 到地址范围从 0x8000 到(0x8000+SRAM_SIZE-1)的较低区域,可使得 SRAM 执行程序。除当前所选择的区之外的其余部分仍映射到地址区域(0x8000+SRAM_SIZE)到 0xFFFF,并通过设置 MEMCTR.XMAP 位来使能这一功能。

DATA 存储空间: DATA 存储器的 8 位的地址区域映射到 SRAM 较高的 256B,即地址范围从(SRAM_SIZE-256)到(SRAM_SIZE-1)的区域。

SFR 存储空间: 通过 SFR 存储空间可以访问 128 个条目的硬件寄存器区域。SFR 寄存器还可以通过 XDATA 地址空间(地址范围是(0x7080~0x70FF))来进行访问。

5.3.3 物理存储器

RAM: RAM 分为两种,动态 RAM 和静态 RAM。动态 RAM(DRAM)的内容在一定时间之后自动消失,所以为了保存数据必须在内容丢失之前进行周期性刷新操作。而对于静态 RAM(SRAM)只要电源存在的情况下其内容就不会自动消失。静态 RAM 比动态 RAM 速度快。CC2530 设备采用静态 RAM。

闪存存储器由一组 2KB 的页面组成,主要用于保存程序和常量,闪存存储器具有以下功能。

- (1) 页面大小: 2KB。

- (2) 闪存页面擦除时间: 20ms。
- (3) 闪存芯片(批量)擦除时间: 20ms。
- (4) 闪存写时间(4B): 20 μ s。
- (5) 数据保留(室温下): 100 年。
- (6) 编程/擦除次数: 20 000 次。

在闪存存储器的组成的每一个页面中都包含一个锁位用于保护闪存存储器保存的内容不被随意擦除或读出。对闪存存储器进行内容写入和擦除由闪存控制器完成。

CPU 通过一个缓存取出指令从闪存存储器中读取指令和常量,在此过程中 CPU 首先将指令和常量数据缓存,进而减少访问闪存存储器的总时间从而减少功率消耗。

信息页面是一个 2KB 的只读区域,用来存储设备信息。其他信息中它包括来自 TI 地址范围的一个唯一的 IEEE 地址。这个地址的最低位优先存储在 XDATA 地址 0x780C。

SFR 寄存器: 特殊功能寄存器(SFR)负责控制 CPU 内核或外设的一些功能。表 5-1 显示了设备中所有 SFR 的地址。8051 内部 SFR 以斜体显示,而其他 SFR 是具体于设备的 SFR。

表 5-1 SFR 概览

寄存器名称	SFR 地址	模块	描 述
ADCCON1	0xB4	ADC	ADC 控制 1
ADCCON2	0xB5	ADC	ADC 控制 2
ADCCON3	0xB6	ADC	ADC 控制 3
ADCL	0xBA	ADC	ADC 数据低字节
ADCH	0xBB	ADC	ADC 数据高字节
RNDL	0xBC	ADC	随机数发生器数据低字节
RNDH	0xBD	ADC	随机数发生器数据高字节
ENCDI	0xB1	AES	加密/解密输入数据
ENCDO	0xB2	AES	加密/解密输出数据
ENCCS	0xB3	AES	加密/解密控制和状态
<i>P0</i>	<i>0x80</i>	<i>CPU</i>	端口 0。可从 XDATA(0x7080)中读出
<i>SP</i>	<i>0x81</i>	<i>CPU</i>	栈指针
<i>DPL0</i>	<i>0x82</i>	<i>CPU</i>	数据指针 0 低字节
<i>DPH0</i>	<i>0x83</i>	<i>CPU</i>	数据指针 0 高字节
<i>DPL1</i>	<i>0x84</i>	<i>CPU</i>	数据指针 1 低字节
<i>DPH1</i>	<i>0x85</i>	<i>CPU</i>	数据指针 1 高字节
<i>PCON</i>	<i>0x87</i>	<i>CPU</i>	供电模式控制
<i>TCON</i>	<i>0x88</i>	<i>CPU</i>	中断标志
<i>P1</i>	<i>0x90</i>	<i>CPU</i>	端口 1。可从 XDATA(0x7090)读出
<i>DPS</i>	<i>0x92</i>	<i>CPU</i>	数据指针选择

续表

寄存器名称	SFR 地址	模块	描 述
<i>S0CON</i>	<i>0x98</i>	<i>CPU</i>	中断标志 2
<i>IEN2</i>	<i>0x9A</i>	<i>CPU</i>	中断使能 2
<i>SI0CON</i>	<i>0x9B</i>	<i>CPU</i>	中断标志 3
<i>P2</i>	<i>0xA0</i>	<i>CPU</i>	端口 2。可从 <i>XDATA(0x70A0)</i> 读出
<i>IEN0</i>	<i>0xA8</i>	<i>CPU</i>	中断使能 0
<i>IP0</i>	<i>0xA9</i>	<i>CPU</i>	中断优先级 0
<i>IEN1</i>	<i>0xB8</i>	<i>CPU</i>	中断使能 1
<i>IP1</i>	<i>0xB9</i>	<i>CPU</i>	中断优先级 1
<i>IRCON</i>	<i>0xC0</i>	<i>CPU</i>	中断标志 4
<i>PSW</i>	<i>0xD0</i>	<i>CPU</i>	程序状态字
<i>ACC</i>	<i>0xE0</i>	<i>CPU</i>	累加器
<i>IRCON2</i>	<i>0xE8</i>	<i>CPU</i>	中断标志 5
<i>B</i>	<i>0xF0</i>	<i>CPU</i>	<i>B</i> 寄存器
<i>DMAIRQ</i>	<i>0xD1</i>	<i>DMA</i>	DMA 中断标志
<i>DMA1CFGL</i>	<i>0xD2</i>	<i>DMA</i>	DMA 通道 1~4 配置地址低字节
<i>DMA1CFGH</i>	<i>0xD3</i>	<i>DMA</i>	DMA 通道 1~4 配置地址高字节
<i>DMA0CFGL</i>	<i>0xD4</i>	<i>DMA</i>	DMA 通道 0 配置地址低字节
<i>DMA0CFGH</i>	<i>0xD5</i>	<i>DMA</i>	DMA 通道 0 配置地址高字节
<i>DMAARM</i>	<i>0xD6</i>	<i>DMA</i>	DMA 通道准备工作
<i>DMAREQ</i>	<i>0xD7</i>	<i>DMA</i>	DMA 通道开始请求和状态
—	<i>0xAA</i>	—	保留
—	<i>0x8E</i>	—	保留
—	<i>0x99</i>	—	保留
—	<i>0xB0</i>	—	保留
—	<i>0xB7</i>	—	保留
—	<i>0xC8</i>	—	保留
<i>P0IFG</i>	<i>0x89</i>	<i>IOC</i>	端口 0 中断状态标志
<i>P1IFG</i>	<i>0x8A</i>	<i>IOC</i>	端口 1 中断状态标志
<i>P2IFG</i>	<i>0x8B</i>	<i>IOC</i>	端口 2 中断状态标志
<i>PICTL</i>	<i>0x8C</i>	<i>IOC</i>	端口引脚中断屏蔽和边沿
<i>P0IEN</i>	<i>0xAB</i>	<i>IOC</i>	端口 0 中断屏蔽
<i>P1IEN</i>	<i>0x8D</i>	<i>IOC</i>	端口 1 中断屏蔽

续表

寄存器名称	SFR 地址	模块	描 述
P2IEN	0xAC	IOC	端口 2 中断屏蔽
P0INP	0x8F	IOC	端口 0 输入模式
PERCFG	0xF1	IOC	外设 I/O 控制
APCFG	0xF2	IOC	模拟外设 I/O 配置
P0SEL	0xF3	IOC	端口 0 功能选择
P1SEL	0xF4	IOC	端口 1 功能选择
P2SEL	0xF5	IOC	端口 2 功能选择
P1INP	0xF6	IOC	端口 1 输入模式
P2INP	0xF7	IOC	端口 2 输入模式
P0DIR	0xFD	IOC	端口 0 方向
P1DIR	0xFE	IOC	端口 1 方向
P2DIR	0xFF	IOC	端口 2 方向
PMUX	0xAE	IOC	掉电信号 Mux
MEMCTR	0xC7	MEMORY	内存系统控制
FMAP	0x9F	MEMORY	闪存存储器区映射
RFIRQF1	0x91	RF	RF 中断标志 MSB
RFD	0xD9	RF	RF 数据
RFST	0xE1	RF	RF 命令选通
RFIRQF0	0xE9	RF	RF 中断标志 LSB
RFERRF	0xBF	RF	RF 错误中断标志
ST0	0x95	ST	睡眠定时器 0
ST1	0x96	ST	睡眠定时器 1
ST2	0x97	ST	睡眠定时器 2
STLOAD	0xAD	ST	睡眠定时器负载状态
SLEEP_CMD	0xBE	PMC	睡眠模式控制命令
SLEEPSTA	0x9D	PMC	睡眠模式控制状态
CLKCONCMD	0xC6	PMC	时钟控制命令
CLKCONSTA	0x9E	PMC	时钟控制状态
T1CC0L	0xDA	定时器 1	定时器 1 通道 0 捕获/比较值低字节
T1CC0H	0xDB	定时器 1	定时器 1 通道 0 捕获/比较值高字节
T1CC1L	0xDC	定时器 1	定时器 1 通道 1 捕获/比较值低字节
T1CC1H	0xDD	定时器 1	定时器 1 通道 1 捕获/比较值高字节

续表

寄存器名称	SFR 地址	模块	描 述
T1CC2L	0xDE	定时器 1	定时器 1 通道 2 捕获/比较值低字节
T1CC2H	0xDF	定时器 1	定时器 1 通道 2 捕获/比较值高字节
T1CNTL	0xE2	定时器 1	定时器 1 计数器低字节
T1CNTH	0xE3	定时器 1	定时器 1 计数器高字节
T1CTL	0xE4	定时器 1	定时器 1 控制和状态
T1CCTL0	0xE5	定时器 1	定时器 1 通道 0 捕获/比较控制
T1CCTL1	0xE6	定时器 1	定时器 1 通道 1 捕获/比较控制
T1CCTL2	0xE7	定时器 1	定时器 1 通道 2 捕获/比较控制
T1STAT	0xAF	定时器 1	定时器 1 状态
T2CTRL	0x94	定时器 2	定时器 2 控制
T2EVTCFG	0x9C	定时器 2	定时器 2 事件配置
T2IRQF	0xA1	定时器 2	定时器 2 中断标志
T2M0	0xA2	定时器 2	定时器 2 复用寄存器 0
T2M1	0xA3	定时器 2	定时器 2 复用寄存器 1
T2MOVFO	0xA4	定时器 2	定时器 2 复用溢出寄存器 0
T2MOVFI	0xA5	定时器 2	定时器 2 复用溢出寄存器 1
T2MOVFI2	0xA6	定时器 2	定时器 2 复用溢出寄存器 2
T2IRQM	0xA7	定时器 2	定时器 2 中断屏蔽
T2MSEL	0xC3	定时器 2	定时器 2 复用选择
T3CNT	0xCA	定时器 3	定时器 3 计数器
T3CTL	0xCB	定时器 3	定时器 3 控制
T3CCTL0	0xCC	定时器 3	定时器 3 通道 0 比较控制
T3CC0	0xCD	定时器 3	定时器 3 通道 0 比较值
T3CCTL1	0xCE	定时器 3	定时器 3 通道 1 比较控制
T3CC1	0xCF	定时器 3	定时器 3 通道 1 比较值
T4CNT	0xEA	定时器 4	定时器 4 计数器
T4CTL	0xEB	定时器 4	定时器 4 控制
T4CCTL0	0xEC	定时器 4	定时器 4 通道 0 比较控制
T4CC0	0xED	定时器 4	定时器 4 通道 0 比较值
T4CCTL1	0xEE	定时器 4	定时器 4 通道 1 比较控制
T4CC1	0xEF	定时器 4	定时器 4 通道 1 比较值
TIMIF	0xD8	TMINT	定时器 1/3/4 联合中断屏蔽/标志