

# 第 3 章 数字电子学基础实验

## 3.1 TTL、CMOS 门电路逻辑功能测试

### 3.1.1 实验目的

- (1) 掌握数字电路实验箱及示波器的使用方法。
- (2) 掌握门电路的逻辑功能测试方法。
- (3) 掌握 TTL 门电路的使用规则。

### 3.1.2 实验设备与材料

- (1) 数字万用表一台。
- (2) 数字电路实验箱一套。
- (3) 元器件：
  - 74LS20 二 4 输入与非门一片；
  - 74LS00 四 2 输入与非门二片；
  - 74LS86 四 2 输入异或门一片。

### 3.1.3 实验准备

- (1) 熟悉门电路的工作原理及其相应的逻辑表达式。
- (2) 熟悉 74LS20、74LS00 集成门电路的引脚排列位置及各引脚的用途。
- (3) 熟悉数字电路实验箱的使用。

### 3.1.4 实验原理

门电路按电路结构可分为 TTL 电路产品系列和 CMOS 电路产品系列。TTL 门电路应用十分普遍,其主要特点是发展早,生产工艺成熟,是中小规模集成电路的主流电路产品,我国相继生产的产品有 74、74H、74S、74LS 四个系列。CMOS 门是构成各种 CMOS 电路的基本单元,发展十分迅速。CMOS 集成电路的主要特点是功耗低、电源电压范围宽、抗干扰能力强、逻辑摆幅大、输入电阻高、集成度高、温度稳定性好等特点。

本实验仿真电路采用 CMOS 门电路,测试电路采用 TTL 门电路。

74LS20 集成芯片内含有两个相互独立的与非门,每个与非门有 4 个输入端;74LS00 集成芯片内含有 4 个相互独立的与非门,每个与非门有两个输入端;74LS86 集成芯片内含有 4 个相互独立的异或门,每个异或门有两个输入端。集成芯片 74LS00 和 74LS20 实现与非逻辑功能,即当输入端中有一个或一个以上是低电平时,输出就为高电平;只有当输入端全部为高电平时,输出端才是低电平。集成芯片 74LS86 实现异或逻辑功能,即当

输入端电平相同时输出为低电平,输入端电平不相同同时输出为高电平。

### 3.1.5 Multisim 仿真实验内容

在 Multisim 10 平台上构建由双 3 输入端或非门 4000BD\_5V(CMOS 器件)组成的组合逻辑电路,如图 3.1 所示。试先分析电路的逻辑功能,写出逻辑电路的逻辑表达式。然后使用 Multisim 10 对电路进行仿真,通过逻辑转换仪对电路的逻辑功能进行分析,并与理论分析相比较。

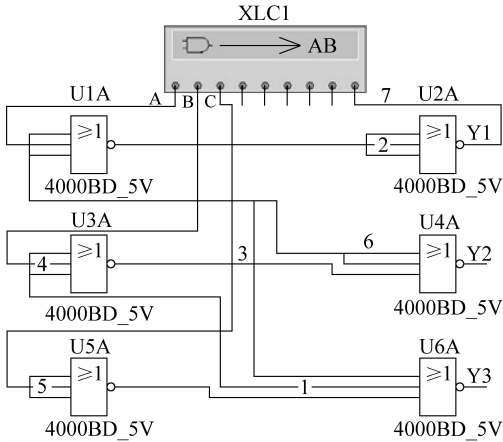


图 3.1 4000BD 门电路构成的组合逻辑电路

### 3.1.6 实验内容与步骤

#### 1. 测试 74LS20 门电路的逻辑功能

(1) 在实验箱合适的位置选取一个 14P(引脚)的插座,插好 74LS20,按图 3.2 连接电路。输入端 A、B、C、D 按表 3.1 输入逻辑电平,输出端 Y 接发光二极管,观察二极管的发光状态,用数字万用表测量输出电压。

(2) 将测量结果填入表 3.1 中。

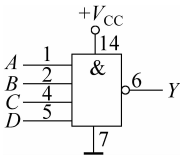


图 3.2 74LS20 门电路的逻辑功能测试电路

#### 2. 测试 74LS00 门电路的逻辑功能

(1) 在实验箱合适的位置选取一个 14P 的插座,并插好 74LS00,按图 3.3 连接电路、输入端 A、B、C、D 按表 3.2 输入逻辑电平,输出端 Y<sub>1</sub>、Y<sub>2</sub>、Y<sub>3</sub> 接电平显示发光二极管,并用数字万用表测量输出电压。

表 3.1 74LS20 门电路的逻辑功能测试结果

| 输 入 |   |   |   | 输 出 |        |
|-----|---|---|---|-----|--------|
| A   | B | C | D | Y   | Y 电压/V |
| H   | H | H | H |     |        |
| L   | H | H | H |     |        |
| L   | L | H | H |     |        |
| L   | L | L | H |     |        |
| L   | L | L | L |     |        |

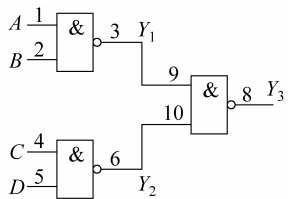


图 3.3 74LS00 门电路的逻辑功能测试电路

(2) 将测量结果填入表 3.2 中。

表 3.2 74LS00 门电路的逻辑功能测试结果

| 输 入 |   |   |   | 输 出            |                |                |                     |
|-----|---|---|---|----------------|----------------|----------------|---------------------|
| A   | B | C | D | Y <sub>1</sub> | Y <sub>2</sub> | Y <sub>3</sub> | Y <sub>3</sub> 电压/V |
| L   | L | L | L |                |                |                |                     |
| H   | L | L | L |                |                |                |                     |
| H   | H | L | L |                |                |                |                     |
| H   | H | H | L |                |                |                |                     |
| H   | H | H | H |                |                |                |                     |
| L   | H | L | H |                |                |                |                     |

3. 测试 74LS86 门电路的逻辑功能

(1) 在实验箱合适的位置选取一个 14P 的插座,并插好 74LS86,按图 3.4 连接电路、输入端 A、B、C、D 按表 3.3 输入逻辑电平,输出端 Y<sub>1</sub>、Y<sub>2</sub>、Y<sub>3</sub> 接电平显示发光二极管,观察发光状态并用数字万用表测量输出电压。

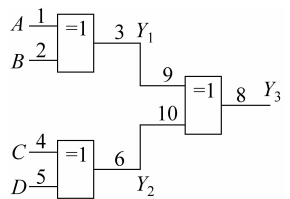


图 3.4 74LS86 门电路的逻辑功能测试电路

(2) 将测量结果填入表 3.3 中。

表 3.3 74LS86 门电路的逻辑功能测试结果

| 输 入 |   |   |   | 输 出            |                |                |                     |
|-----|---|---|---|----------------|----------------|----------------|---------------------|
| A   | B | C | D | Y <sub>1</sub> | Y <sub>2</sub> | Y <sub>3</sub> | Y <sub>3</sub> 电压/V |
| L   | L | L | L |                |                |                |                     |
| H   | L | L | L |                |                |                |                     |
| H   | H | L | L |                |                |                |                     |
| H   | H | H | L |                |                |                |                     |
| H   | H | H | H |                |                |                |                     |
| L   | H | L | H |                |                |                |                     |

4. 用 74LS00 构成其他门电路并测试其逻辑功能

1) 用 74LS00 构成异或门

将 74LS00 按图 3.5 连接电路。

将输入按表 3.4 接逻辑电平开关,将逻辑输出结果填入表 3.4 中,写出该电路的逻辑表达式。

2) 用 74LS00 构成或非门

将或非门逻辑表达式转换为与非门逻辑表达式,并画出逻辑电路图,按逻辑电路连线并进行测试,将结果填入表 3.5 中。

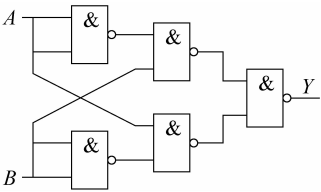


图 3.5 74LS00 构成异或门

表 3.4 74LS00 构成异或门测试结果

| 输 入 |   | 输 出 |
|-----|---|-----|
| A   | B | Y   |
| L   | L |     |
| L   | H |     |
| H   | L |     |
| H   | H |     |

表 3.5 74LS00 构成或非门测试结果

| 输 入 |   | 输 出 |
|-----|---|-----|
| A   | B | Y   |
| L   | L |     |
| L   | H |     |
| H   | L |     |
| H   | H |     |

### 3.1.7 实验报告

- (1) 整理各实验数据并对结果进行分析。
- (2) 画出用 74LS00 构成或非门要求的逻辑电路图。
- (3) 总结门电路的使用特点。

### 3.1.8 思考题

- (1) TTL、CMOS 门电路的多余输入端能否悬空？为什么？
- (2) 怎样判断门电路逻辑功能是否正常？
- (3) 与非门和或非门是否可以构成反相器？为什么？

## 3.2 组合逻辑电路分析

### 3.2.1 实验目的

- (1) 掌握组合逻辑电路的分析方法与功能测试方法。
- (2) 验证半加器和全加器的逻辑功能。

### 3.2.2 实验设备与材料

- (1) 数字电路实验箱一套。
- (2) 元器件：
  - 74LS00 四 2 输入与非门三片；
  - 74LS86 四 2 输入异或门一片；
  - 74LS54 四组输入与或非门一片。

### 3.2.3 实验准备

- (1) 掌握二进制数的算术运算规则。
- (2) 熟悉 74LS00、74LS86、74LS54 集成门电路的引脚排列位置及各引脚用途。
- (3) 熟悉半加器和全加器的逻辑表达式。
- (4) 熟悉用与非门、异或门和与或非门构成半加器和全加器的工作原理。

### 3.2.4 实验原理

#### 1. 组合逻辑电路的分析方法

组合逻辑电路分析的目的是为了确定电路的逻辑功能，或者是为了变换电路的结构形式，以便采用其他门电路或中、大规模集成电路实现。

组合逻辑电路的分析方法如下。

- (1) 根据给定的逻辑电路图逐级写出各门电路的输出逻辑函数，最终写出输入与输出的逻辑函数表达式。

- (2) 将所得逻辑函数进行化简,当变量较少时可以采用图形法或公式法,当逻辑变量较多时一般采用公式法,以此得到输出函数的最简与或表达式。
- (3) 根据最简逻辑表达式列出输出函数的真值表。
- (4) 说明给定电路的逻辑功能。

## 2. 半加器和全加器的工作原理

### 1) 半加器的工作原理

半加器实现的逻辑功能是两个 1 位二进制数相加,半加运算规则共为 3 种情况:  $0+0=0$ ;  $0+1=1$ ;  $1+1=10$ 。可见,半加结果有两位输出,一位是半加和,另一位是半加进位。

### 2) 全加器的工作原理

全加器实现的逻辑功能是两个同位的加数和来自低位的进位三者相加,全加运算规则共为 4 种情况:  $0+0+0=0$ ;  $0+0+1=1$ ;  $0+1+1=10$ ;  $1+1+1=11$ 。可见,全加结果有两位输出,一位是全加和,另一位是全加进位。

## 3.2.5 Multisim 仿真实验内容

在 Multisim 10 平台上构建由 74LS138 和 74LS20 构成的二进制数全加器。如图 3.6 所示,试先分析电路的逻辑功能,写出逻辑电路的逻辑表达式。使用 Multisim 10 对电路进行仿真,并与理论分析相比较。

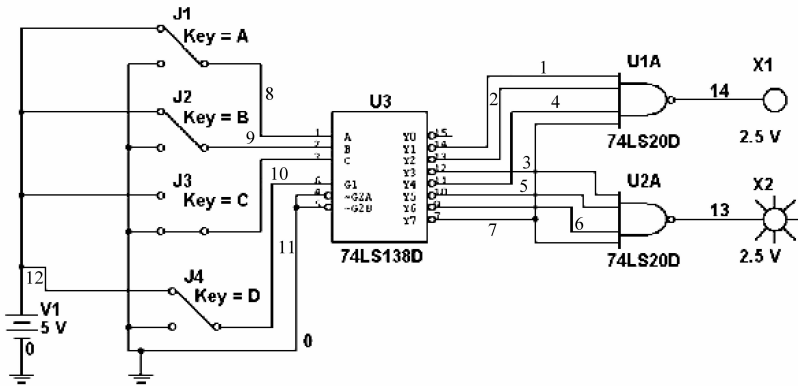


图 3.6 74LS138 和 74LS20 构成的全加器逻辑电路(仿真电路)

## 3.2.6 实验内容与步骤

### 1. 74LS00 构成的组合逻辑电路功能测试

- (1) 用两片 74LS00 组成图 3.7 所示的逻辑电路,自己在图中注明芯片编号及各引脚的序号。
- (2) 按表 3.6 要求,改变 A、B、C 的逻辑电平开关状态,记录结果并依据表 3.6 写出逻辑表达式。

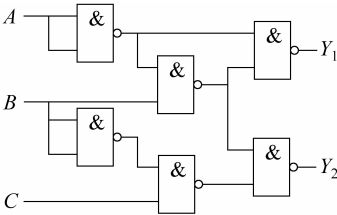


图 3.7 74LS00 构成的组合逻辑电路

表 3.6 与非门构成组合逻辑电路测试结果

| 输 入 |   |   | 输 出            |                |
|-----|---|---|----------------|----------------|
| A   | B | C | Y <sub>1</sub> | Y <sub>2</sub> |
| 0   | 0 | 0 |                |                |
| 0   | 0 | 1 |                |                |
| 0   | 1 | 1 |                |                |
| 1   | 1 | 1 |                |                |
| 1   | 1 | 0 |                |                |
| 1   | 0 | 0 |                |                |
| 1   | 0 | 1 |                |                |
| 0   | 1 | 0 |                |                |

(3) 根据图 3.7 逻辑电路图写出逻辑表达式,进行化简并与(2)中逻辑表达式进行比较。

2. 用 74LS86 和 74LS00 组成的半加器的逻辑功能测试

根据半加器的逻辑表达式可知,半加器本位和 Y 是 A、B 的异或,而向高位的进位 Z 是 A、B 相与,故半加器可用一个集成异或门和两个与非门组成,逻辑电路图如图 3.8 所示。

(1) 写出图 3.8 逻辑电路的 Y、Z 的逻辑表达式。

(2) 在实验箱上用异或门和与非门接成图 3.8 电路,输入端 A、B 接逻辑电平开关,输出端 Y、Z 接电平显示发光二极管。

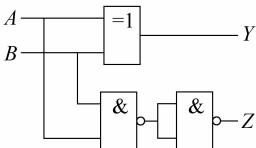


图 3.8 用 74LS86 和 74LS00 组成的半加器的逻辑电路

(3) 按表 3.7 要求改变 A、B 状态,填表记录结果。

表 3.7 用 74LS86 和 74LS00 组成的半加器的测试结果

| 输 入 |   | 输 出 |   |
|-----|---|-----|---|
| A   | B | Y   | Z |
| 0   | 0 |     |   |
| 1   | 0 |     |   |
| 0   | 1 |     |   |
| 1   | 1 |     |   |

3. 用 74LS00 组成的全加器的逻辑功能测试

按原理图 3.9 选择与非门接线并进行测试,将测试结果填入表 3.8 中。

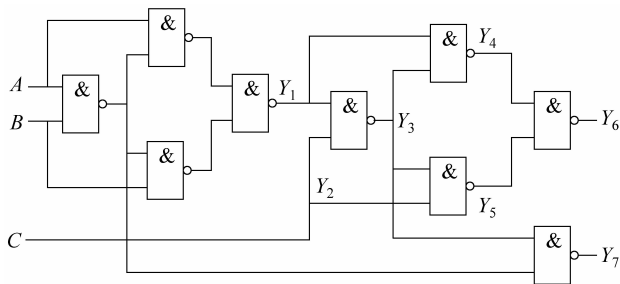


图 3.9 74LS00 构成全加器逻辑电路图

表 3.8 74LS00 构成全加器测试结果

| A | B | C | Y <sub>1</sub> | Y <sub>2</sub> | Y <sub>3</sub> | Y <sub>4</sub> | Y <sub>5</sub> | Y <sub>6</sub> | Y <sub>7</sub> |
|---|---|---|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 0 | 0 | 0 |                |                |                |                |                |                |                |
| 0 | 1 | 0 |                |                |                |                |                |                |                |
| 1 | 0 | 0 |                |                |                |                |                |                |                |
| 1 | 1 | 0 |                |                |                |                |                |                |                |
| 0 | 0 | 1 |                |                |                |                |                |                |                |
| 0 | 1 | 1 |                |                |                |                |                |                |                |
| 1 | 0 | 1 |                |                |                |                |                |                |                |
| 1 | 1 | 1 |                |                |                |                |                |                |                |

#### 4. 用 74LS54、74LS86 和 74LS00 组成的全加器的逻辑功能测试

全加器可以用两个半加器和两个与门、一个或门组成，在实验中常用一个双异或门、一个与或非门和一个与非门实现。

- (1) 画出用异或门、与或非门和与非门实现全加器的逻辑电路图，并写出逻辑表达式。
- (2) 用 74LS54、74LS86 和 74LS00 按(1)画出的全加器的逻辑电路图连线。
- (3) 将输入端按表 3.8 输入相应的逻辑电平，并将测试结果填入表 3.9 中。

表 3.9 74LS54、74LS86 和 74LS00 组成的全加器的逻辑功能测试结果

| 输 入 |   |   | 输 出 |   |
|-----|---|---|-----|---|
| A   | B | C | S   | C |
| 0   | 0 | 0 |     |   |
| 0   | 1 | 0 |     |   |
| 1   | 0 | 0 |     |   |
| 1   | 1 | 0 |     |   |
| 0   | 0 | 1 |     |   |
| 0   | 1 | 1 |     |   |
| 1   | 0 | 1 |     |   |
| 1   | 1 | 1 |     |   |

### 3.2.7 实验报告

- (1) 整理实验结果,填入相应表中并对实验结果进行分析。
- (2) 总结用实验来分析组合逻辑电路逻辑功能的方法。

### 3.2.8 思考题

- (1) 组合逻辑电路的功能特点和电路结构特点是什么?
- (2) 组合逻辑电路的功能表示方法有哪些?

## 3.3 触 发 器

### 3.3.1 实验目的

- (1) 掌握基本 RS、D、JK 触发器的逻辑功能测试方法。
- (2) 掌握触发器集成芯片的正确使用方法。

### 3.3.2 实验设备与材料

- (1) 双踪示波器一台。
- (2) 数字电路实验箱一套。
- (3) 元器件:
  - 74LS00 四 2 输入与非门一片;
  - 74LS74 二上升沿 D 触发器一片;
  - 74LS112 二下降沿 JK 触发器一片。

### 3.3.3 实验准备

- (1) 熟悉 74LS00、74LS74、74LS112 集成门电路和触发器的引脚排列位置及各引脚的用途。
- (2) 熟悉 RS、D、JK 触发器的工作原理、逻辑功能及特性方程。

### 3.3.4 实验原理

触发器具有两个稳定的状态,用于表示逻辑状态 1 和 0,在一定的触发信号作用下,可以从一个稳定状态翻转到另一个稳定状态,触发器是一个具有接收、保存和输出功能的二进制信息存储器件,是构成各种时序逻辑电路的基本逻辑单元。按照电路结构不同,可以分为基本触发器、同步触发器和边沿触发器。

(1) 基本触发器:在这种电路中,输入信号直接加到输入端,它是触发器的基本电路结构形式,是构成其他类型触发器的基础。

(2) 同步触发器:在这种电路中,输入信号经过控制门输入,而管理控制门的时钟脉冲的 CP 信号,只有在 CP 信号到来时,输入信号才能进入触发器,否则就会拒之门外,对

电路不起作用。

(3) 边沿触发器：在这种触发器中，只有在时钟脉冲的上升沿或下降沿时刻，输入信号才能被接收，虽然边沿触发器有好几种不同的电路结构形式，但边沿控制却是它们共同的特点。

按逻辑功能触发器还可以分为 RS 触发器、JK 触发器、D 触发器等。

(1) RS 触发器具有置 0、置 1 和保持功能，其特性方程为  $Q^{n+1} = S + \bar{R}Q^n$ ，约束条件为  $RS=0$ 。

(2) D 触发器的输出状态在 CP 脉冲的边沿时刻更新，其特性方程为  $Q^{n+1} = D$ 。

(3) JK 触发器，具有置 0、置 1、保持和翻转的功能，其特性方程为  $Q^{n+1} = J \bar{Q}^n + \bar{K}Q^n$ 。

同一种电路结构可以构成不同逻辑功能的触发器，不同电路结构也可构成相同逻辑功能的触发器。

3.3.5 Multisim 仿真实验内容

在 Multisim 10 平台上构建 74LS175D 仿真分析电路，如图 3.10 所示。在 Multisim 10 中选中 74LS175D 并按 F1 键可查看其逻辑功能表。仿真观察并记录输入输出波形。

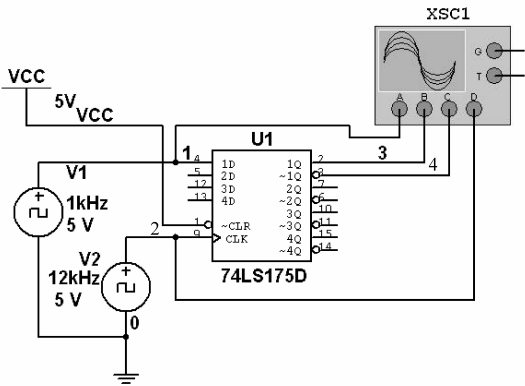


图 3.10 74LS175D 触发器仿真测试

3.3.6 实验内容与步骤

1. 基本 RS 触发器功能测试

由 74LS00 构成的基本 RS 触发器如图 3.11 所示。

(1) 按表 3.10 的顺序在  $\bar{S}$ 、 $\bar{R}$  端加逻辑电平， $Q$ 、 $\bar{Q}$  端接实验箱 LED，观察并记录触发器的  $Q$ 、 $\bar{Q}$  端的状态，将结果填入表 3.10 中。

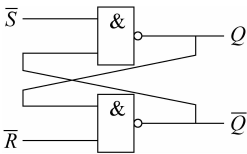


图 3.11 由 74LS00 构成的基本 RS 触发器电路

表 3.10 由 74LS00 构成的基本 RS 触发器逻辑功能测试结果

| $\bar{S}$ | $\bar{R}$ | $Q$ | $\bar{Q}$ | 逻辑功能 |
|-----------|-----------|-----|-----------|------|
| 0         | 1         |     |           |      |
| 1         | 1         |     |           |      |
| 1         | 0         |     |           |      |
| 1         | 1         |     |           |      |

(2)  $\bar{S}$  端加低电平,  $\bar{R}$  端加脉冲, 用示波器观察、比较并记录  $\bar{R}$  与  $Q$  和  $\bar{Q}$  端的波形。

(3)  $\bar{S}$  端加高电平,  $\bar{R}$  端加脉冲, 用示波器观察、比较并记录  $\bar{R}$  与  $Q$  和  $\bar{Q}$  端的波形。

(4)  $\bar{S}=\bar{R}$ ,  $\bar{R}$  端加脉冲, 用示波器观察、比较并记录  $\bar{R}$  与  $Q$  和  $\bar{Q}$  端的波形。

观察并记录(2)、(3)、(4)三种情况下  $Q$ 、 $\bar{Q}$  端的状态, 从中总结出基本 RS 触发器的  $Q$  或  $\bar{Q}$  端的状态改变和输入端  $\bar{S}$ 、 $\bar{R}$  的关系。

(5) 当  $\bar{S}$ 、 $\bar{R}$  都加低电平时, 观察  $Q$ 、 $\bar{Q}$  端的状态。当  $\bar{S}$ 、 $\bar{R}$  同时由低电平跳变为高电平时, 注意观察  $Q$ 、 $\bar{Q}$  端的状态。重复 3~5 次观察  $Q$ 、 $\bar{Q}$  端的状态是否相同, 从而正确理解“不定”状态的含义。

2. D 触发器的功能测试

D 触发器逻辑符号如图 3.12 所示,  $\bar{S}$ 、 $\bar{R}$  端为异步置 1 端, 置 0 端(或称异步置位端, 复位端), CP 为时钟脉冲端。

按下面步骤做测试:

(1) 分别在  $\bar{S}$ 、 $\bar{R}$  端加低电平, 观察并记录  $Q$ 、 $\bar{Q}$  端的状态。

(2) 在  $\bar{S}$ 、 $\bar{R}$  端加高电平,  $D$  端分别接高、低电平, 用点动

脉冲作为 CP 脉冲, 用示波器观察并记录当 CP 为低电平、上升沿、高电平、下降沿时,  $Q$  端状态的变化。

(3) 当  $\bar{S}$ 、 $\bar{R}$  加高电平、CP 高电平(或低电平), 改变  $D$  端信号, 观察  $Q$  端的状态是否变化。

整理上述实验数据, 将结果填入表 3.11 中。

(4) 令  $\bar{S}$ 、 $\bar{R}$  加高电平, 将  $D$  和  $\bar{Q}$  端相连, CP 加连续脉冲, 用双踪示波器观察并记录  $Q$  相与 CP 的波形关系。

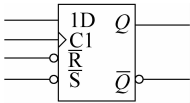


图 3.12 D 触发器逻辑符号

表 3.11 上升沿 D 触发器的功能测试结果

| $\bar{S}$ | $\bar{R}$ | CP | $D$ | $Q^n$ | $Q^{n+1}$ |
|-----------|-----------|----|-----|-------|-----------|
| 0         | 1         | ×  | ×   | 0     |           |
|           |           |    |     | 1     |           |
| 1         | 0         | ×  | ×   | 0     |           |
|           |           |    |     | 1     |           |

| $\bar{S}$ | $\bar{R}$ | CP   | D | $Q^n$ | $Q^{n+1}$ |
|-----------|-----------|------|---|-------|-----------|
| 1         | 1         | ↑    | 0 | 0     |           |
|           |           |      |   | 1     |           |
| 1         | 1         | ↑    | 1 | 0     |           |
|           |           |      |   | 1     |           |
| 1         | 1         | 0(1) | × | 0     |           |
|           |           |      |   | 1     |           |

注：↑表示上升沿，×表示任意电平。

3. JK 触发器的功能测试

(1) JK 触发器的逻辑符号如图 3.13 所示,按表 3.11 所示加逻辑电平和控制脉冲。

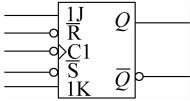


图 3.13 JK 触发器逻辑符号

(2) 将测试结果填入表 3.12 中。

(3) 若 J、K 加高电平,CP 端加连续脉冲,用双踪示波器观察 Q 端与 CP 端波形,并记录。

表 3.12 下降沿 JK 触发器的功能测试结果

| $\bar{R}$ | $\bar{S}$ | CP | J | K | $Q^n$ | $Q^{n+1}$ |
|-----------|-----------|----|---|---|-------|-----------|
| 0         | 1         | ×  | × | × | ×     |           |
| 1         | 0         | ×  | × | × | ×     |           |
| 1         | 1         | ↓  | 0 | × | 0     |           |
| 1         | 1         | ↓  | 1 | × | 0     |           |
| 1         | 1         | ↓  | × | 0 | 1     |           |
| 1         | 1         | ↓  | × | 1 | 1     |           |

注：↓表示下降沿，×表示任意电平。

3.3.7 实验报告

- (1) 整理实验数据并填表。
- (2) 画出实验内容中要求的电路、输入输出波形,并说明触发器的触发方式。
- (3) 总结各类触发器的特点。

3.3.8 思考题

- (1) 各种触发器的功能特点是什么？又有什么样的触发特点？
- (2) 各种触发器之间是否可以相互转化？是怎样实现的？

## 3.4 时序逻辑电路的分析

### 3.4.1 实验目的

- (1) 掌握一般同步时序逻辑电路的功能测试方法。
- (2) 了解时序逻辑电路的自启动功能。

### 3.4.2 实验设备及材料

- (1) 双踪示波器一台。
- (2) 数字电路实验箱一套。
- (3) 数字万用表一台。
- (4) 元器件：
  - 74LS74 二 D 上升沿触发器二片；
  - 74LS20 二 4 输入与非门一片。

### 3.4.3 实验准备

- (1) 阅读本实验的实验原理以及附录的相关内容。
- (2) 根据逻辑电路图写出相关的逻辑函数式,预先分析出逻辑电路图的功能。
- (3) 根据选用的逻辑器件,按照实验任务设计电路,写出有关的逻辑函数式,并画出逻辑电路图。

### 3.4.4 实验原理

分析一个时序逻辑电路的功能,也就是分析电路的状态转换和输出状态在输入变量和时钟信号作用下的变化规律。分析步骤如下。

#### 1. 写方程

根据给定的逻辑图写出各触发器的时钟方程、驱动方程和电路的输出方程。

- (1) 时钟方程: 各个触发器时钟信号 CP 的逻辑表达式。
- (2) 驱动方程: 各个触发器同步输入信号的逻辑表达式。
- (3) 输出方程: 时序逻辑电路各个输出信号的逻辑表达式。

#### 2. 求各触发器的状态方程

因为任何时序电路的状态,都是由组成该时序电路的各个触发器来记忆和表示的。所以把各触发器的驱动方程带入相应触发器的特性方程,即得到时序逻辑电路的状态方程,也就是各个触发器次态输出的逻辑表达式。

#### 3. 求状态转换表或状态转换图

- (1) 电路的现态就是组成该电路各个触发器的现态的组合。把电路的输入和现态的

各种可能取值,代入状态方程和输出方程进行计算,求出相应的次态和输出。需要注意的是,状态方程有效的时钟条件,凡不具备时钟条件者,方程式无效,也就是说触发器将保持原来状态不变;不能漏掉任何可能出现的现态和输入的取值。

(2) 现态的起始值如果给定,则可以从给定值开始依次计算,倘若未给定,则可以自己设定起始值。

(3) 状态转换是由现态转换到次态。

4. 检验电路能否自启动

时序逻辑电路中,凡是被利用了的状态称为有效状态,由有效状态形成的循环,称为有效循环。凡是没有被利用了的状态,称为无效状态,由无效状态形成的循环,称为无效循环。在时序逻辑电路中,若存在无效状态,但没有形成无效循环,这样的时序逻辑电路称为能够自启动的时序逻辑电路。若既有无效状态存在,又形成了无效循环,这样的时序逻辑电路称为不能自启动的时序电路。在不能自启动的时序逻辑电路中,一旦因某种原因,例如,因干扰进入无效循环,就再也回不到有效状态,无法正常工作。因此对于不能自启动的时序逻辑电路,则应采取措施予以解决。例如,修改设计重新进行状态分配,或利用触发器的异步输入端强行预置到有效状态等。

5. 分析电路逻辑功能

实际应用中,各个输入、输出信号都有确定的物理含义,因此需要结合这些信号的物理含义,根据状态表或状态图来进一步说明电路的具体功能。

3.4.5 Multisim 仿真实验内容

在 Multisim 10 平台上构建具有自启动能力的时序逻辑电路,仿真电路如图 3.14 所示。分析电路的逻辑功能;仿真电路,观察并记录输出端的状态转换。

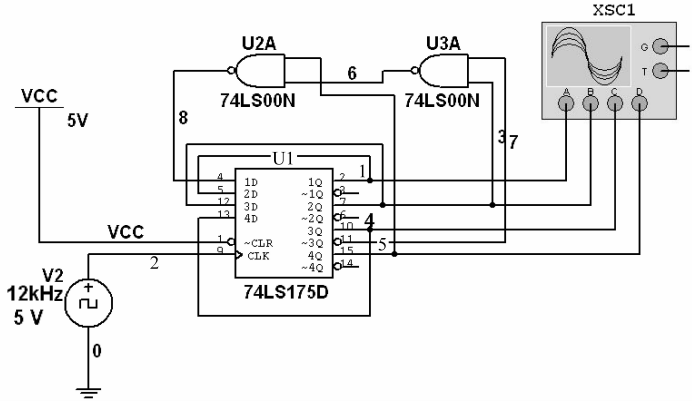


图 3.14 能自启动的扭环型计数器仿真电路图

3.4.6 实验内容与步骤

1. 同步时序逻辑电路分析

- (1) 按图 3.15 接线。
  - (2) 由 CP 端输入单脉冲或连续脉冲,测试并记录  $Q_0 \sim Q_2$  状态转换,输出 Y 的状态。
- 注意: 每个触发器的清零端和置数端均接高电平。

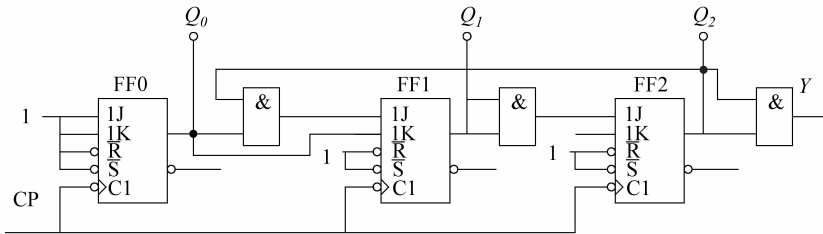


图 3.15 同步时序逻辑电路的分析

2. 不具有自启动能力的时序逻辑电路的分析

- (1) 按图 3.16 接线。
  - (2) 由 CP 端输入单脉冲或连续脉冲,测试并记录  $Q_0 \sim Q_3$  端状态转换。验证电路的状态转换图 3.17。
- 注意: 每个触发器的清零端和置数端均接高电平。

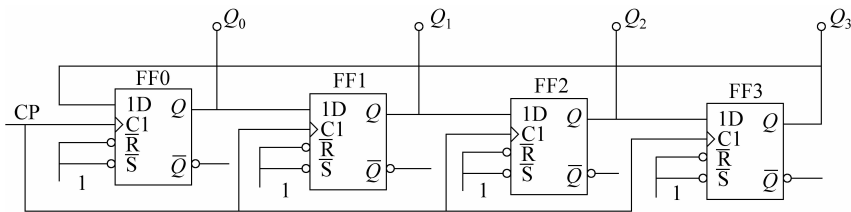


图 3.16 不能自启动的扭环型计数器电路图

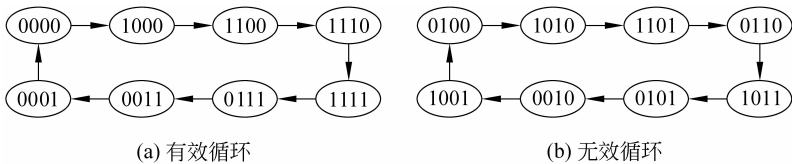


图 3.17 不能自启动的扭环型计数器的状态转换图

3. 具有自启动能力的时序逻辑电路的分析

- (1) 按图 3.18 接线。
- (2) 由 CP 端输入单脉冲或连续脉冲,测试并记录  $Q_0 \sim Q_3$  端状态转换。验证电路的

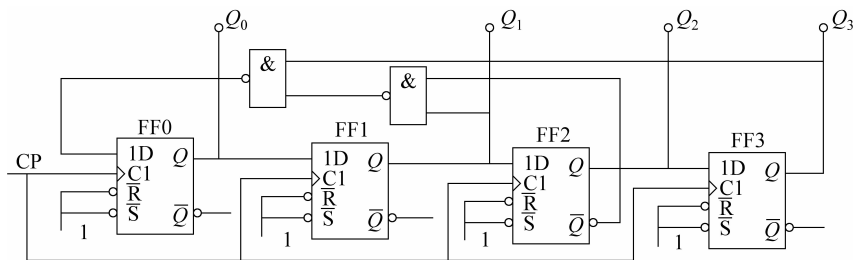


图 3.18 能自启动的扭环型计数器电路图

状态转换图 3.19。

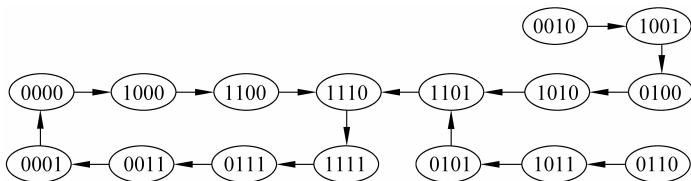


图 3.19 能自启动的扭环型计数器的状态转换图

注意：每个触发器的清零端和置数端均接高电平。

### 3.4.7 实验报告

- (1) 整理实验内容中各实验数据。
- (2) 画出图 3.15 的状态转换图。
- (3) 验证不能自启动的和能自启动的扭环型计数器的状态转换图。

### 3.4.8 思考题

- (1) 同步时序电路的特点是什么？若仅在电路的 CP 端加脉冲，电路的状态和输出都不变化，是否能确定此时该电路一定处在无效状态下？
- (2) 不具有自启动功能的时序逻辑电路，应采取什么措施改进成具有自启动功能的时序逻辑电路？

## 3.5 计 数 器

### 3.5.1 实验目的

- (1) 掌握触发器、集成计数器构成任意进制计数器的方法。
- (2) 熟悉中规模集成计数器的逻辑功能及使用方法。
- (3) 了解计数器的应用。

3.5.2 实验设备及材料

- (1) 双踪示波器一台。
- (2) 数字电路实验箱一套。
- (3) 数字万用表一台。
- (4) 元器件：
  - 74LS112 二 JK 下降沿触发器二片；
  - 74LS90(或 74LS290)二-五-十进制计数器二片；
  - 74LS00 四 2 输入与非门一片。

3.5.3 实验准备

- (1) 阅读本实验的实验原理以及附录的相关内容。
- (2) 根据选用的逻辑器件,按照实验任务设计电路,写出有关的逻辑函数式,并画出逻辑电路图。

3.5.4 实验原理

计数器是一个用于实现计数功能的时序电路,它不仅可用来计脉冲个数,还常用作数字系统的定时、分频和执行数字运算以及其他特定的逻辑功能。计数器的种类很多。按构成计数器中的各触发器是否使用一个时钟脉冲源来分,有同步计数器和异步计数器。根据计数制的不同,分为二进制计数器、十进制计数器和任意进制计数器。根据计数的增减趋势,又分为加法、减法和可逆计数器。还有可预置数和可程序功能计数器,等等。目前,无论是 TTL 还是 CMOS 集成电路,都有品种较齐全的中规模集成计数电路。使用者只要借助于器件手册提供的功能表和工作波形图以及引出端的排列,就能正确地运用这些器件。

1. 触发器构成加/减计数器

$n$  位二进制同步加法计数器级联规律为  $T_i = Q_{i-1}^n Q_{i-2}^n \cdots Q_1^n Q_0^n = \prod_{j=0}^{i-1} Q_j^n$ ,  $n$  位二进制

同步减法计数器级联规律为  $T_i = \overline{Q_{i-1}^n} \overline{Q_{i-2}^n} \cdots \overline{Q_1^n} \overline{Q_0^n} = \prod_{j=0}^{i-1} \overline{Q_j^n}$ 。二进制异步加法计数器级间连接规律为  $CP_i = Q_{i-1}$  ( $T'$  触发器上升沿触发)。二进制异步减法计数器级间连接规律为  $CP_i = Q_{i-1}$  ( $T'$  触发器下降沿触发)。如图 3.20 中的加法计数器是用 4 个触发器构成的四位二进制异步加/减法计数器,它的连接特点是将最低位 JK 触发器 CP 端接 CP 脉

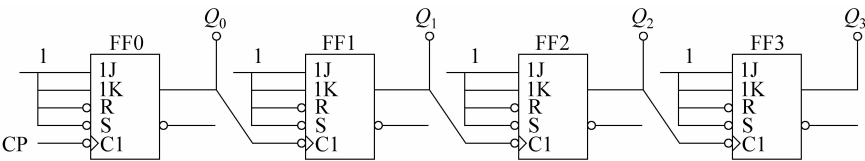


图 3.20 4 位二进制加法计数器

冲,再由低位触发器的  $Q/\overline{Q}$  端和高一位的 CP 端连接。

## 2. 集成计数器

集成计数器有二进制计数器和十进制计数器,它们都具有清除、置数、计数等功能。集成计数器中的清零、置数控制有同步清零、同步置数(即清零、置数都需借助 CP 脉冲实现),也有异步清零、异步置数(即清零、置数不需要 CP 脉冲)。人们可以方便灵活地使用集成计数器的清零、置数功能实现任意进制计数器。图 3.22 所示为集成二-五-十进制计数器 74LS290。

### 3.5.5 Multisim 仿真实验内容

在 Multisim 10 平台上构建由 74LS160N 组成的计数器电路,如图 3.21 所示。分析开关 J1 的作用。通过仿真实验,观测 74LS160N 的逻辑功能,并使用 74LS160N 构成任意进制(计数 $\leq 10$ )计数器。

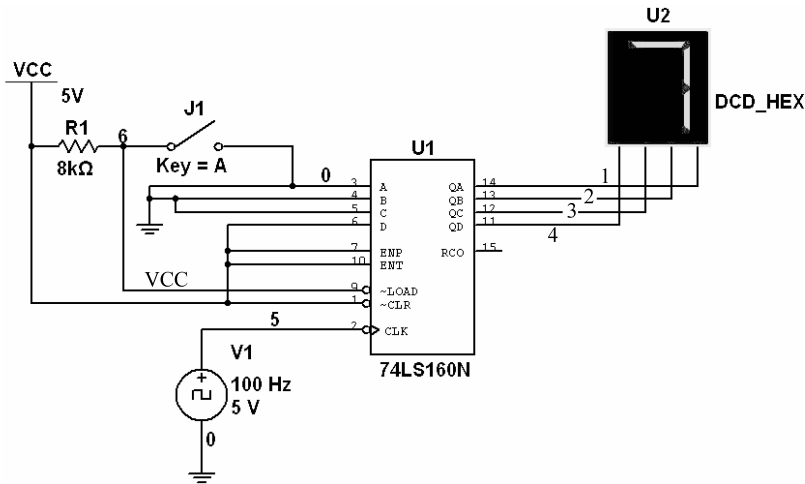


图 3.21 74LS160N 构成的计数器仿真电路图

### 3.5.6 实验内容与步骤

#### 1. 用 74LS112 触发器构成 4 位二进制异步加法计数器

- (1) 按图 3.20 连接,触发器的 J、K、置位端 S、清零端 R 接高电平(防止外界干扰),CP 端接单次脉冲。
- (2) 逐个送入单次脉冲,观察并列表记录  $Q_0 \sim Q_3$  的状态。
- (3) 将单次脉冲改为 1Hz 的连续脉冲,观察并记录  $Q_0 \sim Q_3$  的状态。

#### 2. 用 74LS112 触发器构成 4 位二进制异步减法计数器

- (1) 试画出逻辑电路图。

- (2) 逐个送入单次脉冲,观察并列表记录  $Q_0 \sim Q_3$  的状态。
- (3) 将单次脉冲改为 1Hz 的连续脉冲,观察并记录  $Q_0 \sim Q_3$  的状态。

### 3. 集成计数器 74LS290 功能测试

74LS290 是二-五-十进制异步计数器,具有下述功能。

- (1) 异步置 0( $R_{0A} \cdot R_{0B} = 1$ )。
- (2) 异步置 9( $S_{9A} \cdot S_{9B} = 1$ )。
- (3) 二进制计数( $CP_0$  输入, $Q_0$  输出)。
- (4) 五进制计数( $CP_1$  输入, $Q_3 Q_2 Q_1$  输出)。
- (5) 十进制计数(两种接法如图 3.22 所示)。

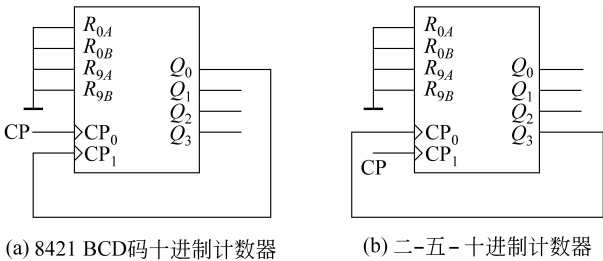


图 3.22 74LS290 实现十进制计数器的接法

- (6) 测试 74LS290 的置 0、置 9 功能,填写表 3.13。

表 3.13 置 0、置 9 功能

| $R_{0A}$ | $R_{0B}$ | $S_{9A}$ | $S_{9B}$ | $CP_0$ | $CP_1$ | 输 出   |       |       |       |
|----------|----------|----------|----------|--------|--------|-------|-------|-------|-------|
|          |          |          |          |        |        | $Q_3$ | $Q_2$ | $Q_1$ | $Q_0$ |
| H        | H        | L        | ×        | ×      | ×      |       |       |       |       |
| H        | H        | ×        | L        | ×      | ×      |       |       |       |       |
| L        | ×        | H        | H        | ×      | ×      |       |       |       |       |
| ×        | L        | H        | H        | ×      | ×      |       |       |       |       |

- (7) 测试 74LS290 的五进制计数功能,填写表 3.14。

表 3.14 五进制计数器

| $R_{0A}$ | $R_{0B}$ | $S_{9A}$ | $S_{9B}$ | $CP_1$ | 输 出   |       |       |
|----------|----------|----------|----------|--------|-------|-------|-------|
|          |          |          |          |        | $Q_2$ | $Q_1$ | $Q_0$ |
| L        | L        | L        | L        | ↓      |       |       |       |
| L        | L        | L        | L        | ↓      |       |       |       |
| L        | L        | L        | L        | ↓      |       |       |       |
| L        | L        | L        | L        | ↓      |       |       |       |
| L        | L        | L        | L        | ↓      |       |       |       |
| L        | L        | L        | L        | ↓      |       |       |       |

(8) 测试 74LS290 的十进制计数功能,根据图 3. 22(a)填写表 3. 15,根据图 3. 22(b)填写表 3. 16。

表 3. 15 十进制计数器(一)

| 计 数 | 输 出   |       |       |       |
|-----|-------|-------|-------|-------|
|     | $Q_3$ | $Q_2$ | $Q_1$ | $Q_0$ |
| 1   |       |       |       |       |
| 2   |       |       |       |       |
| 3   |       |       |       |       |
| 4   |       |       |       |       |
| 5   |       |       |       |       |
| 6   |       |       |       |       |
| 7   |       |       |       |       |
| 8   |       |       |       |       |
| 9   |       |       |       |       |
| 10  |       |       |       |       |

表 3. 16 十进制计数器(二)

| 计 数 | 输 出   |       |       |       |
|-----|-------|-------|-------|-------|
|     | $Q_0$ | $Q_3$ | $Q_2$ | $Q_1$ |
| 1   |       |       |       |       |
| 2   |       |       |       |       |
| 3   |       |       |       |       |
| 4   |       |       |       |       |
| 5   |       |       |       |       |
| 6   |       |       |       |       |
| 7   |       |       |       |       |
| 8   |       |       |       |       |
| 9   |       |       |       |       |
| 10  |       |       |       |       |

4. 任意进制计数器

74LS290 按图 3. 23 进行连接,实验记录其状态转换,分析其是多少进制计数器。