

第3章 总线与主板

总线（Bus）是供多个部件分时共享的公共信息传送线路，一个系统的总线结构决定了该计算机系统的数据通路及系统结构。它能简化系统设计、便于组织多家厂家进行专业化大规模生产，降低产品成本、提高产品的性能和质量，便于产品的更新换代、满足不同用户需求以及提高可维修性等，因而得以迅速发展。自1970年美国DEC公司在其PDP-11/20小型计算机上采用Unibus以来，各种标准的、非标准的总线纷纷面世。如今，几乎所有的计算机系统都采用了总线结构。

在微型计算机中，总线以及所连接的部件都安放在主板（Main Board）上。计算机在运行中对于系统内的部件和外部设备的控制都通过主板实现，主板的组成与布局也影响着系统的运行速度、稳定性和可扩展性。

3.1 总线的概念

3.1.1 总线及其规范

总线是由导线组成的传输线束，用来作为在计算机各种功能部件之间传送信息的公共通信干线。

共享、分时和规范是总线的3个基本特点。共享是指多个部件连接在同一组总线上，各部件之间相互交换的信息都可以通过这组总线传送。分时是指同一时刻总线只能在一对部件之间传送信息。

总线是计算机系统模块化的产物，相同的指令系统，相同的功能，不同厂家生产的各功能部件在实现方法上不尽相同，但希望相同的功能部件可以互换使用，这要求各厂家的产品必须遵循一定的规范。这些规范包括如下4个方面。

1. 机械规范

机械规范又称为物理规范，指总线在机械上的连接方式，如插头与插座所使用的标准，包括接插件尺寸、形状、引脚根数及排列顺序等，以便能正确无误地连接。图3.1为计算机中常用的一些总线接插件。

2. 电气规范

电气规范指总线的每一根线上信号的传递方向及有效电平范围、动态转换时间、负载能力等。一般规定送入CPU的信号称为输入信号（IN），从CPU发出的信号称为输出信号（OUT）。例如，地址总线是输出线，数据总线是双向传送，这两类信号线都是高电平有效；

控制总线一般是单向的，有输出的也有输入的，有高电平有效也有低电平有效。总线的电平都符合 TTL 电平的定义。例如 RS-232C 的电气规范规定，用低电平表示逻辑 1，并且要求电平低于-3V；用高电平表示逻辑 0，并且要求电平高于+4V，通常额定信号电平为-10V~+10V。

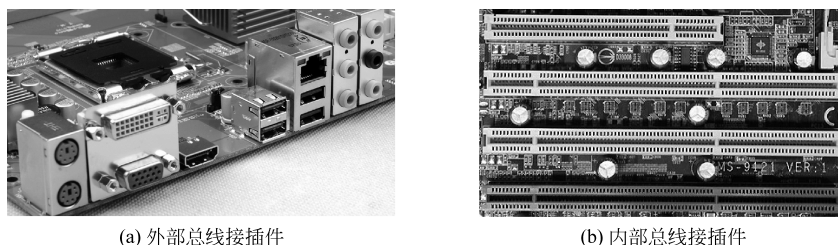


图 3.1 计算机中常用的一些总线接插件

3. 功能规范

按功能总线可分为地址总线、数据总线和控制总线。在控制总线中，各条线的功能也不相同，有 CPU 发出的各种控制命令（如存储器读写、I/O 读写等），也有外设与主机的同步匹配信号，还有中断信号、DMA 控制信号等。

4. 时间规范

时间规范又称为逻辑规范，指在总线操作过程中每一根信号线上信号什么时候有效，通过这种信号有效的时序关系约定，确保了总线操作的正确进行。

3.1.2 总线分类

总线应用很广，形态多样，从不同的角度可以有不同的分类方法。下面列举几种。

1. 按照总线传递的信号性质分类

按照总线传递的信号性质，可将其分为 3 种。

- (1) 地址总线 (Address Bus, AB)，用来传递地址信息。
- (2) 数据总线 (Data Bus, DB)，用来传递数据信息。
- (3) 控制总线 (Control Bus, CB)，用来传递各种控制信号。

2. 按照总线所处的位置分类

按照总线所处的位置分为机内总线和机外总线。

机内总线分为片内总线和片外总线。片内总线指 CPU 芯片内部用于在寄存器、ALU 以及控制部件之间传输信号的总线；片外总线指 CPU 芯片之外，用于连接 CPU、内存以及 I/O 设备的总线。

机外总线指与外围设备接口的总线，实际上是一种外设的接口标准。目前在微型计算机上流行的接口标准有 IDE、SCSI、USB 和 IEEE 1394 等。

3. 按照总线在系统中连接的主要部件分类

按照总线在系统中连接的主要部件，可以将总线分为 5 种。

- (1) 存储总线：连接存储器。
- (2) DMA 总线：连接 DMA 控制器。
- (3) 系统总线：连接 I/O 通道总线和各扩展槽。
- (4) I/O（设备）总线：连接外部设备控制芯片。
- (5) 局部总线：通常是一种实现高速数据传送的高性能总线，用来在高度集成的外设控制器器件、扩展板和处理器/存储器系统之间提供一种内部连接机制。

4. 按照总线传输的数据单位分类

按照总线传输的数据单位分为串行总线和并行总线。图 3.2 为两者示意图。

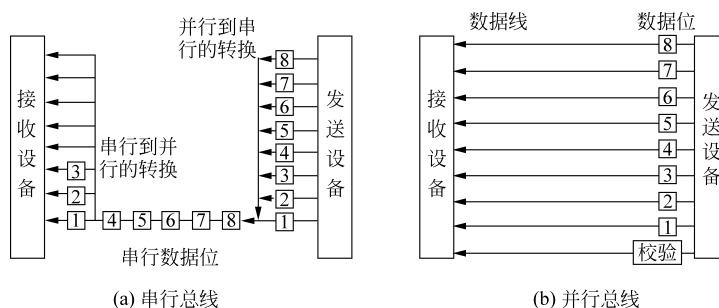


图 3.2 串行总线与并行总线

(1) 串行总线按位进行传输，每次传输一个位的数据。串行总线按照所传输数据的方向性，又可分为 3 种：单工、半双工和双工。

① 单工传输只支持数据在一个方向上传输，除控制信号和电源之外，一般只用一根数据线就够了。

② 半双工数据传输允许数据在两个方向上传输，但两个方向的传输不可同时进行，故除控制信号和电源之外，一般也只用一根数据线就够了。

③ 双工数据传输允许数据同时在两个方向上传输，因此全双工通信是两个单工通信方式的结合。

(2) 并行数据每次传输多位，通常有 8b、16b、32b 和 64b 等几种。所以，并行传输除了控制信号、电源等之外，要传输多少位数据，就需要多少根数据线。

5. 按照发送端与接收端有无共同的时钟分类

按照发送端与接收端有无共同的时钟，总线可以分为同步总线与异步总线等类型。具体将在第 3.2 节中深入讨论。

6. 按照系统中使用的总线数量分类

大多数总线都是以相同方式构成的，其不同之处仅在于总线中数据线和地址线的数目，

以及控制线的多少及功能。按照系统中使用的总线的条数可以分为单总线结构、双总线结构和多总线结构。

如图 1.74 所示，单总线结构使用一组单一的系统总线来连接 CPU、主存和 I/O 设备。在这类系统中，同一类信息在不同部件间传递时，通过同一组总线，或者说，所有的模块都挂在同一组总线上。这种总线结构连接灵活、易于扩充。单总线结构容易扩展成多 CPU 系统，这只要在总线上挂接多个 CPU 即可。因所有信息都在一组系统总线上传送，故信息传输的吞吐量受到限制。

双总线结构保持了单总线结构简单、易于扩充的优点，又在 CPU 和主存之间有一组专门高速总线，使 CPU 可与主存迅速交换信息，而主存不必经过 CPU 仍可通过总线与外设之间实现 DMA 操作。这样，缓解了对系统总线和 CPU 的压力，提高了系统的效率。如图 1.81 所介绍的以存储器为中心的双总线结构。

由于各种设备对于总线的要求不同，在设备不断增加的形势下，总线趋向于分级的总线结构。图 3.3 是一种三级总线结构。

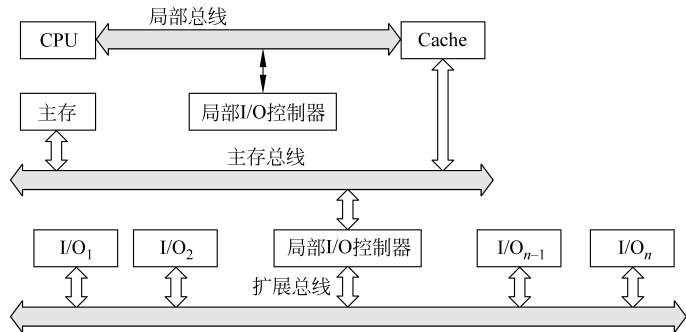


图 3.3 分级三总线结构

这种三级总线结构一般用于 I/O 设备性能相差不大的情况。在高速的视频设备、网络、硬盘等大量涌现的情况下，将它们与低速设备（如打印机、低速串口设备）接在同一条总线上，非常影响系统的效率。进一步的改进是为这些高速设备设立一条单独的高速总线，形成如图 3.4 所示的由系统总线、局部总线、高速总线和扩展总线组成的四级总线结构。

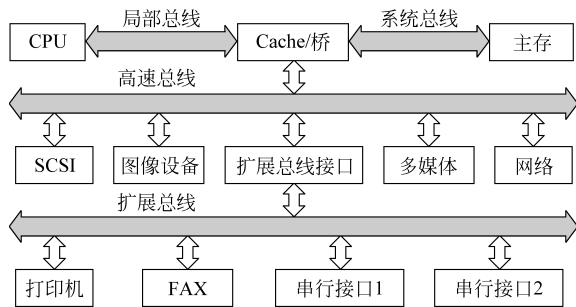


图 3.4 四级总线结构

计算机总线是计算机模块间传递信息的通路。计算机总线技术包括通路控制性能、使用方法、仲裁方法和传输方式等。总线技术在整个计算机系统中占有十分重要的位置。任

何系统的研制和外围模块的开发，都必须服从一定的总线规范。总线的结构不同，性能差别很大。由于计算机总线的主要职能是负责计算机各模块间的信息传输，所以，对总线性能的衡量，也是围绕着这一职能而定义、测试和比较的。

3.1.3 总线的性能指标

总线的主要性能指标有如下几方面。

1. 总线位宽

总线位宽也称传送宽度，指总线能同时传送的二进制数据的位数，主要指数据总线的位数，用 b（位）表示，如总线宽度有 8b、16b、32b、64b 之分。总线的位宽越宽，每秒钟数据传输率越大，总线的带宽越宽。

2. 总线工作的时钟频率

总线的工作时钟频率越高，总线的传输率越高。

3. 总线带宽

总线带宽即总线标准传输率，指的是单位时间内总线上传送的数据量，即每秒传送兆字节的最大稳态数据传输率。与总线密切相关的两个因素是总线的位宽和总线的工作频率，它们之间的关系如下：

$$\text{总线带宽} = \text{总线的工作频率} \times \text{总线的位宽} / 8$$

或者

$$\text{总线的带宽} = (\text{总线的位宽} / 8) / \text{总线周期}$$

例如，总线工作频率为 33MHz，总线宽度为 32 位，则最大传输率为

$$D_r = 4B \times 33 \times 10^6 / s = 132MB/s$$

4. 寻址能力

寻址能力取决于地址总线的根数。例如，PCI 总线的地址总线为 32 位，寻址能力达 4GB。

5. 是否支持突发传送

总线上数据传送方式分为两种。

(1) 正常传送——每个传送周期先传送数据的地址，再传送数据。

(2) 突发传送——支持成块连续数据的传送，只需给出数据块的首地址，后续数据地址自动生成。

PCI 总线支持突发传送，ISA 总线不支持。

6. 负载能力

负载能力即总线上能够连接的设备数。

7. 总线控制方式

总线控制含有突发传输、并发工作、自动配置、仲裁方式、逻辑方式、计数方式等内容。

8. PnP 能力

PnP（Plug-and-Play，即插即用，也称为热插拔）是由微软公司提出的，意思是系统自动侦测周边设备和板卡并自动安装设备驱动程序，做到插上就能用，无须人工干预，是 Windows 自带的一项技术。即插即用是指将符合 PnP 标准的 PC 插卡等外围设备安装到计算机时，操作系统自动设定系统结构的技术。当用户安装新的硬件时，不必再设置任何跳线器开关，也不必用软件配置中断请求（IRQ）、内存地址或直接存储器存取（DMA）通道，Windows 会向应用程序通知硬件设备的新变化，并会自动协调 IRQ、内存地址和 DMA 通道之间的冲突。

9. 其他指标

除了以上几项指标外，还有如下一些。

- (1) 传输距离（这一点对 I/O 总线很重要）。
- (2) 传输差错率（这一点对 I/O 总线很重要）。
- (3) 抗干扰力。
- (4) 确定性延迟。
- (5) 同步方式。
- (6) 信号线数。
- (7) 是否支持多路复用。
- (8) 电源电压高低。
- (9) 能否扩展 64 位宽度等。

3.1.4 标准系统总线

表 3.1 为在微型计算机发展过程中形成的一些主要标准系统总线。

表 3.1 在微型计算机发展过程中形成的一些主要标准系统总线

总线名称	开发者	推出时间	总线位宽/b	工作频率/Hz	带宽/（B/s）	负载能力
PC-XT	IBM	1981 年	8	4M	4M	8
ISA	IBM	1984 年	16	8M	16M	8
MCA	IBM	1987 年	32	10M	40M	无限制
EISA	Compaq 等	1988 年 9 月	32	8.33M	33M	6
PCI	Intel\IBM 等	1991 年	32	20~33.3M	133M/528M	3
VESA	VESA	1992 年	32	66M	266M	6
AGP	Intel	1996 年 7 月	32	66.7M/133M	266M/2.133G	
PCI-E	Intel\IBM 等	2002 年 7 月	串行	2.5G/5G/10G	点对点：4G/16G 双向：8G/32G	

上述这些标准中有些已经被淘汰，有些正在被应用，有些即将被应用。其中对于现在和今后有重大影响的，将在 3.3 节介绍。

3.2 总线的工作原理

3.2.1 总线的组成与基本传输过程

1. 总线的组成

总线基本上都包括如下 3 个部分。

1) 传输线

总线是信号线的集合，这些信号线可分为以下几种类型。

- (1) 地址线——决定直接寻址的范围。
- (2) 数据线——决定同时并行传输的数据宽度。
- (3) 控制、时序和中断信号线——决定总线功能的强弱、适应性好坏。
- (4) 电源线——决定电源电压种类、地线分布以及它们的用法。
- (5) 备用线——留给用户进行性能扩充，满足特殊需要。

2) 接口逻辑

总线与各部件并不是直接相连的，通常需要一些三态门（控制双向传送）和缓冲寄存器等作为它们之间的接口。

3) 总线控制器

总线要为多个部件共享。为了正确地实现它们之间的通信，必须有一个总线控制机构，对总线的使用进行合理的分配和管理。

2. 总线中信号的基本传输过程

作为数据传输通道，总线连接着多个部件，传递着多种信号。每一个信号的传送，都是主方（发送端）发出数据，从方（接收端）接收数据。

总线中信号的传输过程一般包含如下一些环节。

1) 请求总线

由利用总线进行信息传送的主控模块申请总线，以便取得总线控制权。

2) 总线仲裁

多个主控模块同时申请总线时，系统做出裁定，按规则把总线的控制权赋予某个主控模块。

3) 目的寻址

某主控模块取得总线控制权后，由其进行寻址，通知被访问的模块进行信息传输。

4) 信息传输

主控模块与被访问模块之间进行数据传输，根据读写方式确定信息流向，可分两种情形。

(1) 单周期方式是在获得一次总线使用权后只能传输一个数据，如果需要传输多个数据，就要多次申请使用总线。

(2) 突发式是指获得一次总线使用权可以连续进行多个数据的传输，在寻址过程中，主控模块发送数据块的首地址，后续的数据在首地址的基础上按一定的规则寻址，如 PCI 总线支持突发数据传输方式，这种方式下总线利用率高。

5) 错误检测

最常用、最简单的错误检测方法是奇偶检验。错误检测结束后，主控模块的有关信息均从系统总线上撤销，让出总线。

3.2.2 总线的争用与仲裁

按对总线有无控制功能，连接在总线上的设备可以分为主模块和从模块两种。前者具有对总线的控制权，后者没有。总线上信息的传输由总线主设备启动，即总线上的一个主模块要与另一个模块部件进行通信时，首先应该由主模块发出总线请求信号。总线同一时刻只允许在一对模块之间进行通信。当多个主模块同时要求使用总线时，可以采用两种方法解决冲突：静态方法和动态方法。静态方法是时间片划分方法，好像一周上了 6 门课，而每门课只能按照课程表在规定的时段内上。动态方法是总线控制机构中的判优和仲裁逻辑将按一定的判优原则，来决定由哪个模块使用总线。只有获得了总线使用权的模块，才能开始传送数据。动态判优分为集中控制和分布式控制两种。前者将控制逻辑集中在一起（如在 CPU 中），后者将控制逻辑分散在与总线连接的各个部件或设备上。下面进一步介绍。

1. 多路复用法

多路复用是将一条物理通道分割成多条逻辑通道，在计算机内多采用时间片划分方法，即将时间分片，按照事先的规定，在不同的时间片中传送不同模块的通信信号。图 3.5 为把一条物理总线用分时传送的方法，当作 3 条逻辑总线使用的情形。

2. 集中控制的优先权仲裁

集中控制的优先权仲裁方式有 3 种：链式查询、计数器定时查询和独立请求。下面介绍这 3 种方式。

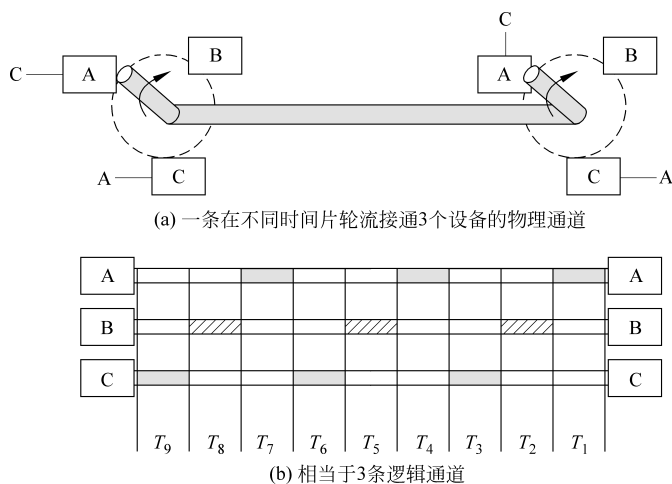


图 3.5 时间分片传输示意图

1) 链式查询方式

链式查询方式如图 3.6 所示。它靠 3 条控制线进行控制：BS（忙）、BR（总线请求）和 BG（总线同意）。它的主要特征是将总线允许信号 BG 串行地从一个部件（I/O 接口）送到下一个部件，若 BG 到达的部件无总线请求，则继续下传，直到到达有总线请求的部件为止。这意味着该部件获得了总线使用权。

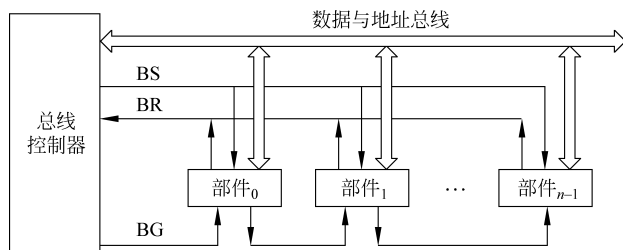


图 3.6 链式查询方式

显然，在查询链中离总线控制器最近的部件具有最高优先权，离总线控制器越远，优先权越低。链式查询通过接口的优先权排队电路实现。

2) 计数器定时查询方式

该方式采用一个计数器控制总线的使用权，其工作原理如图 3.7 所示。它仍用一根请求线，当总线控制器接到总线请求信号以后，若总线不忙（BS 线为 0），则计数器开始计数，并把计数值通过一组地址线发向各部件。当地址线上的计数值与请求使用总线设备的地址一致时，该设备获得总线使用权，置忙线 BS 为 1。同时中止计数器的计数及查询工作。

计数器每次可以从 0 开始计数，也可以从中止点开始。如果从 0 开始，各部件的优先次序与链式查询法相同，优先级的顺序是固定的。如果从中止点开始，则每个设备使用总线的优先级相等，这对于用终端控制器来控制各个显示终端设备是非常合适的。因为，终端显示属于同一类设备，应该具有相等的总线使用权。计数器的初值也可用程序设置，以

方便地改变优先次序。当然这种灵活性是以增加控制线数为代价的。

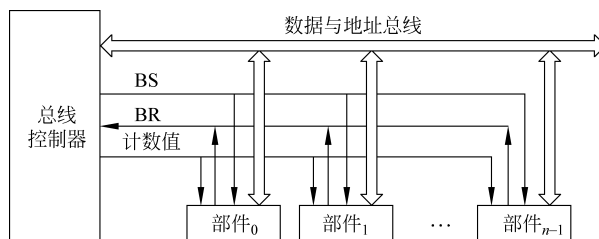


图 3.7 计数器定时查询方式

3) 独立请求方式

独立请求方式原理如图 3.8 所示。在独立请求方式中，每一个共享总线的部件均有一对总线请求线 BR_i 和总线允许线 BG_i 。当该部件要使用总线时，便发出请求信号，在总线控制部件中排队。总线控制器可根据一定的优先次序决定首先响应哪个部件的总线请求，以便向该部件发出总线的响应信号 BG_i 。该部件接到此信号就获得了总线的使用权，开始传送数据。

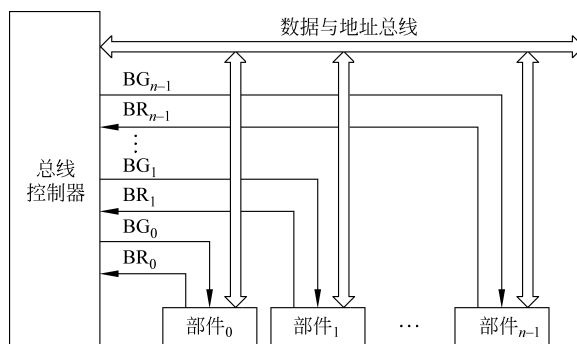


图 3.8 独立请求方式

独立请求方式的优点是响应时间快，用不着一个部件接一个部件地查询，然而这是以增加控制线数为代价的。设 n 为允许接纳的最大部件数，则在链式查询中仅用两根线确定总线使用权属于哪个部件，在计数查询中大致用 $\log_2 n$ 根线，而独立请求方式需要采用 $2n$ 根线。

独立请求方式对优先次序的控制相当灵活，需要采用特定的裁决算法。常用的算法有如下 4 种。

- (1) 静态优先级算法。预先固定优先级别，例如让 BR_0 优先级最高， BR_1 次之，……， BR_n 最低。有使用冲突时，优者得。
- (2) 平等算法。以轮转方式使各设备都获得较为均等的总线使用机会。
- (3) 动态优先算法。根据使用情况，动态地改变优先次序，如让近期最少使用者或使用时间短者优先。
- (4) 先来先服务法。即按申请到达的顺序进行裁决。

3. 分布控制的优先权仲裁

分布式优先权仲裁有如下特点。

- (1) 所有设备都具有预先分配的仲裁号。
- (2) 仲裁器分布在各设备上。
- (3) 任何时刻，每个设备都可以发出总线使用请求。
- (4) 同时有两个以上设备发出总线使用请求时，高优先级别的设备赢得裁决。
- (5) 一个设备使用总线时，要通过总线忙信号阻止其他设备请求。

3.2.3 总线通信中主从之间的时序控制

在总线中，主方的数据发送和从方的数据接收必须协调。实现主从协调操作的基本方法是有一个时序控制规则——协议。这些规则大致有 4 种方式：同步通信、异步通信、半同步通信和分离式通信，其中最基本的是同步通信和异步通信。

1. 同步通信中的定时控制

同步通信中的定时控制简称同步定时，主从方有共同的时钟，它们的操作完全依据协议规定的时间，在规定的时刻开始，并在规定的时刻结束，是一种“以时定序”的控制方式。

图 3.9 表示数据由输入设备向 CPU 传送的同步通信过程。总线周期从 t_0 开始到 t_4 结束。在总线时钟的控制下，整个数据同步传送过程如下。

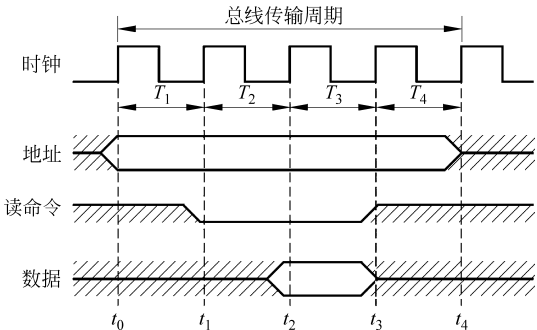


图 3.9 同步通信中读数据过程的时序关系

- ① 当在 t_0 时刻，CPU 检测到设备“已经就绪”信号后，立即将欲读设备的地址放在地址总线上。
- ② 经过一个周期，在 t_1 时刻，CPU 发出读命令（低电平）。
- ③ 再经过一个周期，在 t_2 时刻，设备把数据放到数据总线上。CPU 在时钟周期 T_2 中进行数据选通，将数据接收到自己的寄存器。
- ④ 在数据已经读入寄存器的 t_3 时，读命令信号和设备数据信号撤销。
- ⑤ 在 t_4 时刻，地址信号撤销，总线传输周期结束，可以开始另一个新的数据传送。

同步传输的基本特点是模块之间的配合简单一致，并且由于采用了公共时钟，每个部

件什么时候发送或接收信息都由统一的时钟规定，因此，同步通信具有较高的传输效率。缺点是所有模块都强求一致的同一时限，使设计缺乏灵活性。例如，一个读周期仅需要 2.1 个时钟周期，但也要拉到 3 个时钟周期。

2. 异步通信

1) 握手协议

异步通信也称为异步应答通信。在异步通信方式中，双方的操作不依赖基于共同时钟的时间标准，而是一方的操作依赖于另一方的操作，形成一种“请求-应答”方式，或称为握手方式，所采用的通信协议称为握手协议（Handshaking Protocol）。

握手协议由一系列的握手操作的顺序规定。例如，存储器读周期可以描述为如下过程。

- ① CPU 先发送状态信号和地址信号到总线上。
 - ② 状态信号和地址信号稳定后，CPU 发出读命令，用来向存储器“请求”数据。
 - ③ 存储器收到“请求”后，经过地址译码，将数据放到数据线上。
 - ④ 等数据信号稳定后，存储器向控制线上发送“确认”信号，通知 CPU 数据总线上有数据可用。
 - ⑤ CPU 收到“确认”信号后，从数据总线上读取数据，立即撤销状态信号。
 - ⑥ 状态信号的撤销，引起存储器撤销数据和确认信号。
 - ⑦ 存储器确认信号的撤销引起 CPU 撤销地址信号，一次读过程结束。
- 这个过程如图 3.10 所示。

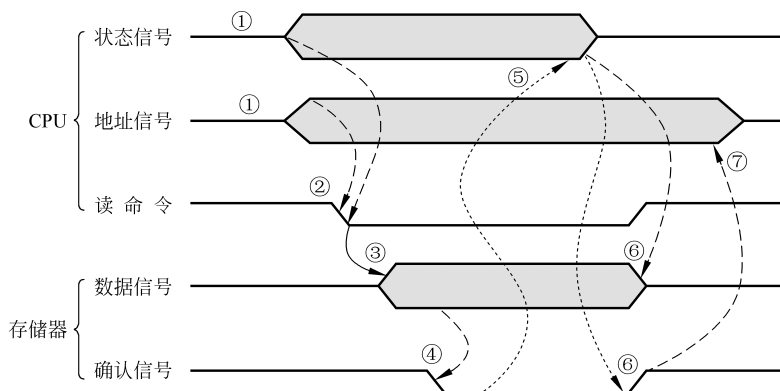


图 3.10 读数据周期中的异步控制

2) 握手类型

显然，异步传输是基于“请求”（Request）和“应答”（Acknowledge），两种信号之间有依赖关系，并且根据这两种信号之间交互的次数，可以形成如图 3.11 所示的全互锁（三次握手）、不互锁（一次握手）和半互锁（二次握手）3 种典型的握手类型。

（1）全互锁。全互锁过程如下。

- ① 主模块发出“请求”信号，等待从模块的“应答”信号。
- ② 从模块接到“请求”信号后，发出“应答”信号——一次握手。

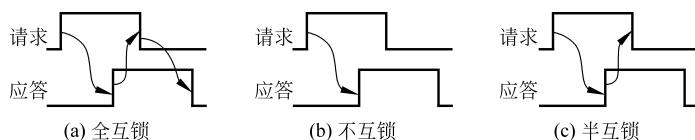


图 3.11 异步通信中请求与应答的互锁关系

③ 主模块接到从模块的“应答”信号，就撤销其“请求”信号——二次握手。

④ 从模块在获知主模块已撤销“请求”信号后，随即撤销其应答信号——三次握手。

这样，经过三次握手在通信双方建立了完全的互锁关系。

(2) 不互锁。不互锁的规则如下。

“请求”和“应答”信号都有一定的时间宽度，主模块发出“请求”信号，不等待接到从模块的“应答”信号，而是经过一段时间后，撤销其请求信号。从模块接到“请求”信号后，在条件允许时发出“应答”信号，并且经过一段时间，自动撤销其应答信号。这样，“请求”信号的结束和“应答”信号的结束不互锁。

(3) 半互锁。半互锁的规则如下。

主模块的“请求”信号撤销，取决于是否收到从模块的“应答”信号。收到从模块的“应答”信号，立即撤销“请求”信号；而从模块“应答”信号的撤销与否，完全由从模块自主决定。

不管哪种握手方式，都是要主模块先向从模块发出“请求”信号，等收到从模块的“应答”信号后，才认为可以开始通信。为此，在并行传输系统中除数据线之外，要增加“请求”和“应答”两条应答线（或称握手交互信号线）。在串行传输中，则可以用起停位代替。

3. 半同步通信

半同步的特点是：用系统时钟同步，但对慢速设备可延长传输数据的周期。方法是采用增加一条信号线（ $\overline{\text{WAIT}}$ 或 $\overline{\text{READY}}$ ）控制是否增加（插入）等待周期来延长传输周期。

图 3.12 为半同步通信中读数据过程的时序关系。下面对照图 3.12 分析 CPU 的读过程。

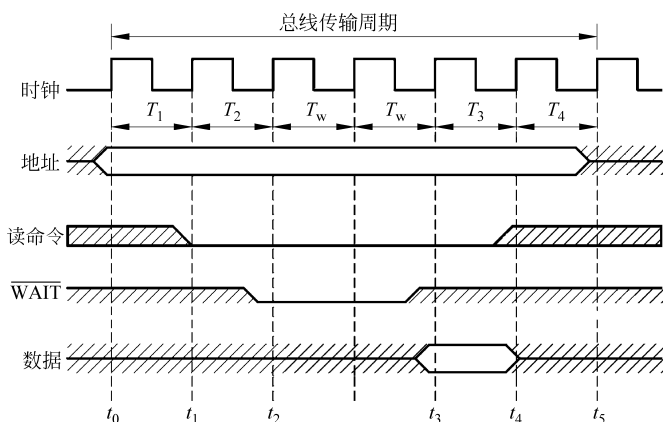


图 3.12 半同步通信中读数据过程的时序关系

① 在 t_0 时刻，CPU 产生欲读设备的地址放在地址总线上，同时经控制线指出操作的性

质（读写内存或读写 I/O 设备）。经过一个周期，当地址信号稳定后，于 T_1 周期的 t_1 时刻，CPU 发出读命令（低电平）。这一点与图 3.9 相同。

② 由于设备慢，当读命令稳定后，如果没有数据信号到达，就要在 t_2 时刻在控制线 $\overline{\text{WAIT}}$ 上发出等待命令，即开始插入一些等待周期 T_w 。

③ 在 t_3 时刻，数据信号到达，控制线 $\overline{\text{WAIT}}$ 上的等待信号撤销，CPU 在时钟周期 T_2 中进行数据选通，将数据接收到自己的寄存器。

④ 经过一个时钟周期，在 t_4 时刻，数据已经读入，读信号撤除。

⑤ 经过一个周期，在 t_5 时刻，地址信号撤销，总线传输周期结束，可以开始另一个新的数据传送。

半同步通信适用于系统工作速度不高，但又包含了许多工作速度差异较大的各类设备的简单系统。它的控制方式比异步通信简单，在全系统内各模块又在统一的系统时钟控制下同步工作，可靠性较高，同步结构较方便。其缺点是对系统时钟频率不能要求太高，故从整体上来看，系统工作的速度不会很高。

4. 分离式通信

1) 分离式通信总线原理

同步通信、异步通信和半同步通信都是从主模块发出地址和读写命令开始，直到数据传输结束。在整个传输周期中，系统总线的使用权完全由占有使用权的主模块和由它选中的从模块占据。进一步分析读命令传输周期，发现除了申请总线这一阶段外，其余时间主要花费在如下 3 个方面。

(1) 主模块通过传输总线向从模块发送地址和命令。

(2) 从模块按照命令进行读数据的必要准备。

(3) 从模块经数据线向主模块提供数据。

可见对系统总线而言，模块内部进行读数据的准备过程中并无实质性的信息传输，总线纯属空闲等待。为了克服和利用这种消极等待，尤其在大型计算机系统中，总线的负载已经处于饱和状态，充分挖掘系统总线每瞬间的潜力，对提高系统性能起到极大作用。为此提出了“分离式”的通信方式，其基本思想是将一个传输周期（或总线周期）分解为两个子周期。在第一个子周期中，主模块 A 在获得总线使用权后将命令、地址以及其他有关信息，包括主模块编号（当有多个主模块时，此编号尤为重要）发到系统总线上；经过总线传输后，由有关的从模块 B 接收下来。主模块 A 向系统总线发布这些信息只占用总线很短的时间，一旦发送完成，立即放弃总线使用权，以便其他模块使用。在第二个子周期中，当从模块 B 接收到模块 A 发来的有关命令信号后，经过选择、译码、读取等一系列内部操作，将 A 模块所需的数据准备好，便由 B 模块申请总线使用权；一旦获准，B 模块便将 A 模块的编号、B 模块的地址、A 模块所需的数据等一系列信息送到总线上，供 A 模块接收。很显然，上述两个子周期都只有单方向的信息流，每个模块都能充当一次主模块。

2) 分离式通信方式的特点

- (1) 每个模块占用总线使用权都必须提出申请。
- (2) 在得到总线使用权后，主模块在限定的时间内向对方发送信息，采用同步方式传送，不再等待对方的回答信号。
- (3) 各模块在准备数据的过程中都不占用总线，总线可以接受其他模块的请求。
- (4) 总线被占用时都在做有效工作，或者通过它发送命令，或者通过它传送数据，不存在空闲等待时间，充分地利用了总线的有效占用，从而实现了在多个主、从模块间进行交叉重叠并行式传送，这对大型计算机是极为重要的。

这种方式控制比较复杂，一般在普通微型计算机系统很少采用。

需要指出的是，解决不同速率设备之间通信的同步问题，都少不了缓冲技术。

3.3 几种标准系统总线分析

下面重点介绍一些较有影响的标准系统总线。

3.3.1 ISA 总线

1. ISA-8

ISA (Industry Standard Architecture, 工业标准体系结构) 最早由美国 IBM 公司于 1981 年作为微型计算机制定的 8 位总线标准，主要用于 IBM-PC/XT、AT 及其兼容机上，后来被 IEEE 采纳作为微机总线标准。它的 62 针分成 A、B 两排，每排 31 针；其中：

- (1) 数据线 8 针 (D7~D0)。
- (2) 地址线 20 针 (A19~A0，最大寻址空间 1M)。
- (3) 控制线 21 针，可接受 6 路中断请求，3 路 DMA 请求，还包括时钟、电源线和地线等。

2. ISA-16

1984 年，IBM 公司推出 PC/AT 系统，并把 ISA 从 8 位扩充到 16 位，地址线从 20 条扩充到 24 条，以适用于 CPU 为 Intel 80286 的 IBM-PC、AT 系统。其主要性能指标如下。

- (1) I/O 地址空间范围为 64KB。
- (2) 24 位地址线，可直接寻址的内存容量为 16MB。
- (3) 总线宽度 8 位或 16 位，最高时钟频率 8MHz，最大稳态传输率分别为 8MB/s 和 16MB/s。
- (4) 支持 15 级中断，并允许中断共享功能。
- (5) 8 个 DMA 通道。
- (6) 开放式总线结构，允许多个 CPU 共享系统资源。

图 3.13 为 ISA-16 芯片的信号线分布情况。它是在原 ISA-8 的 62 线基础上，扩充了一

个 36 线的芯片。

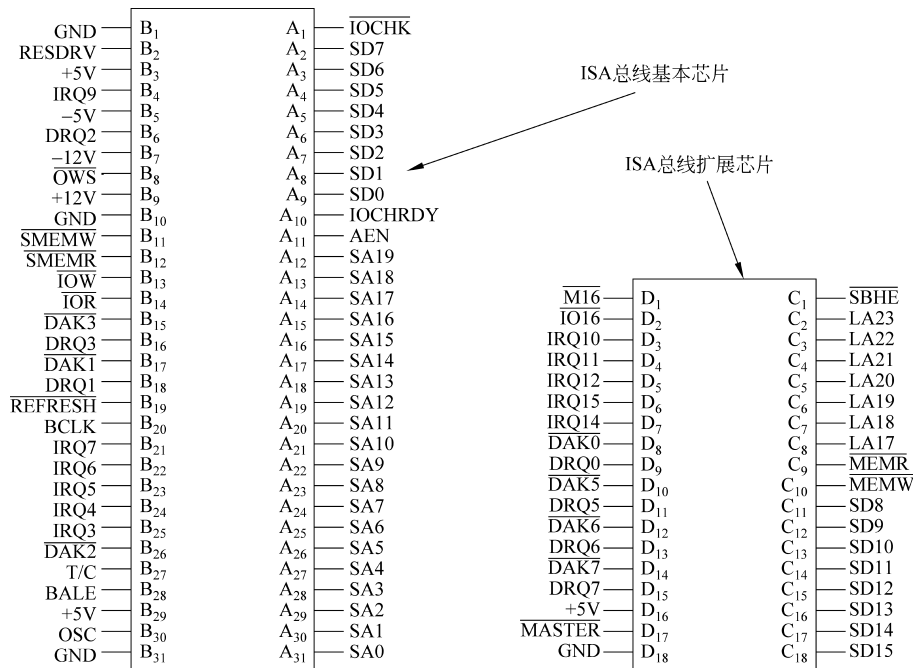


图 3.13 ISA-16 总线信号线分布

相应地其插槽被设计成图 3.14 所示的两部分结构：一部分是原 ISA-8 总线的 62 线插头、插槽（分 A、B 两面，每面 31 线）；另一部分是新增的 36 线插头、插槽（分 C、D 两面，每面 18 线），新增的 36 线与原有的 62 线之间有一凹槽隔开。

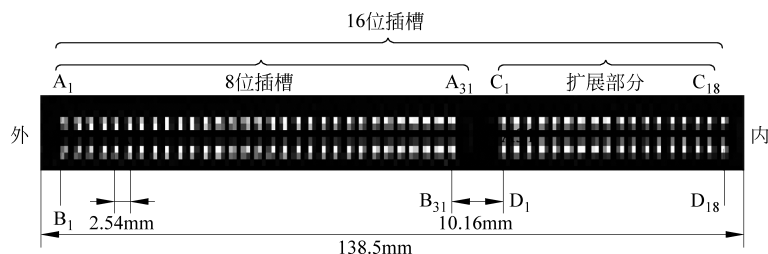


图 3.14 ISA-16 插槽结构

3. EISA

1988 年，康柏、HP、NEC 等 9 个厂商协同把 ISA 扩展到 32 位，即 EISA 总线（Extended ISA）。

3.3.2 PCI 总线

PCI（Peripheral Component Interconnect，外部设备互连）总线是由 Intel 公司提出的一种独立于处理器的局部总线标准，于 1992 年 6 月和 1995 年 6 月颁布了 V1.0（支持 32 位）

和 V2.1（支持 64 位）规范。

1. PCI 总线的性能特点

(1) 适应性强、不依附于某个具体处理器，它既可应用于 Intel 处理器系统中，也能应用于其他公司的处理器系统中，并且与处理器频率无关，与处理器更新换代无关。

(2) 高速、低延迟。PCI 总线宽度为 32/64 位，总线时钟频率 33/66MHz，最大数据传输速率 528MB/s，并支持一次读 / 写多个数据的 Burst 传输方式。

(3) 能自动识别外设，全自动配置与资源申请 / 分配（即插即用）。

(4) 具有与处理器和存储器子系统完全并行操作的能力。

(5) 具有隐含的集中式中央仲裁系统和完全的多总线主控能力。

(6) 采用地址线和数据线复用技术，减少了引线数量。

(7) 提供地址和数据的奇偶校验，使系统更可靠。

(8) 同步传输方式。

(9) 从结构上看，PCI 是在 CPU 和原来的系统总线之间插入的另一级总线，具体由一个桥接电路实现对这一层的管理，并实现上下之间的接口以协调数据的传送。桥接电路提供了信号缓冲，使之能支持多种外设，并能在高时钟频率下保持高性能。PCI 总线也支持总线主控技术，允许智能设备在需要时取得总线控制权，以加速数据传送。

2. PCI 总线的应用

桥在 PCI 总线体系结构中起着重要作用，它连接两条总线，使彼此间相互通信。桥也可以看作是一个总线适配器或总线转换部件，它可以把一条总线的地址空间映射到另一条总线的地址空间上，从而使系统中任意一个总线主设备都能看到同样的一份地址表；还可以实现总线间的猝发式传送，可使所有的存取都按 CPU 的需要出现在总线上。所以，以桥连接实现的 PCI 总线结构具有很好的扩充性和兼容性，允许多条总线并行工作。

图 3.15 是 PCI 在单处理器系统中的典型应用。可以看出，PCI 是外部设备与 CPU 之间的一个中间层，目的是为高速外部设备提供一个高速数据通道。

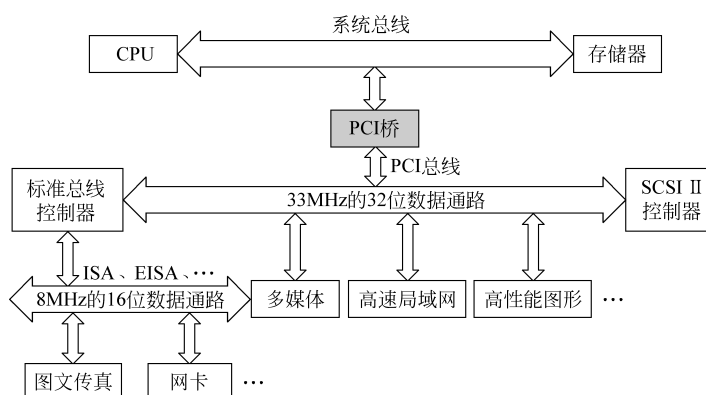


图 3.15 PCI 在单处理器系统中的典型应用

在这个结构中，有两种桥：PCI 桥和标准总线桥。PCI 桥用于在 CPU 总线与 PCI 总线之间进行适配与耦合。它在与 CPU 总线的接口中引入了 FIFO 缓冲器，使 PCI 总线与 CPU 总线的操作各自独立，消除了相互影响，且可以并行工作，提高了系统的吞吐能力。标准总线桥可以实现 PCI 总线信号与 ISA、EISA、MCA 等系统总线信号之间的转换，提高了 PCI 总线的兼容性，使得系统可以继续使用已有的设备，也可以有更多的选择。

当总线的驱动能力不足时，可以采用多层结构，如图 3.16 所示，在这个 PCI 总线结构中有 3 种桥：HOST 桥、PCI/LEGACY 总线桥、PCI/PCI 桥。HOST 桥用于在 HOST 总线与 PCI 总线之间的耦合；PCI/PCI 桥用于 PCI 总线扩展，以连接更多的 PCI 设备；PCI/LEGACY 总线桥用于 PCI 总线与传统（LEGACY）总线之间的耦合，以连接多个 LEGACY 设备。

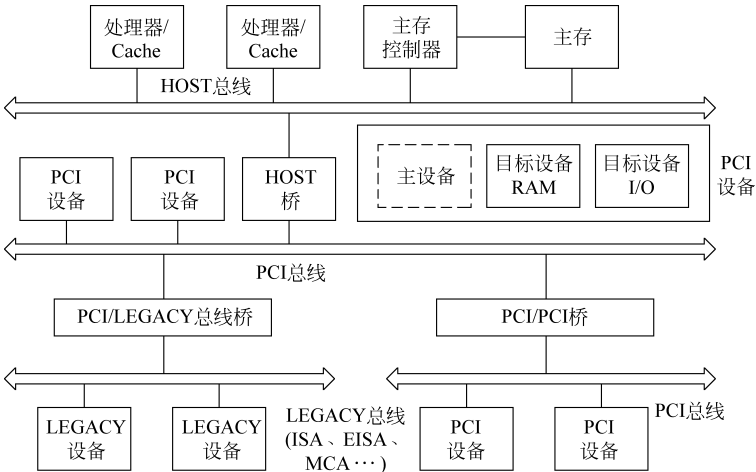


图 3.16 多层结构的 PCI 局部总线

3. PCI 总线信号

扩展槽的引脚定义如下。

- (1) 必要引脚 50 条：对主控设备使用 49 条，对目标设备使用 47 条。
- (2) 可选引脚 51 条（主要用于 64 位扩展、中断请求、高速缓存支持等）。
- (3) 总引脚数 120 条，包括电源、地线和保留引脚。

图 3.17 为 PCI 总线的引脚分布图。

4. PCI 总线周期

PCI 总线的数据传输由启动方（主控）和目标方（从控）共同完成，所有事件在时钟下降沿同步，在时钟上升沿对信号线采样。图 3.18 为读操作的 PCI 总线周期的时序示例。

- ① 总线周期由获得总线控制权的主控设备启动，启动由 FRAME#（总线周期信号）变为有效电平开始。
- ② 启动方将目标设备的地址放在 AD（地址/数据总线）上，命令放在 C/BE#（总线命令/字节允许信号线）上。
- ③ 经一个时钟周期，从地址总线上识别出目标设备，启动方停止 AD 总线和 C/BE#线

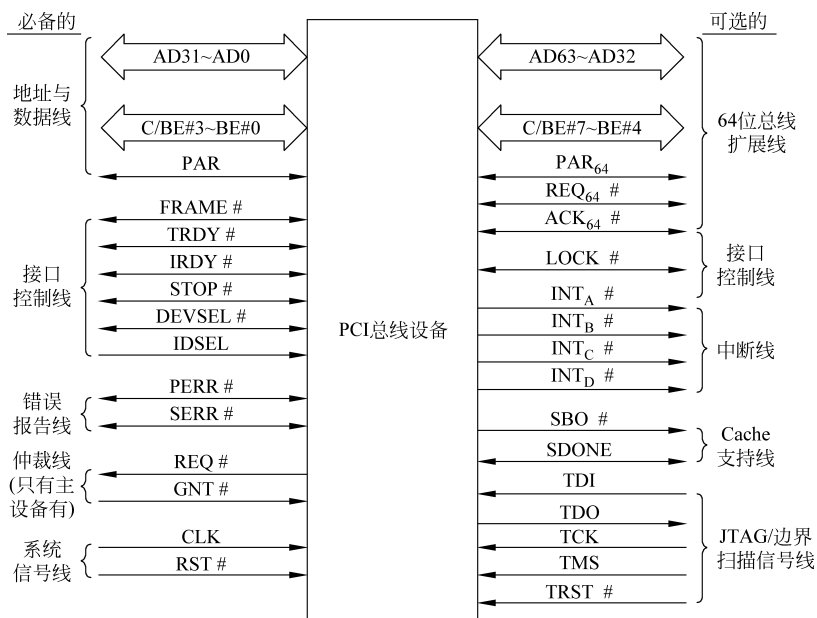
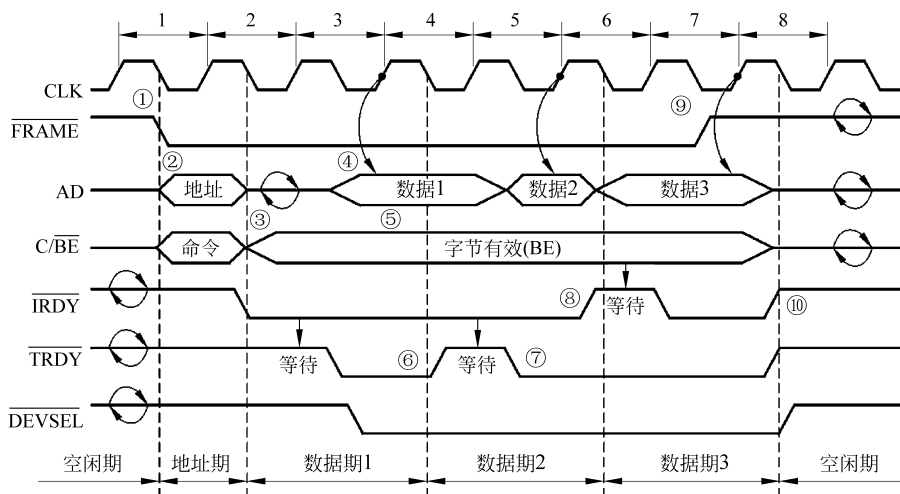


图 3.17 PCI 总线的引脚分布图



双箭头环状符号表示某信号线由一个设备驱动转换成另一个设备驱动的过渡期，
以此过渡期避免两个设备同时驱动一条信号线的冲突。

图 3.18 读操作的 PCI 总线周期的时序示例

上的信号，并驱动 $\text{IRDY}\#$ （主设备准备好信号线）为有效电平，表示已做好接收数据的准备。

④ 经一个时钟周期，目标设备驱动 $\text{DEVSEL}\#$ （设备选择信号线）为有效电平，通知主设备，从设备已被选中。同时将被请求的数据放在 AD 总线上，并将驱动从 $\text{TRDY}\#$ （设备准备好信号线）为有效电平，表示总线上的数据有效。

⑤ 启动方读数据。

⑥ 经一个时钟周期，目标设备还未准备好传送第二个数据块，AD 上还是数据 1，故

将 TRDY#驱动至无效电平，处于等待。

- ⑦ 目标设备准备好传送第二个数据块，TRDY#变为有效电平，启动方再读数据。
- ⑧ 目标方将第三个数据块放到数据总线上，但启动方未准备好，故因此将 IRDY#驱动至无效电平，等待。
- ⑨ 启动方准备好，但知道第三个数据块是要传输的最后一个，故将 FRAME 驱动至无效电平，准备结束总线周期，同时将 IRDY#驱动至有效电平，进行读数据操作。
- ⑩ 启动方读完数据 3，遂将 IRDY#驱动为无效电平，总线回到空闲状态。

3.3.3 AGP 总线

随着多媒体计算机的普及，三维技术的应用也越来越广。处理三维数据不仅要求有惊人的数据量，而且要求有更宽广的数据传输带宽。例如进行图像处理时，存储在显示卡上显示内存中不仅有影像数据，还有纹理数据、Z 轴的距离数据以及 Alpha 数据等，特别是纹理数据的数据量非常大，要描绘 3D 图形，不仅需要大容量的显存，需要高速的传输速度。表 3.2 为在不同分辨率的显示器进行 3D 绘图的数据量。

表 3.2 不同分辨率的显示器进行 3D 绘图的数据量 (MB/s)

分辨率/像素	显示器输出	显示器内存刷新	Z 轴缓冲存取	纹理存取	其 他	合 计
640×480	50	100	100	100	20	370
800×600	100	150	150	150	30	580
1024×768	150	200	200	200	40	840

可以看出，显示 1024×768×16 位真彩色的 3D 图形，纹理数据的传输速度需要 200MB/s，而当时的 PCI 总线的数据传输率只有 133MB/s。

为了解决此问题，Intel 公司于 1996 年 7 月推出了 AGP (Accelerated Graphics Port，加速图形端口)。这是一种显示卡专用的局部总线，是为了提高视频带宽而设计的总线规范。AGP 的基本特点如下。

- (1) 采用带边信号传输技术，在总线上调制使地址信号与数据信号分离，来提高随机内存访问速度。
- (2) AGP 还定义了一种“双重驱动术”，能在一个时钟的上、下沿双向传输数据，形成表 3.3 所示的 4 种运行模式。

表 3.3 AGP 的 4 种运行模式

版本号	位宽/b	有效时钟频率/MHz	传输带宽/ (MB/s)	信号电压/V
AGP 1.0	32	66	266	3.3
AGP 1.0	32	66×2 (双泵)	533	3.3
AGP 2.0	32	66×4 (四泵)	1066	1.5
AGP 3.0	32	66×8 (八泵)	2133	0.8

- (3) 数据读写采用流水线操作，减少了内存等待时间，有助于提高数据传输速率。
- (4) AGP 总线将视频处理器与系统主存直接相连，避免了经过 PCI 总线造成的系统瓶颈，提高了数据传输速度。采用 AGP 总线的系统结构如图 3.19 所示。