

项目 3

可控多进制计数器电路的分析与设计

项目介绍

可控多进制计数器电路采用中规模集成电路设计完成,它是一个可切换的七进制、九进制、七十九进制加法计数器,要求如下。

- (1) 用开关切换 3 种进制计数状态:七进制、九进制、七十九进制。
- (2) 数码管显示数据。
- (3) 计数脉冲由外部提供。

项目教学目标

- (1) 掌握边沿触发器的分类、结构及工作原理。
- (2) 掌握同步、异步时序电路的分析与设计方法。
- (3) 掌握仿真软件 Multisim 10 测试同步加、减法计数器的方法。
- (4) 掌握仿真软件 Multisim 10 测试异步加、减法计数器的方法。
- (5) 掌握仿真软件 Multisim 10 调试可控多进制计数器的方法。

3.1 触发器(Ⅱ)

学习目标

- (1) 知道边沿触发器的概念,了解边沿触发器的类别。
- (2) 掌握边沿 D 触发器的结构特点及工作原理,知道常用集成边沿 D 触发器的功能特点。
- (3) 掌握边沿 JK 触发器的结构特点及工作原理,知道常用集成边沿 JK 触发器的功能特点。
- (4) 熟悉边沿 T 触发器和 T' 触发器的结构特点。

逻辑电路有两大类:一类是组合逻辑电路;另一类是时序逻辑电路。组合逻辑电路的输出只与当时的输入有关,而与电路以前的状态无关。时序逻辑电路是一种与时序有关的逻辑电路,它主要由存储电路和组合逻辑电路两部分组成,如图 3-1 所示。时序逻辑电路的特点是:在任何时刻,电路产生的稳定输出信号不仅与该时刻电路的输入信号有关,而且还与电路过去的状态有关。时序逻辑电路的状态是由存储电路来记忆和表示的,

因此,在时序电路中,触发器是必不可少的。

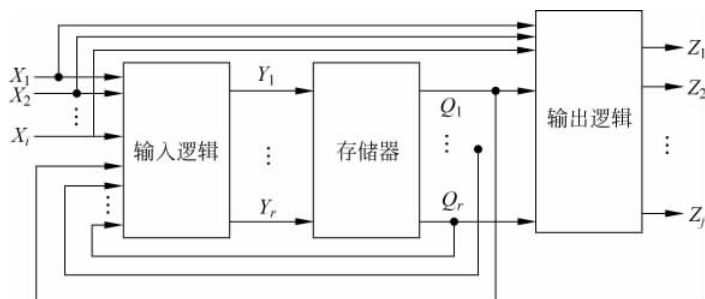


图 3-1 时序逻辑电路的结构图

项目 2 中介绍了同步触发器因结构的不完善而导致空翻现象的发生。在项目 3 中将继续介绍另外一种触发器——边沿触发器,这种触发器只有在时钟脉冲 CP 上升沿或下降沿到来时才接收输入信号,这时,电路会根据输入信号改变输出状态,从而提高触发器的工作可靠性和抗干扰能力,有效克服空翻。边沿触发器主要有边沿 D 触发器、边沿 JK 触发器、边沿 T 触发器和边沿 T' 触发器。

3.1.1 边沿 D 触发器

边沿 D 触发器(又称维持阻塞触发器)是利用触发器翻转时内部产生的反馈信号使触发器翻转后的状态 Q^{n+1} 得以维持,并阻止其向下一个状态转换(即空翻)而实现克服空翻和振荡。

1. 逻辑功能

图 3-2 所示为边沿 D 触发器的逻辑符号,为信号输入端,框内“>”表示动态输入,它表明时钟脉冲 CP 上升沿触发,若在“>”前面有个“o”,则表示时钟脉冲 CP 下降沿触发。

边沿触发器的逻辑功能与同步 D 触发器相同,特性表、驱动表和特性方程都一致,但边沿 D 触发器只有上升沿或下降沿到达时才有效。它的特性方程如下:

$$Q^{n+1} = D \quad (\text{CP 上升沿或下降沿到达时有效})$$

图 3-3 所示为上升沿触发的边沿 D 触发器的波形图。从图中可以看出,输出端 Q 的状态只有在 CP 上升沿时刻才会改变,很好地克服了空翻。

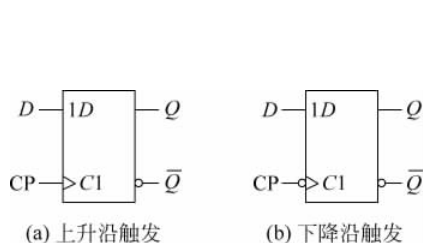


图 3-2 边沿 D 触发器的逻辑符号

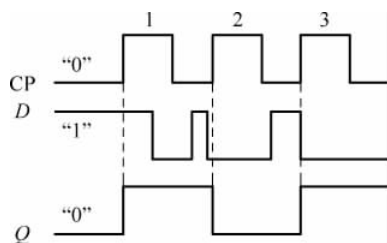


图 3-3 边沿 D 触发器的波形图

2. 集成边沿 D 触发器 74LS74

74LS74 是一种上升沿触发的双 D 触发器。它有 2 个独立的边沿 D 触发器,每个触

发器有数据输入(D)、置位输入($\overline{S_D}$)、复位输入($\overline{R_D}$)、时钟输入(CP)和数据输出(Q 、 $\overline{Q}$)。 $\overline{S_D}$ 、 $\overline{R_D}$ 的低电平使输出预置或清除,而与其他输入端的电平无关。当 $\overline{S_D}$ 、 $\overline{R_D}$ 均无效(高电平)时,符合建立时间要求的数据 D 在 CP 上升沿作用下传送到输出端。图 3-4 为 74LS74 的引脚排列及逻辑符号,功能如表 3-1 所示。

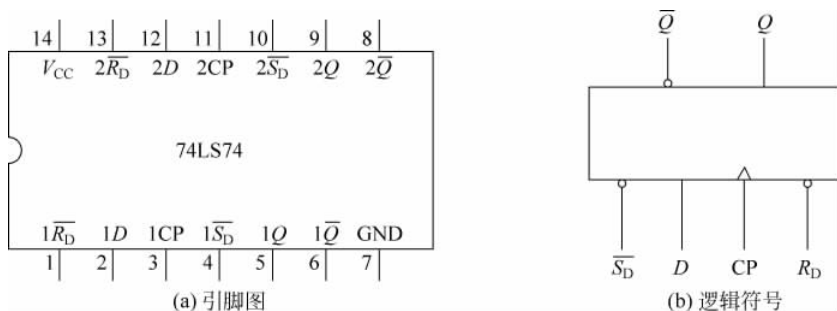


图 3-4 74LS74 的引脚图和逻辑符号

表 3-1 74LS74 的功能表

输 入				输 出		功能说明
$\overline{S_D}$	$\overline{R_D}$	CP	D	Q^{n+1}	$\overline{Q}^{n+1}$	
0	1	×	×	1	0	异步置 1
1	0	×	×	0	1	异步置 0
0	0	×	×	ϕ	ϕ	不允许
1	1	$\uparrow$	1	1	0	置 1
1	1	$\uparrow$	0	0	1	置 0
1	1	×	×	Q^n	$\overline{Q}^n$	保持

从表 3-1 中可以看出, $\overline{S_D}$ 和 $\overline{R_D}$ 端的信号对触发器的控制作用要优先于 CP 信号。当 $\overline{R_D}=0$ 、 $\overline{S_D}=1$ 时,触发器置 0, $Q^{n+1}=0$,与 CP 和 D 无关,这也是异步置 0 的原因。 $\overline{R_D}$ 称为异步置 0 端;当 $\overline{R_D}=1$ 、 $\overline{S_D}=0$ 时,触发器置 1, $\overline{S_D}$ 称为异步置 1 端;当 $\overline{R_D}=1$ 、 $\overline{S_D}=1$ 时,若 CP 处于上升沿,则 $Q^{n+1}=D$,若 CP 处于低电平、高电平或下降沿时,则 $Q^{n+1}=Q^n$ 。当 $\overline{R_D}=0$ 、 $\overline{S_D}=0$ 时,是一种不允许的状态。图 3-5 为具有异步输入的上升沿触发的 JK 触发器的波形图。

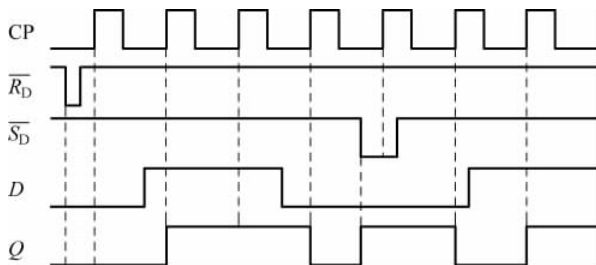


图 3-5 具有异步输入的上升沿触发的 JK 触发器波形图

3.1.2 边沿 JK 触发器

1. 逻辑功能

图 3-6 所示为边沿 JK 触发器的逻辑符号, J 、 K 为信号输入端, 框内“>”表示动态输入, 它表明时钟脉冲 CP 上升沿触发, 若在“>”前面有个“o”, 则表示时钟脉冲 CP 下降沿触发。

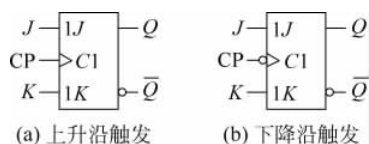


图 3-6 边沿 JK 触发器的逻辑符号

边沿 JK 触发器的逻辑功能与同步 JK 触发器的功能相同, 因此, 它们的特性表、驱动表和特性方程也相同。但边沿 JK 触发器只有在 CP 上升沿或下降沿到达时才有效。它的特性方程如下:

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n \quad (\text{CP 上升沿或下降沿到达时有效})$$

图 3-7 所示为下降沿触发的 JK 触发器的波形图。

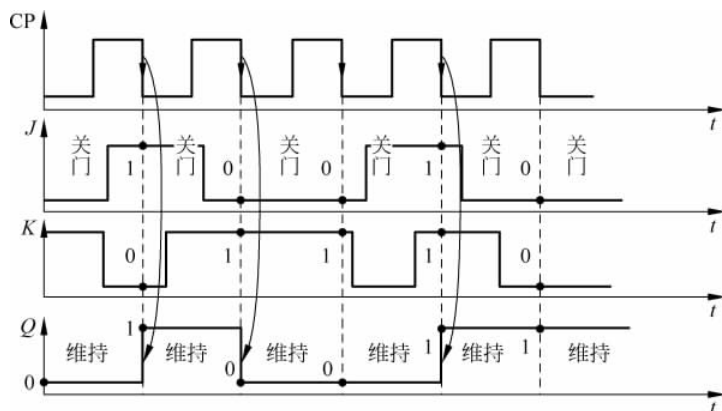


图 3-7 下降沿触发的 JK 触发器波形图

2. 集成下降沿触发的边沿 JK 触发器 74LS112

74LS112 内含两个独立的 JK 下降沿触发器, 它的逻辑符号和引脚图如图 3-8 所示。每个触发器都有数据输入(J 、 K)、置位输入($\overline{S_D}$)、复位输入($\overline{R_D}$)、时钟输入(CP)和数据输

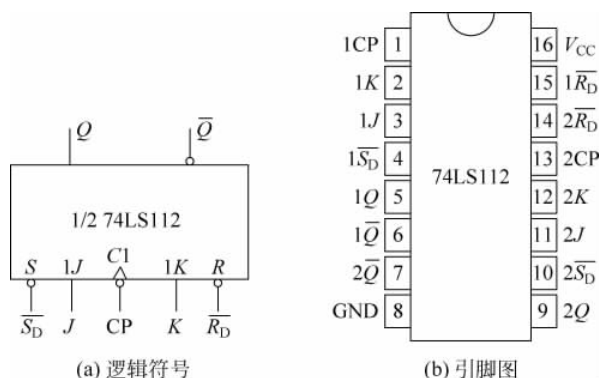


图 3-8 74LS112 逻辑符号和引脚图

出(Q 、 $\bar{Q}$)。 $\bar{S}_D$ 或 $\bar{R}_D$ 的低电平使输出预置或清除,而与其他输入端的电平无关。当 $\bar{S}_D$ 和 $\bar{R}_D$ 均无效(高电平式)时,符合建立时间要求的 J 和 K 数据在 CP 下降沿作用下传送到输出端。74LS112的功能表如表3-2所示。

表 3-2 74LS112 的功能表

输 入					输 出		功能说明
$\bar{R}_D$	$\bar{S}_D$	CP	J	K	Q^{n+1}	$\bar{Q}^{n+1}$	
0	1	×	×	×	0	1	异步置 0
1	0	×	×	×	1	0	异步置 1
1	1	↓	0	0	Q^n	$\bar{Q}^n$	保持
1	1	↓	0	1	0	1	置 0
1	1	↓	1	0	1	0	置 1
1	1	↓	1	1	$\bar{Q}^n$	Q^n	计数
1	1	1	×	×	Q^n	$\bar{Q}^n$	保持
0	0	×	×	×	1	1	不允许

从表 3-2 中可以看出:当 $\bar{R}_D=0$ 、 $\bar{S}_D=1$ 时,触发器置 0;当 $\bar{R}_D=1$ 、 $\bar{S}_D=0$ 时,触发器置 1;当 $\bar{R}_D=\bar{S}_D=1$ 时,若 $J=K=0$,则触发器保持原来的状态不变;当 $\bar{R}_D=\bar{S}_D=1$ 时,若 $J=0$ 、 $K=1$ 时,在下降沿的作用下,触发器置 0;当 $\bar{R}_D=\bar{S}_D=1$ 时,若 $J=1$ 、 $K=0$ 时,触发器置 1;当 $\bar{R}_D=\bar{S}_D=1$ 时,若 $J=1$ 、 $K=1$ 时,每输入一个上升沿,触发器的状态变化一次,处于计数状态。图 3-9 给出了具有异步输入的下降沿触发的 JK 触发器的波形图。

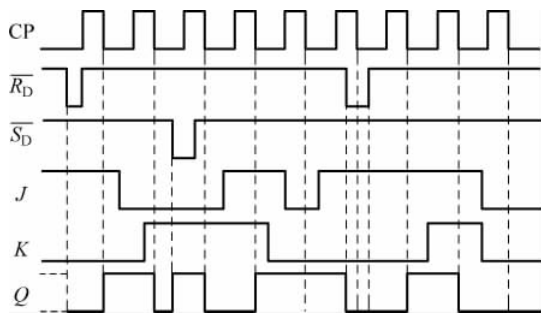


图 3-9 具有异步输入的下降沿触发的 JK 触发器的波形图

3. 集成上升沿触发的边沿 JK 触发器 CC4027

CC4027 内部也有两个独立的 JK 边沿触发器,它与 74LS112 不同的是,CC4027 是集成的上升沿触发的 JK 触发器。它的逻辑符号和引脚图如图 3-10 所示。每个触发器都有数据输入(J 、 K)、置位输入(S_D)、复位输入(R_D)、时钟输入(CP)和数据输出(Q 、 $\bar{Q}$)。

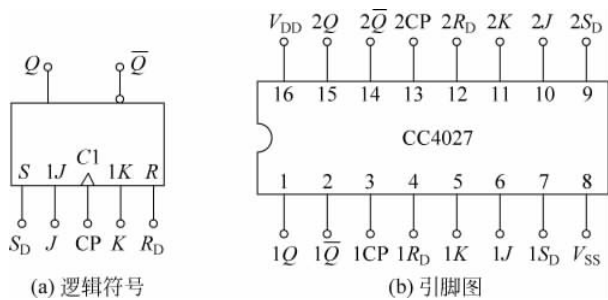


图 3-10 CC4027 的逻辑符号和引脚图

从表 3-3 可以看出,当 $R_D=0$ 、 $S_D=1$ 时,触发器置 1; 当 $R_D=1$ 、 $S_D=0$ 时,触发器置 0; 当 $R_D=S_D=0$ 时,若 $J=K=0$,在上升沿的作用下,触发器保持原来状态不变; 当 $R_D=S_D=0$ 时,若 $J=0$ 、 $K=1$,触发器置 0; 当 $R_D=S_D=0$ 时,若 $J=1$ 、 $K=0$,触发器置 1; 当 $R_D=S_D=0$ 时,若 $J=K=1$,每输入一个上升沿,触发器的状态变化一次,处于计数状态。

表 3-3 CC4027 的功能表

输 入					输 出		功能说明
R_D	S_D	CP	J	K	Q^{n+1}	$\overline{Q}^{n+1}$	
0	1	×	×	×	1	0	异步置 1
1	0	×	×	×	0	1	异步置 0
1	1	×	×	×	1	1	不允许
0	0	↑	0	0	Q^n	$\overline{Q}^n$	保持
0	0	↑	0	1	0	1	置 0
0	0	↑	1	0	1	0	置 1
0	0	↑	1	1	$\overline{Q}^n$	Q^n	计数
0	0	×	×	×	Q^n	$\overline{Q}^n$	保持

3.1.3 边沿 T 触发器和 T' 触发器

在计数器中经常用到 T 触发器和 T' 触发器,它们主要由 JK 触发器或 D 触发器构成。在时钟脉冲 CP 的控制下,根据输入信号 T 的取值的不同,具有保持和翻转功能的电路,即当 $T=0$ 时保持状态不变, $T=1$ 时具有一定翻转的电路,都称为 T 触发器。图 3-11 为 T 触发器的逻辑符号。

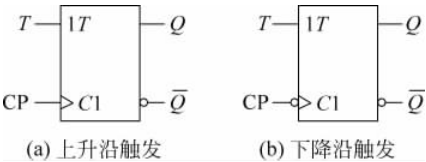


图 3-11 T 触发器的逻辑符号

1. JK 触发器构成 T 触发器和 T' 触发器

将 JK 触发器的 J 和 K 相连作为 T 的输入端,便可构成 T 触发器(如图 3-12(a)所示)。将 T 代入 JK 触发器的特性方程,得到 T 触发器的特性方程为

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

从图 3-12(b)中可以看出,只要将 T 触发器的输入端接高电平,即可构成 T' 触发器。T' 触发器是 T 触发器的一个特例,其特性方程为: $Q^{n+1} = \overline{Q}^n$ 。图 3-13 给出了 T 触发器和 T' 触发器的波形图。对比两张波形图,可以发现 T 触发器的输出端 Q 存在保持和翻转的现象,而 T' 触发器的输出端 Q 只存在翻转现象。

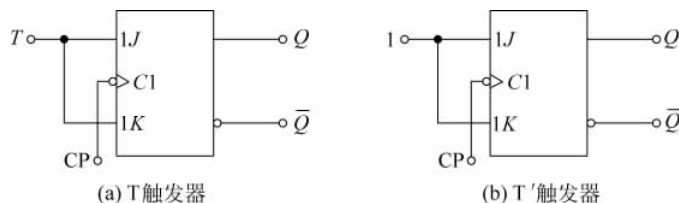


图 3-12 JK 触发器构成的 T 触发器和 T' 触发器

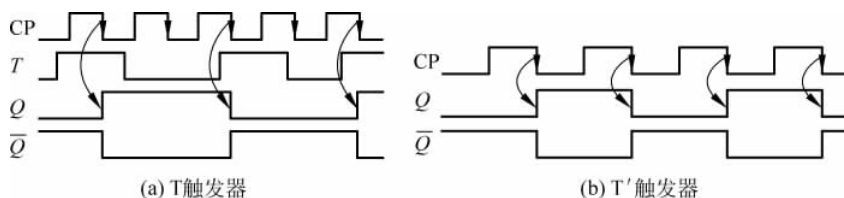


图 3-13 T 触发器和 T' 触发器的波形图

2. D 触发器构成 T 触发器和 T' 触发器

将 T 触发器的特性方程 $Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$ 与 D 触发器的特性方程 $Q^{n+1} = D$ 进行对比,要使两个方程相等,则 $D = T\overline{Q}^n + \overline{T}Q^n = T \oplus Q^n$ 。如图 3-14(a)所示为 D 触发器构成的 T 触发器。

当 $T=1$ 时, $D = \overline{Q}^n$,便可构成 T' 触发器,如图 3-14(b)所示。事实上,D 触发器构成的 T' 触发器是一个二分频电路,其波形图如图 3-15 所示。从图中可以看出 $T_Q = 2T_{CP}$,得出 $F_Q = \frac{F_{CP}}{2}$,因此称作二分频电路。

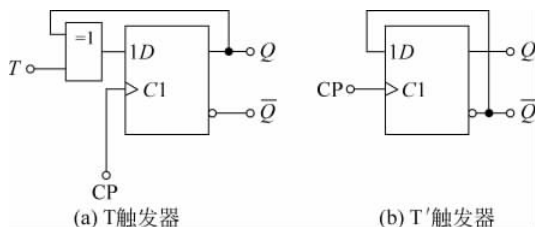


图 3-14 D 触发器构成的 T 触发器和 T' 触发器

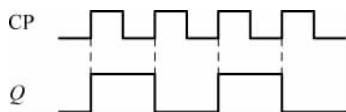


图 3-15 二分频电路的波形图



1. 边沿触发器较同步触发器的优点是什么?
2. 边沿 D 触发器、边沿 JK 触发器各自的特征方程是什么? 它们有什么特点?
3. 如何将边沿 D 触发器转换成 T 触发器和 T' 触发器?
4. T 触发器和 T' 触发器的区别是什么?
5. 如何将边沿 JK 触发器转换成边沿 D 触发器?

3.2 时序逻辑电路的分析方法

学习目标

- (1) 熟悉时序逻辑电路的分析步骤。
- (2) 掌握同步时序逻辑电路的分析方法。
- (3) 掌握异步时序逻辑电路的分析方法。

时序逻辑电路分同步时序逻辑电路和异步时序逻辑电路两大类。在同步时序逻辑电路中,各触发器由同一时钟脉冲触发,而在异步时序逻辑电路中,各触发器触发脉冲不相同,这是两类逻辑电路最大的区别。

时序逻辑电路的分析步骤如下。

(1) 写方程。

① 时钟方程。异步时序逻辑电路中各个触发器的时钟条件不同,因此需写出时钟方程。但同步时序逻辑电路可省略,因为它的各触发器的时钟条件都一样。

② 输出方程。时序逻辑电路的输出逻辑表达式,通常为现态和输入信号的函数。

③ 驱动方程。各触发器的输入端的逻辑表达式。

④ 状态方程。将驱动方程代入相应触发器的特性方程中,得到该触发器的状态方程,它表示了触发器次态和现态之间的关系。

(2) 列出状态转换真值表,画出状态转换图和时序图。将电路现态的各种取值代入状态方程和输出方程中进行计算,求出相应的次态和输出,从而列出状态转换真值表,画出现态与次态的关系图(即状态转换图)及时序图。

(3) 分析电路的逻辑功能,判断是否具有自启动功能。根据状态转换真值表,分析电路的逻辑功能。将无效状态(状态转换真值表中没有出现的状态)代入状态方程中进行计算,判断是否能回到有效状态(状态转换真值表中出现的状态),若能,说明电路能自启动,否则电路不能自启动。

3.2.1 同步时序逻辑电路的分析

【例 3-1】 试分析图 3-16 所示电路的逻辑功能,并画出状态转换图和时序图。

解:

① 写方程。

输出方程:

$$F = Q_1^n Q_3^n$$

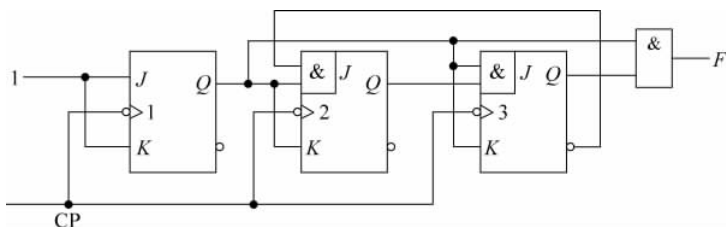


图 3-16 例 3-1 的时序逻辑电路

驱动方程：

$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = Q_1^n \overline{Q_3^n}, K_2 = Q_1^n \\ J_3 = Q_1^n Q_2^n, K_3 = Q_1^n \end{cases}$$

状态方程：将驱动方程代入触发器的特性方程 $Q^{n+1} = J \overline{Q}^n + K Q^n$ 得到电路的状态方

程为

$$\begin{cases} Q_1^{n+1} = \overline{Q_1^n} \\ Q_2^{n+1} = Q_1^n \overline{Q_2^n} \overline{Q_3^n} + \overline{Q_1^n} Q_2^n \\ Q_3^{n+1} = Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_1^n} Q_3^n \end{cases}$$

② 列出状态转换真值表，画出状态转换图和时序图。设电路的现态为 $Q_3^n Q_2^n Q_1^n = 000$ ，代入输出方程和状态方程计算后得 $F=0$ 和 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} = 001$ 。若电路的现态为 $Q_3^n Q_2^n Q_1^n = 001$ ，再次代入两个方程计算后得 $F=0$ 和 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} = 010$ ，其余类推。由此得到表 3-4 所示的状态转换真值表。

表 3-4 例 3-1 的状态转换真值表

现 态			次 态			输出
Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	F
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	0	0	0	1
1	1	0	1	1	1	0
1	1	1	0	0	0	1

根据表 3-4，可画出状态转换图和时序图，如图 3-17 所示。

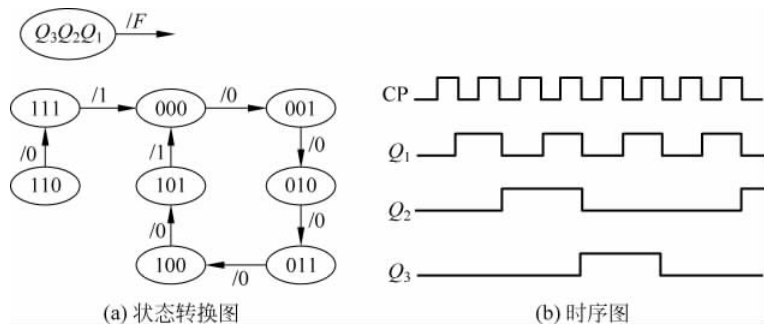


图 3-17 例 3-1 的状态转换图和时序图

③ 分析电路的逻辑功能,判断是否具有自启动功能。从表 3-4 中可见,每来一个 CP 脉冲,触发器作加 1 计算,每 6 个脉冲一个循环,所以这是一个六进制加法计数器。从图 3-17(a)可以看出,正常情况下,触发器状态在 000~101 循环,但若由于干扰使电路的状态为 110 或 111,也可以在 1~2 个时钟脉冲后回到以上的主循环,因此,该电路可以自启动。

3.2.2 异步时序逻辑电路的分析

【例 3-2】 试分析图 3-18 所示电路的逻辑功能,并画出状态转换图和时序图。

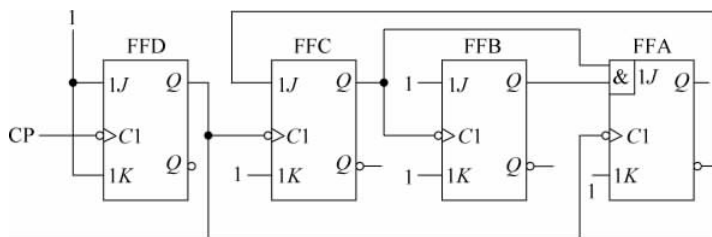


图 3-18 例 3-2 的时序逻辑电路

解:

① 写方程。时钟方程: $CP_D = CP, CP_A = CP_C = Q_D, CP_B = Q_C$;

$$\text{驱动方程: } \begin{cases} J_D = K_D = 1 \\ J_C = \overline{Q_A^n}, K_C = 1 \end{cases}, \begin{cases} J_B = K_B = 1 \\ J_A = Q_B^n Q_C^n, K_A = 1 \end{cases}$$

将驱动方程代入触发器的特性方程 $Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$ 得到电路的状态方程为

$$\begin{cases} Q_A^{n+1} = \overline{Q_A^n} Q_B^n Q_C^n (Q_D \text{ 下降沿有效}) \\ Q_B^{n+1} = \overline{Q_B^n} (Q_C \text{ 下降沿有效}) \end{cases}, \begin{cases} Q_C^{n+1} = \overline{Q_A^n} \overline{Q_C^n} (Q_D \text{ 下降沿有效}) \\ Q_D^{n+1} = \overline{Q_D^n} (CP \text{ 下降沿有效}) \end{cases}$$

② 列出状态转换真值表,画出状态转换图和时序图。设电路的现态为 $Q_A^n Q_B^n Q_C^n Q_D^n = 0000$,代入状态方程得到状态转换真值表 3-5。

表 3-5 例 3-2 的状态转换真值表

现 态				次 态				时钟脉冲			
Q_A^n	Q_B^n	Q_C^n	Q_D^n	Q_A^{n+1}	Q_B^{n+1}	Q_C^{n+1}	Q_D^{n+1}	$CP_A = Q_D$	$CP_B = Q_C$	$CP_C = Q_D$	$CP_D = CP$
0	0	0	0	0	0	0	1	↑	↑	↑	↓
0	0	0	1	0	0	1	0	↓	↑	↓	↓
0	0	1	0	0	0	1	1	↑	↑	↑	↓
0	0	1	1	0	1	0	0	↓	↓	↓	↓
0	1	0	0	0	1	0	1	↑	↑	↑	↓
0	1	0	1	0	1	1	0	↓	↑	↓	↓
0	1	1	0	0	1	1	1	↑	↑	↑	↓
0	1	1	1	1	0	0	0	↓	↓	↓	↓
1	0	0	0	1	0	0	1	↑	↑	↑	↓
1	0	0	1	0	0	0	0	↓	↑	↓	↓