

第3章 面向工作负载的电路 老化分析和预测

一般来说,设计者会在集成电路的设计阶段保留一定的定时余量以容忍电路在其服役期内由于老化效应(如 NBTI 效应)所增加的时延。定时余量的大小通常是根据假定的电路在其服役期内经历最差工作条件而导致的老化来决定的。然而,由于大多数的芯片在其服役期内很少经历最差的工作条件,在设计阶段所做出的这种基于最差情况的电路老化预测是比较保守和悲观的,会导致保留的定时余量过大,从而减小了可以提供的电路最大操作频率。

实际上,NBTI 效应导致的电路老化强烈地依赖于一些环境因素和工作条件,比如芯片的工作温度、供电电压,特别是芯片执行功能操作时的工作负载。因此,在确定所要保留的定时余量时,应充分考虑电路的实际工作情况及不同的环境、工作条件对于电路老化效应的影响,以便使定时余量的设定更为实际和合理,避免过于保守的设计(*over-design*)。

本章基于 NBTI 效应的物理模型,提出了一个面向工作负载的电路老化分析和预测方法。不同于以往的老化分析和预测方法采用假定工作负载的做法,本章提出的方法通过求解关键门输入节点上的最差占空比集合来预测电路在实际操作中由于工作负载而导致的老化上限。所得的预测结果可以用来指导设计阶段所作出的保留定时余量的决策以及应对电路老化的可靠性设计工作。

3.1 老化分析和预测方法概述

本章提出的电路老化分析和预测方法如图 3.1 所示。首先,结合 NBTI 效应的物理模型,在假定极端工作条件的前提下采用 MDS 分析方法获得电

路老化较为保守的预测上限值。随后考虑 NBTI 效应对于上、下跳变信号的不同影响,分析方法识别出电路中所有潜在的由于老化效应而导致其时延增加量会超过指定定时约束的关键通路。由于静态时序分析没有考虑所识别的通路是否可敏化,因此会造成潜在关键通路集合内有些通路实际上在功能状态下是不可达的,从而影响电路老化预测的准确性。所以,在获得潜在关键通路集合后对其进行精简,使用基于通路的自动测试向量生成方法将不可敏化的通路剔除出去。由于电路中的通路在老化效应下的时延增加量实际上是由这条通路上的逻辑门在老化效应下的时延增加量所决定的。所以,在潜在关键通路集合精简后,分析方法识别出集合内所有关键通路上的关键门。基于这些关键门,分析方法求解关键门输入节点上可以导致电路最大老化的最差占空比集合。最后,根据此最差占空比集合来预测电路在其服役期内经历实际工作负载的最大老化。

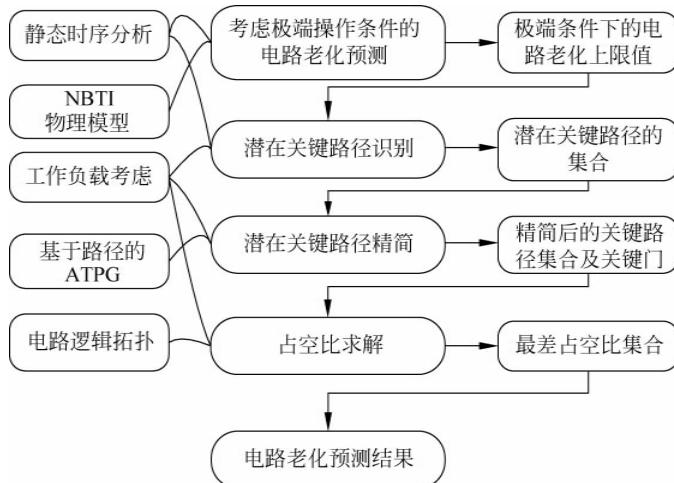


图 3.1 电路老化分析和预测方法示意图

3.2 关键通路和关键门的识别

这里首先对关键通路进行定义: 电路中的一条通路如果在一定的操作时间后(如 5 年或 10 年)由于 NBTI 效应导致的时延增加量大于自身的定

时余量，则称这条通路为关键通路。从以上的定义可知，只有关键通路的时延变化才会影响到电路的时延变化。因此，分析、预测及优化 NBTI 效应导致的电路老化时只需要针对关键通路来进行。反之，如果一条通路在经历了一段操作时间后其定时余量仍然大于由于老化导致的时延增加量，那么这条通路的时延变化不会对电路的时延产生影响，因而可以在老化分析中忽略掉。

由于 NBTI 效应只是作用于 PMOS 晶体管，因此通常在电路老化的时序分析中只计算门的传播时延而忽略互连线的时延。文献[14]和文献[17]对长期的 NBTI 效应模型进行了化简，并根据 α 定律^[83] 将 NBTI 效应导致的门传播时延增加量表示为

$$\Delta T_{p(i)} = c_i \cdot \alpha_i^n \cdot t^n \quad (3.1)$$

式中： $\Delta T_{p(i)}$ 表示在 NBTI 效应下，门输入节点 i 到门的输出节点之间传播时延的增加量； c_i 是一个拟合的常数，表示与输入节点 i 相连接的 PMOS 晶体管的阈值电压与门传播时延之间的一阶线性关系； α_i 称为节点 i 的占空比。前面提到过，在 NBTI 研究领域，占空比表示 PMOS 晶体管处于负偏置的时间占整个电路操作时间的比例。从统计观点来看，占空比可以看作是整个操作时间内电路节点上的统计信号概率(信号为零的概率)^[17]。 t 表示电路的操作时间。当扩散种子为氢分子时， n 取 0.16。因此，忽略互连线的时延，一条关键通路在 NBTI 效应下的时延增加量可以近似看成是这条通路上所有关键门时延增加量的总和。

3.2.1 潜在关键通路识别

预测电路在一段操作时间内的最大老化实际上就是，预测电路在这段操作时间结束时最长通路的时延。然而，一个有趣的现象是：在工作负载的影响下，电路中的通路有着不同的老化速度。某些在芯片制造后本来不是最长的通路经过一段操作时间(比如 5 年或 10 年)后有可能成为电路中的最长通路。因此，为了准确地预测电路在一段操作时间内的老化，电路中所有可能在老化效应的影响下会在这段操作时间结束时成为最长通路的通路都应该被识别出来。本文称这些通路为潜在关键通路。

为了识别出电路中所有的潜在关键通路，时序分析过程需要考虑最差的

工作条件。这种基于最差工作条件的做法可以确保得到电路老化的上限值，从而保证所识别的潜在关键通路的完整性。本文采用文献[32]提出的 MDS 老化分析方法来获得指定操作时间内电路由于 NBTI 效应导致的老化上限值。在 MDS 方法中，电路中所有的门输入节点上的占空比统一设为 0.95，然后根据这种占空比的设置，采用式(3.1)来计算技术库中门的传播时延。在将技术库映射到电路网表之后，通过静态时序分析获得电路在老化效应下的最长通路的时延值。将这个时延值减去电路在不考虑老化效应时的额定时延值，即可得到电路老化的上限值。

假定电路中的所有通路均有可能在最差工作条件下达到这个老化上限值，因此，所有时延值满足式(3.2)的通路都被识别为潜在关键通路：

$$D_{p(i)} \times (1 + R_{\max}) \geq T_c \quad (3.2)$$

式中： $D_{p(i)}$ 表示在不考虑电路老化的情况下，使用静态时序分析获得的第 i 条通路的额定时延值； R_{\max} 表示采用 MDS 方法得到的电路时延值在老化效应下增加的百分比； T_c 表示设定的定时约束，例如，定时约束可以设置为额定情况下电路中最长通路时延值的 110%。

采用 MDS 方法和式(3.2)识别潜在关键通路的做法较为保守，原因有以下几点：①在 NBTI 效应影响下，门传播时延的增加量会因为门输入节点上的信号是上跳变(rising transition)还是下跳变(falling transition)而不同，从而导致通路在 NBTI 效应影响下的时延增加量也不是唯一值；②没有考虑所识别的潜在关键通路是否可敏化；③获得电路老化上限值的方法过于保守和悲观。在电路的实际操作中，其内部节点的占空比取值实际上是由门所实现的逻辑功能和电路的逻辑拓扑所决定的，不可能出现所有节点的占空比全部为 0.95 的情况。因此，接下来，本文将根据原因①和②对潜在关键通路进行精简，而在 3.3 节里通过避免出现原因③来求得电路执行实际工作负载时的老化值。

3.2.2 潜在关键通路的精简

NBTI 效应会逐渐升高 PMOS 晶体管的阈值电压但不会影响 NMOS 晶体管。PMOS 晶体管阈值电压的升高会增加其导通时间。因此，如果一个下跳变信号施加到门的输入节点上，门输出节点上相应的上跳变信号(仅对互

补金属氧化物半导体(CMOS)工艺而言)会因为 PMOS 晶体管阈值电压的升高而变慢。相反,当一个上跳变信号施加到门的输入节点上,门输出节点上相应的下跳变信号不会受到任何影响,这是因为 NMOS 晶体管的阈值电压不受 NBTI 效应的影响。图 3.2 给出了对一个反相器所做的 HSPICE 仿真实验结果。仿真实验使用 HSPICE 的 MOSRA (MOSFET model reliability analysis) 方法来模拟反相器在经历 5 年服役期操作后由于 NBTI 效应导致的阈值电压变化。如图 3.2 所示,当一个下跳变信号施加到反相器的输入端时,反相器输出端的上跳变信号相比较于没有老化的情况变慢了;反之,当一个上跳变信号施加到反相器的输入端时,反相器输出端的下跳变信号不受任何影响。

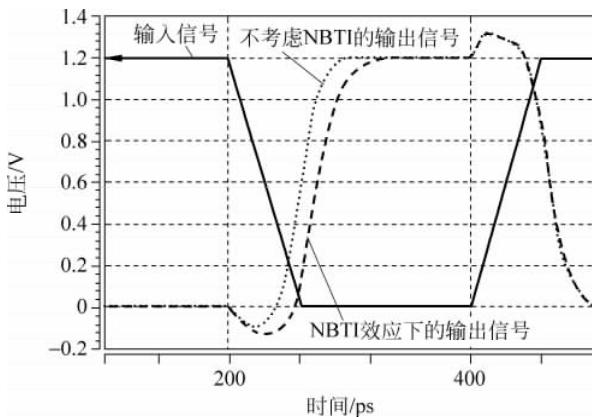


图 3.2 NBTI 效应对上、下跳变信号的影响

因此,通路在 NBTI 效应下的时延增加量实际上并不等于此通路上所有的门由于 NBTI 效应而导致的时延增加量之总和。只有当一个门的输出信号是上跳变信号(即输入为下跳变信号)时,它的时延增加量才应被算作一部分通路时延的增加量。也就是说,一条通路在 NBTI 效应下的时延增加量相对于其原始输入端(primary input)上的上、下跳变信号是不同的。举例来说,如图 3.3 所示,通路 A 由三个反相器组成。假定三个反相器经历了相同时间的 NBTI 效应并因此导致它们的阈值电压被升高。当一个下跳变信号施加到通路 A 的原始输入端时(图 3.3(a)),反相器 1 和反相器 3 的输入端为下跳变信号,因此它们输出端的上跳变信号因为阈值电压被升高而变慢。而由于反相

器 2 的输入端为上跳变信号, 所以其输出端的下跳变信号不受影响。所以, 对于图 3.3(a)来说, 即使反相器 2 的阈值电压同样因为 NBTI 效应被升高了, 通路 A 在 NBTI 效应下的时延增加量实际上也只是反相器 1 和反相器 3 由于 NBTI 效应而导致的时延增加量之和。同样, 对于图 3.3(b)来说, 当一个上跳变信号施加到通路 A 的原始输入端, 通路 A 的时延增加量只等于反相器 2 由于 NBTI 效应而导致的时延增加量。

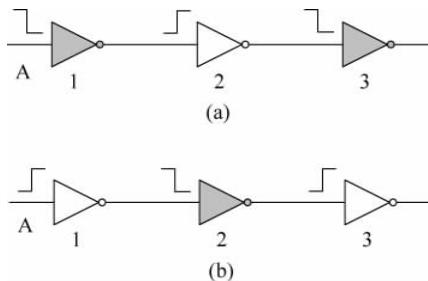


图 3.3 上、下跳变信号对于通路时延增加量计算的影响

(a) 路径原始输入端为下跳变; (b) 路径原始输入端为上跳变

基于以上的分析, 可以得出如下结论: 简单地认为一条通路在 NBTI 效应下的时延增加量是这条通路上所有的门由于 NBTI 效应导致的时延增加量之总和的做法过于保守和悲观。因此, 通过重新计算通路在其原始输入端上施加上、下跳变信号的情况下时延增加量, 对识别出来的潜在关键通路进行进一步精简。如果在考虑上、下跳变信号的情况下通路的时延增加量均不满足式(3.2), 这条通路将从识别出的潜在关键通路中被剔除出去。同时, 对所有的潜在关键通路采用基于通路的自动测试向量生成方法(path-based ATPG)来识别在实际电路操作中不可敏化的通路, 这些不可敏化的通路也从潜在关键通路中被移除出去。经过精简后的潜在关键通路就被称为是最终的关键通路。

表 3.1 给出了在假定 5 年电路服役期的情况下对一些基准电路进行时序分析后获得的潜在关键通路的数目, 以及精简后的通路数目的统计结果。由表 3.1 可以看出, 通过考虑上、下跳变信号对于通路时延增加量的不同影响及通路是否可敏化, 潜在关键通路中真正的关键通路数目大为减少。

表 3.1 关键通路统计结果

电 路	精简前数目	精简后数目	精简百分比/%
c880	80	18	77.5
c1908	693	27	96.1
c2670	1741	209	88
c3540	1621	273	83.1
c5315	1244	598	51.9
c7552	3753	899	76
s298	3	2	33.3
s820	2	2	0
s1196	25	8	68
s1238	15	8	46.6
s9234	2280	322	85.8

3.2.3 关键门的识别

这里对于关键门的定义为：如果一个门的时延增加量被算作其所在关键通路时延增加量的一部分，这个门就称为关键门。例如，对于图 3.3(a)，由于在原始输入端输入信号为下跳变信号的情况下，只有反相器 1 和反相器 3 的时延增加量被计入通路 A 的时延增加量之内，所以反相器 1 和反相器 3 是关键门。而对于图 3.3(b)，明显的只有反相器 2 是关键门。因此，当一条通路在其原始输入端信号为上、下跳变信号时都是关键通路，那么，这条通路上所有的门都被识别为关键门。如果一条通路只在其原始输入端信号为上跳变信号或者下跳变信号时是关键通路，那么这条通路上输出信号为上跳变信号的门就被识别为关键门。

3.3 占空比的求解

电路由于 NBTI 效应导致的老化强烈依赖于执行的工作负载。正是工作负载决定着电路中的门在整个操作期间所经受的 NBTI 效应的时间，也即工作负载决定了整个操作期间电路中门输入节点上的占空比。由此也可以很自然地想到，占空比是一个反映电路在执行实际工作负载时由于 NBTI 效应

导致的老化的绝佳参数。

电路在执行功能操作时处于活动模式。电路处于活动模式时,其内部节点的输入信号会因为工作负载而在低电平和高电平之间不断地变化。因此,电路处于活动模式时内部的门会经受动态 NBTI 效应。而现今许多低功耗技术为了降低动态功耗,都会在电路不需执行有用的功能操作时阻塞功能时钟 (clock gating),强迫电路进入待机模式。因此,电路处于待机模式时其内部节点的输入信号会保持不变。在这种情况下,电路中的一部分门由于其输入信号始终为低电平而经受静态 NBTI 效应。需要注意的是,虽然电路内部节点的输入信号在每个单独的待机模式时段里保持不变,但在不同的待机模式时段里却是不一样的。每个待机模式时段里电路内部节点的输入信号其实是由前一次活动模式时段结束时节点的输入信号来决定的。因此,就整个操作时间来说,仍然可以看作电路是在经受一个动态 NBTI 效应的过程。

由以上的分析可以得出一个结论:由于电路在整个功能操作时间内因为执行工作负载而经受动态 NBTI 效应,而节点的占空比是决定动态 NBTI 效应所导致的电路老化的一个最重要的参数,它反映了节点处于偏置时间和恢复时间的比例。所以理论上,电路中门的输入节点上分别存在一组占空比能够反映出电路在执行工作负载时由于 NBTI 效应导致的老化的上、下限。另外需要说明的是,在求解能够导致电路最小或最大老化的占空比时,只需要考虑关键门的输入节点,这是因为只有关键通路的时延变化才会对电路的时延产生影响。

一个可能被质疑的问题是:虽然理论上存在的最差占空比集合能够反映出电路执行工作负载时由于 NBTI 效应导致的最大老化。但是,这种工作负载可能在电路的实际操作中不会出现,因此使得老化预测的结果仍然可能大于实际情况。笔者认为,同预测电路最大功耗的方法类似,电路老化的预测也需要获取老化的上限值,从而使得老化预测的结果能够覆盖电路在最差工作条件下的老化情况。因此,即使最差占空比所代表的工作负载可能在电路的实际操作中极少出现,但据此预测的电路老化结果却能够保证覆盖电路所有可能的工作条件。另一方面,通过最差占空比集合表示电路执行工作负载的最大老化又可以避免对电路老化过于悲观的假设,更接近于电路在实际工作条件下的老化情况。

本文采用非线性规划(non-linear programming),来求解电路中关键门输入节点上可以导致电路最小或最大老化的最佳或最差占空比集合。求解过程可以表示如下。

图 3.4 中, D_C 表示优化目标, 即电路的信号最大到达时间(arrival time)。很明显, 当求解最佳占空比集合时需要最小化这个目标; 而求解最差占空比集合时需要最大化这个目标。求解过程需要遵循两个约束条件: 时延约束和占空比取值约束。时延约束用来保证求解过程中门输入节点的信号到达时间与门的传播时延之和小于等于输出节点信号的到达时间。而占空比取值约束反映了门所实现的逻辑功能和电路的逻辑拓扑对于节点占空比取值的限制。需要注意的是, 传统的非线性规划往往是求解能够满足优化目标取最小值的变量值。因此, 为了求解能够满足优化目标取最大值的变量值, 需要将优化目标设定为负值。

最小或最大 D_C
约束条件为
(1) 时延约束;
(2) 占空比取值约束

图 3.4 占空比求解

3.3.1 时延约束

只有关键通路时延的变化才会影响电路的时延, 所以时延约束只需针对关键通路来设定。假定已经识别出的关键通路集合中包含 m 条通路, 而指定的电路定时约束为 D_{TC} , 则时延约束可以表示为

$$D_{p(j)} \leq D_{TC} \text{ 求解最佳占空比}$$

或

$$D_{p(j)} \geq D_{TC} \text{ 求解最差占空比}$$

其中, $D_{p(j)}$ 表示第 j 条关键通路的信号最大到达时间, $0 < j \leq m$ 。

在一个大规模电路中可能存在成千上万条关键通路, 这会导致时延约束过于庞大和复杂。因此, 为了减小非线性规划的运算复杂度, 上面的基于关键通路的时延约束被进一步地转化为基于关键门的时延约束。基于关键门的时延约束可以表示如下:

$$A_j \leq D_{TC} \text{ 或 } A_j \geq D_{TC} \quad j \in \text{门的输出节点集合}$$

$$A_i + D_i \leq A_j \quad i \in \text{门的输入节点集合}$$

$$D_i \leqslant A_j$$

在这里, A_j 表示门输出节点 j 的信号到达时间; A_i 表示门输入节点 i 的信号到达时间; D_i 表示在考虑 NBTI 效应的情况下门由输入节点 i 到其输出节点的传播时延。

3.3.2 占空比取值约束

电路中节点的占空比取值是被节点所属的门实现的逻辑功能和电路的逻辑拓扑所限定的。门输出节点的占空比实际上是由门所有输入节点上的占空比共同决定的。就统计观点来看, 经过一段操作时间后, 节点上的占空比实际可以看成是这段操作时间内的统计信号概率(信号为低电平的概率)。例如, 假定经过一段操作时间 t 以后, 一个门某个输入节点上的统计信号概率为 0.5, 则可以认为门内部与这个输入节点相连接的 PMOS 晶体管在这段操作时间里处于负偏置的时间为 $0.5t$ 。由于占空比的定义为 PMOS 晶体管处于负偏置的时间占整个电路操作时间的比例, 因此, 就这个例子来说, 门输入节点的占空比同样是 $0.5(0.5t \div t)$ 。

因为占空比可以等同于统计信号概率, 所以在假定电路输入信号独立的情况下, 电路中门的输入节点上占空比的计算及占空比计算在整个电路的传播过程可以按照文献[84]所提出的统计信号概率的计算和传播方法来实现。根据门输入节点的占空比, 表 3.2 列出了反相器及一些 2 输入的基本门(primitive gate)输出节点上占空比的计算公式。

表 3.2 基本门输出节点上占空比的计算公式

基 本 门	输入节点占空比	输出节点占空比
反相器	α	$1 - \alpha$
2 输入与非门	$\alpha_a \cdot \alpha_b$	$(1 - \alpha_a) \cdot (1 - \alpha_b)$
2 输入或非门	$\alpha_a + \alpha_b$	$1 - \alpha_a \cdot \alpha_b$

输入端数目大于 2 的其他基本门输出节点上占空比的计算公式可以按同样的方法进行推导。这些简单的、针对单独一个门的占空比约束公式可以被拓展为整个电路的占空比约束。需要注意的是, 电路的占空比约束同样只需要考虑关键门, 这是由于非关键门的时延增加量不会影响到关键通路的时延