

第5章

半导体存储器

引言

每个基于微处理器的系统都有存储器,无论是微机系统还是嵌入式系统。微机中的存储器包括内存和外存两大类。内存主要由半导体材料制成,也称半导体存储器,主要包含两大类:随机存取存储器(RAM)和只读存储器(ROM)。我们经常直接接触到的 Flash(闪存)则属于 ROM 的一种。RAM 则通常用于存放临时数据,而 ROM 因其稳定性而常用于存放系统程序、应用程序以及部分永久性系统数据。在嵌入式系统中,RAM 和 ROM 与处理器一起集成在一个芯片上,容量较小。在微机系统中,则借助硬件系统和操作系统,将以 RAM 为主的内存和由磁盘或 ROM 构成的外存统一管理,构成存储系统。

本章首先介绍 RAM 和 ROM 这两类半导体存储器的特点。然后,以一些典型半导体存储器芯片为例介绍半导体存储器接口设计方法,以及如何利用已有存储器芯片构成需要的内存空间。这些设计方法和思想对嵌入式开发有重要的意义。最后,结合高速缓存技术,简要介绍存储系统的概念。

教学目的

- 清楚 RAM、ROM 及 Flash 的特点和主要应用场合。
- 熟练掌握典型半导体存储器芯片与系统的连接。
- 掌握存储器扩展技术。能够利用给定型号的存储器芯片设计存储器接口。
- 清楚高速缓冲存储器的概念和一般工作原理。
- 清楚存储系统的基本概念和主要设计目标。



半导体存储器概述

5.1 半导体存储器概述

存储器是计算机运行过程中信息存储和交换的中心设备,从这个意义上说,现代计算机系统是以存储器为中心的。半导体存储器(semiconductor memory)是用半导体集成电路工艺制成、用于存储数据信息的固态电子器件,由大量能够表征 0 和 1 的半导体器件(存储元^①)和输

^① 存储元是能够表示一个 0 或 1 状态的物理器件,如电容、双稳态电路等。在通电的情况下,它们能够保持 0 或 1 (即低电平或高电平)状态不变,即具有记忆功能。每个存储元可以保存一位二进制信息。每个内存单元存储一字节,即每个存储单元都由 8 个存储元构成。

入输出电路等构成,是计算机主机的重要部件。程序在被计算机执行前必须送入内存。与磁性存储器相比,半导体存储器具有存取速度快、存储容量大、体积小等优点,且存储元阵列和主要外围逻辑电路兼容,可制作在同一芯片上。目前,半导体存储器不仅作为内存,也在逐渐取代磁性存储器而作为外存,例如笔记本电脑中的固态硬盘。

半导体存储器有两种基本操作——读和写。读操作是指从存储器中读出信息,不破坏存储单元中原有的内容。写操作是指把信息写入(存入)存储器,新写入的数据将覆盖原有的内容。

存储器中存储单元的总数称为存储器的存储容量。显然,存储容量越大,能够存放的信息就越多,计算机的信息处理能力也就越强。

半导体存储器按照工作方式的不同可分为随机存取存储器和只读存储器两大类。

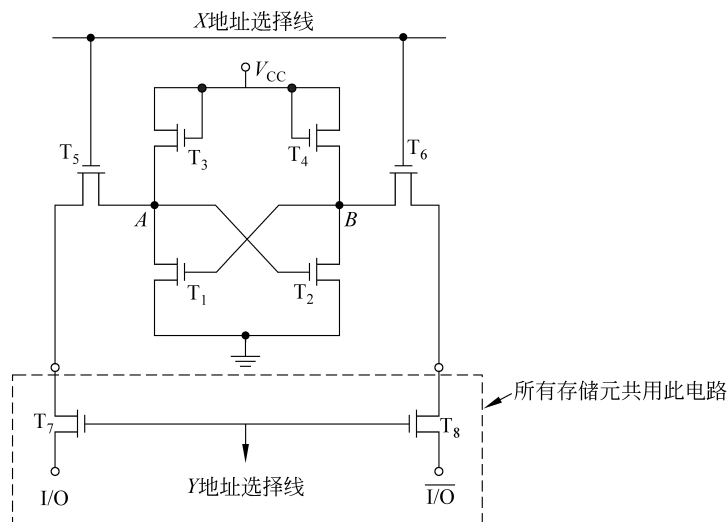
◇5.1.1 随机存取存储器

随机存取存储器(Random Access Memory, RAM)的主要特点是可以随机进行读写操作,但掉电后信息会丢失,是目前微机中主内存的主要构成部件。根据制造工艺的不同, RAM 可以分为双极型 RAM 和金属-氧化物-半导体(Metal-Oxide-Semiconductor, MOS)型 RAM。双极型 RAM 的主要优点是存取时间短,通常为几纳秒(ns)到几十纳秒。与 MOS 型 RAM 相比,双极型 RAM 集成度低,功耗大,而且价格也较高,因此,双极型 RAM 主要用于要求存取时间非常短的特殊应用场合(如高速缓冲存储器)。

根据存储单元的工作原理不同, RAM 又分为静态随机存取存储器(Static RAM, SRAM)和动态随机存取存储器(Dynamic RAM, DRAM)。

1. SRAM

SRAM 即静态随机存取存储器,其基本存储电路(即存储元)是在静态触发器的基础上附加门控管构成的,靠触发器的自保功能存储数据。只要不掉电,其存储的信息可以始终稳定地存在,故称其为静态 RAM。图 5-1 给出了由 6 个 MOS 管组成的双稳态存储元,它是 SRAM 的基本存储电路。



◆图 5-1 双稳态存储元



存储器单元
编址

在图 5-1 中, T_3 、 T_4 是负载管, T_1 、 T_2 是工作管, T_5 、 T_6 、 T_7 、 T_8 是控制管, 其中 T_7 、 T_8 为所有存储元共用。

在写操作时, 若要写入 1, 则 $I/O=1$, $\overline{I/O}=0$, X 地址选择线为高电平, 使 T_5 、 T_6 导通, 同时 Y 地址选择线也为高电平, 使 T_7 、 T_8 导通, 要写入的内容经 I/O 端和 $\overline{I/O}$ 端进入, 通过 T_7 、 T_8 和 T_5 、 T_6 与 A 、 B 端相连, 使 $A=1$, $B=0$, 这样就迫使 T_2 导通, T_1 截止。当输入信号和地址选择信号消失后, T_5 、 T_6 、 T_7 、 T_8 截止, T_1 、 T_2 就保持被写入的状态不变。这样, 只要不掉电, 写入的信息 1 就能保持不变。写入 0 的原理与此类似。

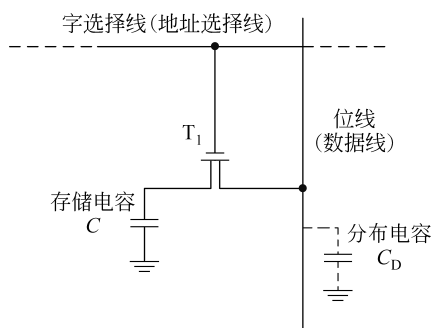
在读操作时, 若某个存储元被选中 (X 、 Y 地址选择线均为高电平), 则 T_5 、 T_6 、 T_7 、 T_8 都导通, 于是存储元的信息被送到 I/O 端和 $\overline{I/O}$ 端上。 I/O 端和 $\overline{I/O}$ 端连接到一个差动读出放大器上, 从其电流方向即可判断出所存信息是 1 还是 0。

SRAM 存放的信息在不掉电的情况下能长时间保留, 状态稳定, 其外部电路比较简单, 便于使用。但是, 由于 SRAM 的基本存储电路中包含的晶体管较多, 故集成度较低, 且功耗比较大。

2. DRAM

DRAM 即动态随机存取存储器。这类存储器的存储元有两种结构: 四管存储元和单管存储元。四管存储元的缺点是元件多, 占用芯片面积大, 故集成度较低, 但外围电路较简单。单管存储元的元件数量少, 集成度高, 但外围电路比较复杂。这里仅简单介绍单管存储元的存储原理。

作为 DRAM 的基本存储电路的单管动态存储元如图 5-2 所示, 它由一个 MOS 管 T_1



◆图 5-2 单管动态存储元

和一个电容 C 构成。写入时, 字选择线 (地址选择线) 为 1, T_1 导通, 写入的信息通过位线 (数据线) 存入电容 C 中。

由图 5-2 可以看出, 以电容为核心的存储元电路简单。但电容总会漏电, 时间长了, 存放的信息就会丢失或出现错误。因此需要对这些电容定时充电, 这个过程称为刷新, 即定时地将存储单元中的内容读出再写入。由于需要定时刷新, 所以这种 RAM 称为动态 RAM。DRAM 的存取速度一般较 SRAM 的存取速度低。DRAM 主要的特点是集成度非常高, 功耗低, 价格比较便宜, 主要用于计算机

中的主内存 (内存条)。

3. SDRAM

SDRAM (Synchronous Dynamic RAM) 称为同步动态随机存取存储器。虽然它也是动态存储器, 存储元依然是以电容为主, 也常要定时刷新, 但它在内部结构及使用上又与标准 DRAM 有较大不同。引起不同的基本出发点就是希望 SDRAM 的速度更快一些, 以满足计算机对内存速度越来越高的要求。

与标准 DRAM 相比, SDRAM 主要有以下特点:

(1) SDRAM 芯片内部通常将存储单元分成两个以上的逻辑阵列, 称为体 (bank), 最少

有两个,一般有4个。这也是SDRAM最主要的特点。这样做的目的是:在对SDRAM进行读写时,选中某个逻辑阵列进行读/写,没有被选中的逻辑阵列便可以预充电,做必要的准备工作;当下一个时钟周期选中它时就可以立即响应,不必再做准备。这样就能够提高SDRAM的读写速度。而标准DRAM在一个读写周期结束后要有一个短暂的预充电期才能进入下一个读写周期,其速度显然较慢。标准的DRAM可以看成内部只有一个逻辑阵列的SDRAM。

(2) SDRAM是有一个同步接口的动态随机存取存储器,在工作时其读写周期与CPU时钟周期严格同步。而标准DRAM是异步DRAM,它的读写周期与CPU时钟周期不同步。

(3) 除了能够像标准DRAM那样一次只读或写一个存储单元外,SDRAM还有突发读写功能。突发(burst)是指在同一行中相邻的存储单元间进行连续数据传输的方式,连续传输所涉及的存储单元(列)的数量就是突发长度(Burst Length,BL)。这种读写方式在高速缓存、多媒体等许多应用中非常有用。

目前计算机中的主内存主要由传输速率更高的DDR SDRAM(Double Data Rate SDRAM,双倍数据速率SDRAM)制作。

◇5.1.2 只读存储器

虽然从字面上看,只读存储器(ROM)是只能读出信息而不能随意写入信息的存储器。但随着技术的发展,目前的ROM也可以写入信息,只是与RAM的随机写入相比,ROM的写操作有一定的条件。

ROM的主要工作特点是掉电后信息不丢失。这一特点使其常用于存放一些固定的程序和数据。如各种函数表、字符和固定程序等。

ROM的单元只有一个二极管或三极管。一般规定,器件接通时为1,断开时为0,反之亦可。若在设计ROM时将程序或数据直接编写在掩模版图形中,光刻时转移到硅芯片上。这样制成的ROM称为掩模ROM(mask ROM)。对这种存储器,用户只能读取已存入的数据,而不能写入数据。其优点是适合大量生产。但是,若想修改存储的内容,则非常困难。

除掩模ROM之外,ROM还有使用比较灵活的可编程ROM,可擦可编程ROM、电擦除可编程ROM以及目前最常用的闪速存储器。

1. 可编程ROM

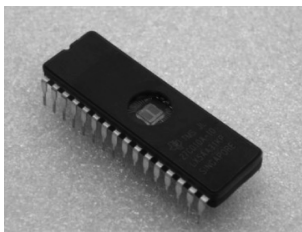
可编程ROM(Programmable ROM,PROM)通常可实现一次编程写操作。PROM出厂时各个存储单元均为1或均为0。用户使用时,再编程写入需要的数据。

PROM需要用电和光照的方法写入要存储的程序和数据,但是只能编程写入一次,写入的信息能够永久保存。例如,双极性PROM有两种结构:熔丝烧断型和PN结击穿型,都只能进行一次性写操作,一旦编程写入完毕,其内容便是永久性的。由于PROM只能是一次性编程,灵活性很差,故它和掩模ROM一样较少使用。

2. 可擦可编程ROM

可擦可编程ROM(Erasable Programmable ROM,EPROM)可多次编程写入。用户根据需要编程写入相应的信息,并能够把已写入的内容擦去后再改写,即EPROM是一种可

多次改写的 ROM。由于 EPROM 能够改写,因此能对写入的信息进行校正,在修改错误后再重新写入。



◆ 图 5-3 EPROM 芯片的外观

与 RAM 不同,EPROM 在改写信息前需要先将原内容擦除。图 5-3 给出了 EPROM 芯片的外观,从图中可以看出,芯片上方预留了一个石英透明窗口。对 EPROM 芯片进行擦除操作的方法就是用紫外线照射芯片上的透明窗口,从而清除存储的内容。擦除后的芯片可以使用专门的编程写入器对其重新编程(写入新的内容)。EPROM 写入信息后,若能保持透明窗口不再受紫外线照射,其存储的内容能够保存长达几十年之久,且无需后备电源。

3. 电擦除可编程 ROM

电擦除可编程 ROM(Electrically-Erasable Programmable ROM,EEPROM,也可以写成 E² PROM)的工作原理类似于 EPROM,不同的是 EEPROM 的擦除操作是使用高电平完成的,因此不需要透明窗口。

由于采用电擦除技术,所以 EEPROM 允许在线编程写入和擦除,而不必像 EPROM 芯片那样需要从系统中取下来,用专门的擦除器擦除,用专门的编程写入器编程。从这一点来看,它的使用要比 EPROM 方便。另外,EPROM 虽可多次编程写入,但整个芯片只要有一位写错,也必须从电路板上取下来全部擦掉重写,这给实际使用带来很大不便。在实际使用中,多数情况下需要的是以字节为单位的擦除和重写,而 EEPROM 在这方面具有很大的优越性。

4. 闪速存储器

闪速存储器(Flash)简称闪存,是取代传统 EPROM 和 EEPROM 的主要非挥发性(永久性)存储器,也是目前应用最广泛的 ROM。

尽管 EEPROM 能够在线编程,使其在使用的方便性及写入速度两方面都较 EPROM 更进一步,其编程时间相对 RAM 而言还是太长,特别是对大容量的芯片更是如此。人们希望有一种写入速度类似于 RAM,掉电后内容又不丢失的存储器。为此,闪存被研制出来。闪存的编程速度快,掉电后内容又不丢失,从而得到广泛应用。

闪存可以对存储单元进行擦除和再编程,也可以对存储单元块进行擦除和再编程。与 EPROM 和 EEPROM 一样,任何闪存器件的写操作都只能在空的或已擦除的存储单元内进行。所以,多数情况下,在进行写操作之前必须先进行擦除操作。

闪存从技术特性上划分主要有 NOR 型和 NAND 型两种。

NOR(或非)型闪存的特点是芯片内执行(Execute In Place,XIP),这种类型的闪存可以使应用程序直接在闪存内运行,不必再把代码读到系统 RAM 中。NOR 型闪存的传输效率很高,但写入和擦除速度较低。

NAND(与非)型闪存的存储单元采用串行结构,存储单元的读写以页和块为单位进行(一页可包含若干字节,若干页则组成存储块,NAND 的存储块大小为 8~32KB)。这种结构最大的优点在于容量可以很大。而缺点在于读速度较慢,再加上 NAND 型闪存的内部没有专门的存储控制器,一旦出现数据坏块将无法修复,所以可靠性较 NOR 型闪存差。

目前,NAND 型闪存被广泛用于移动存储、数码相机、MP3 播放器、掌上电脑等数字设备中。同时,微机系统中的 BIOS、显卡的 BIOS 等也都采用闪存。

在各种嵌入式系统中, RAM 主要作为数据存储器, 闪存主要作为程序存储器, EEPROM 则主要用来在程序运行中保存要求掉电不丢失的数据。

◇5.1.3 半导体存储器的主要技术指标

本节介绍半导体存储器的 4 个技术指标。

1. 存储容量

存储器芯片的存储容量用“存储单元个数 $\times$ 每存储单元的位数”表示。例如, SRAM 芯片 6264 的容量为 $8K \times 8b$, 即它有 8K 个单元(1K 表示 1024), 每个单元存储 8 位(1 字节)二进制数据。DRAM 芯片 NMC41257 的容量为 $256K \times 1b$, 即它有 256K 个单元, 每个单元存储 1 位二进制数据。各半导体器件生产厂家为用户提供了许多种不同容量的存储器芯片, 用户在构成计算机内存系统时, 可以根据要求加以选用。当然, 当计算机的内存确定后, 选用容量大的芯片则可以少用几片, 这样不仅使电路连接简单, 而且功耗也可以降低。

2. 存取时间和存取周期

存取时间又称存储器访问时间, 即启动一次存储器操作(读或写)到完成该操作需要的时间。处理器在读写存储器时, 其读写时间必须大于存储器芯片的额定存取时间。如果不能满足这一点, 微机就无法正常工作。

存取周期是连续启动两次独立的存储器操作所需间隔的最小时间。若令存取时间为 t_A , 存取周期为 T_C , 则二者的关系为 $T_C \geq t_A$ 。

3. 可靠性

计算机要正确地运行, 必然要求存储系统具有很高的可靠性。内存发生的任何错误都会使计算机不能正常工作。而存储器的可靠性直接与构成它的芯片有关。目前所用的半导体存储器芯片的平均故障间隔时间(mean time between failure, MTBF)约为 $5 \times 10^6 \sim 1 \times 10^8$ h。

4. 功耗

使用功耗低的存储器芯片构成存储系统, 不仅可以减少对电源容量的要求, 而且可以提高存储系统的可靠性。

5.2 RAM 设计

随机存取存储器(RAM)主要用于构成微机系统中的各种内存, 包括主内存和高速缓冲存储器。本节首先介绍 Intel 公司的两种 SRAM 和 DRAM 芯片的外部引线和基本工作原理, 然后以这些具体型号的 RAM 芯片为例, 介绍半导体存储器与 8088 微处理器总线的接口连接方式。

对多数读者来讲, 构造微机系统中的存储器的机会并不多。但在嵌入式系统开发中, 却常常要根据需求构造存储器。本节虽然主要讲述的是 8088 微处理器存储接口, 但其设计思想和基本方法同样适用于其他处理器的存储接口设计。通过本节的描述和大量示例, 读者



RAM 01

将能够清楚地理解半导体存储器如何实现与处理器的连接和通信。

◆5.2.1 Intel 6264 SRAM 简介

静态随机存取存储器(SRAM)主要用于构造高速缓冲存储器。由于这种存储器不需要刷新电路即能保存它内部存储的数据,故其外围控制电路比较简单,比较适合初学者通过它学习存储器设计方法。

在开启学习之前,有一点需要特别说明:虽然通常的内存单元容量均按字节表示,如8GB。但对半导体存储器芯片来讲,芯片上每个存储单元中不一定存放8位二进制,故对存储芯片的容量描述通常采用的格式为“单元数 $\times$ 每单元二进制位数”(例如前面的256K $\times$ 1b)。

下面以 Intel 6264(以下简称 6264)为例,说明它与 8088 微处理器的接口方法。

1. 6264 存储芯片的引线及其功能

6264 芯片是一个 8K $\times$ 8b 的 CMOS SRAM 芯片,其引脚如图 5-4 所示。共有 28 根引出线,包括 13 根地址信号线、8 根数据信号线以及 4 根控制信号线,它们的含义分别如下:

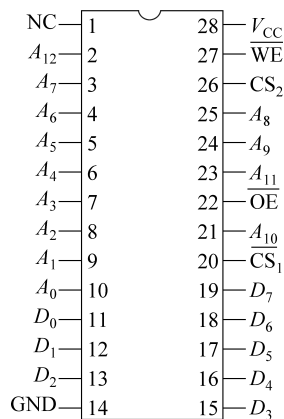
(1) $A_0 \sim A_{12}$ 为 13 根地址信号线。一个存储器芯片上地址线的多少决定了该芯片有多少个存储单元。13 根地址信号线上的地址信号编码最多有 2^{13} 种组合,可产生 8192(8K)个地址编码,从而保证了芯片上的 8K 个存储单元中的每一个都有唯一的地址。即,芯片的 13 根地址信号线上的信号经过芯片的内部译码,可以决定选中 6264 芯片上 8K 个存储单元中的哪一个。在与系统连接时,这 13 根地址信号线通常接到系统地址总线的低 13 位上,以便处理器能够寻址芯片上的各个存储单元。

(2) $D_0 \sim D_7$ 为 8 根双向数据信号线。对 SRAM 芯片来讲,数据信号线的根数决定了芯片上每个存储单元的二进制位数,8 根数据信号线说明 6264 芯片的每个存储单元中可存储 8 位二进制数,即每个存储单元有 8 位。使用时,这 8 根数据信号线与系统的数据总线相连。当处理器存取芯片上的某个存储单元时,读出和写入的数据都通过这 8 根数据信号线传送。

(3) $\overline{CS}_1$ 和 CS_2 为片选信号线。当 $\overline{CS}_1$ 为低电平、 CS_2 为高电平($\overline{CS}_1 = 0, CS_2 = 1$)时,该芯片被选中,处理器才可以对其进行读写操作。不同类型的芯片,其片选信号的数量不一定相同,但要选中该芯片,必须所有的片选信号同时有效才行。事实上,一个微机系统的内存空间是由若干块存储器芯片组成的,某块芯片映射到内存空间的哪一个位置(即处于哪一个地址范围)是由高位地址信号决定的。系统的高位地址信号和控制信号通过译码产生片选信号,将芯片映射到需要的地址范围上。6264 有 13 根地址信号线($A_0 \sim A_{12}$),8086/8088 处理器则有 20 根地址信号线,所以这里的高位地址信号就是 $A_{13} \sim A_{19}$ 。

(4) $\overline{OE}$ 为输出允许信号。只有当 $\overline{OE}$ 为低电平时,处理器才能够从芯片中读出数据。

(5) $\overline{WE}$ 为写允许信号。当 $\overline{WE}$ 为低电平时,允许数据写入芯片;而当 $\overline{WE}$ 为高电平、 $\overline{OE}$ 为低电平时,允许数据从芯片读出。



◆图 5-4 6264 的引脚

(6) 其他引脚： V_{CC} 为 +5V 电源，GND 是接地端，NC 表示空端。

表 5-1 为 6264 芯片 4 个控制信号的功能。

表 5-1 6264 芯片 4 个控制信号的功能

$\overline{WE}$	$\overline{CS_1}$	CS_2	$\overline{OE}$	$D_0 \sim D_7$
0	0	1	×	写入
1	0	1	0	读出
×	0	0	×	三态 (高阻)
×	1	1	×	
×	1	0	×	

2. 6264 的工作过程

对 6264 芯片的存取操作包括数据的写入和读出。

写入数据的过程如下：

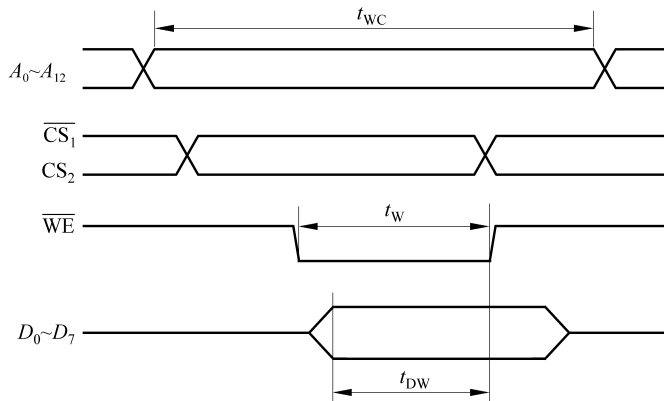
(1) 把要写入单元的地址送芯片的地址信号线 $A_0 \sim A_{12}$ 。

(2) 要写入的数据送数据信号线。

(3) 使片选信号 $\overline{CS_1}$ 、 CS_2 同时有效 ($\overline{CS_1} = 0$, $CS_2 = 1$)。

(4) 在 $\overline{WE}$ 端加上有效的低电平， $\overline{OE}$ 端状态可以是任意的。

这样，数据就可以写入指定的存储单元。6264 写操作时序如图 5-5 所示。

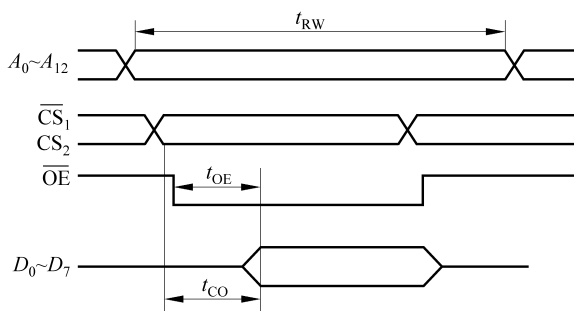


◆图 5-5 6264 写操作时序

从芯片中读出数据的过程与写操作类似，即，首先送出待读出单元的地址，再使片选信号有效 ($\overline{CS_1} = 0$, $CS_2 = 1$)。与写操作不同的是，此时要使读允许信号 $\overline{OE} = 0$, $\overline{WE} = 1$ 。这样，选中单元的内容就可通过 6264 的数据信号线读出。

6264 读操作时序如图 5-6 所示。

处理器的取指令周期和对存储器读写都有固定的时序，因此对存储器的存取速度有一定的要求。当对存储器进行读操作时，处理器发出地址信号和读命令后，存储器必须在读允许信号有效期内将选中单元的内容送到数据总线上；同样，在进行写操作时，存储器也必须在写脉冲有效期内将数据写入指定的存储单元。否则，就会出现读写错误。



◆图 5-6 6264 读操作时序

如果可选的存储器的存取速度太慢,不能满足上述要求,就需要采取适当的措施解决这一问题。最简单的方法就是降低处理器的时钟频率,即延长时钟周期 T_{CLK} ,但这样做会降低系统的运行速度。另一种方法是利用处理器上的 READY 信号,使处理器在对慢速存储器操作时插入一个或几个等待周期 T_w ,以等待存储器操作的完成。当然,随着技术的发展,现有存储器芯片的存取时间已达到纳秒(ns)级,并采用了存储系统管理技术,使现代微型机系统对内存的访问速度已基本能够满足使用要求。但在自行开发的系统中,对此应予以足够的重视。

6264 芯片的功耗很小(工作时为 15mW,未选中时仅 $10\mu W$),因此在简单的应用系统中,处理器可直接和存储器相连,不用增加总线驱动电路。

◇5.2.2 Intel 2164A DRAM 简介

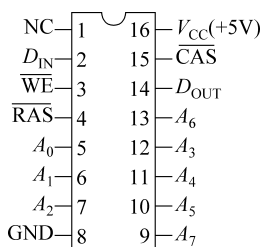
DRAM 主要以电容作为存储元,其内部通常将存储元排成阵列的形式。由于 DRAM 集成度高,价格低,微机中的主内存几乎毫无例外地都是由 DRAM(现代计算机中使用 DDR SDRAM)组成的。本节以 Intel 2164A(以下简称 2164A)芯片为例,说明 DRAM 的外部特性及工作过程。

1. 2164A 的引脚功能

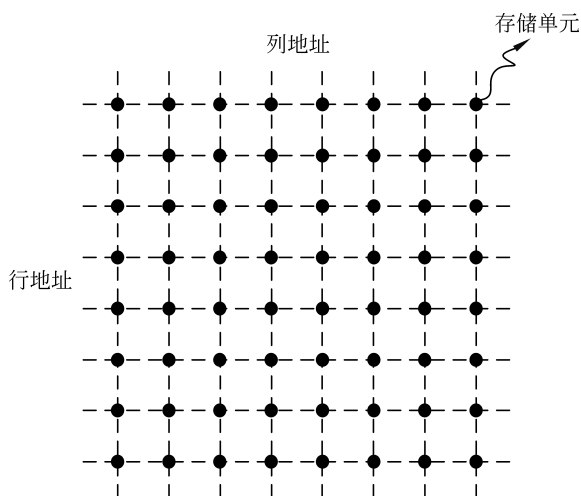
2164A 是一个 $64K \times 1b$ 的 DRAM 芯片,与其类似的芯片有很多种,如 3764、4164 等等。图 5-7 为 2164A 的引脚。下面说明各引脚的含义。

(1) $A_0 \sim A_7$ 为 8 根地址信号线。DRAM 芯片在构造上的特点是芯片上的地址信号线是复用的。虽然 2164A 的容量为 64K 个单元,但它并不像对应的 SRAM 芯片那样有 16 根地址信号线,而是只要这个数量的一半,即 8 根地址信号线。那么它是如何用 8 根地址信号线寻址这 64K 个单元的呢?

实际上,因多数 DRAM 芯片上每个存储单元只存储 1 位二进制数(即 8 位二进制数来自 8 个芯片),故这类芯片内部通常将存储单元按矩阵形式排成阵列(称为体),如图 5-8 所示,通过行地址、列地址寻址每个存储单元。在存取 DRAM 芯片的某单元时,其操作过程是:将存取的地址分两次分别输入芯片,每一次都由同一组地址信号线输入。两次送到芯片的地址分别称为行地址和列地址,它们被锁存到芯片内部的行地址锁存器和列地址锁存器中。



◆ 图 5-7 2164A 的引脚



◆ 图 5-8 DRAM 内部存储单元阵列结构

行地址信号通过片内译码选择一行,列地址信号通过片内译码选择一列,这样就决定了选中的单元。可以简单地认为该芯片有 256 行和 256 列,共同决定 64K 个单元。对于其他 DRAM 芯片也可以按同样方式考虑。例如,21256 是 256K $\times$ 1b 的 DRAM 芯片,有 256 行,每行为 1024 列。

综上所述,DRAM 芯片上的地址信号线是复用的,处理器对它寻址时的地址信号分成行地址信号和列地址信号,分别由芯片上的地址信号线送入芯片内部进行锁存、译码,从而选中要寻址的单元。

(2) D_{IN} 和 D_{OUT} 是芯片的数据输入线和输出线。 D_{IN} 是数据输入线,当处理器写芯片的某一单元时,要写入的数据由 D_{IN} 送到芯片内部; D_{OUT} 是数据输出线,当处理器读芯片的某一单元时,数据由此线输出。

(3) $\overline{RAS}$ 为行地址锁存信号。该信号将行地址锁存在芯片内部的行地址锁存器中。

(4) $\overline{CAS}$ 为列地址锁存信号。该信号将列地址锁存在芯片内部的列地址锁存器中。

(5) $\overline{WE}$ 为写允许信号。当它为低电平($\overline{WE}=0$)时,允许将数据写入芯片;当它为高电平($\overline{WE}=1$)时,可以从芯片读出数据。

2. 2164A 的工作过程

1) 数据读出

2164A 读操作时序如图 5-9 所示。首先,将行地址信号加在 $A_0 \sim A_7$ 上,并使 $\overline{RAS}$ 行地址锁存信号有效,该信号的下降沿将行地址锁存在芯片内部。然后,将列地址信号加在 $A_0 \sim A_7$ 上,并使 $\overline{CAS}$ 列地址锁存信号有效,其下降沿将列地址锁存。最后,保持 $\overline{WE}=1$,则在 $\overline{CAS}$ 有效期间(低电平),数据由 D_{OUT} 端输出并保持。

2) 数据写入

2164A 写操作时序如图 5-10 所示。数据写入与数据读出的过程类似。两者的区别是:在写入数据时,送完列地址后,要将 $\overline{WE}$ 端置为低电平,然后把要写入的数据从 D_{IN} 端输入。