

## 第2章

# Cortex-A7 MPCore架构

I. MX6ULL 使用的是 Cortex-A7 架构,本章向大家介绍 Cortex-A7 架构的基本知识。了解 Cortex-A7 架构有利于后面章节的学习,因为本书很多例程涉及到 Cortex-A7 架构方面的知识,比如处理器模型、Cortex-A7 寄存器组等。但是 Cortex-A7 架构内容很庞大,远不是一章就能讲完的,所以本章只是对 Cortex-A7 架构做基本的讲解,为后续的实验打基础。

本章参考了 *Cortex-A7 Technical ReferenceManua* 和《ARM Cortex-A(armV7)编程手册 V4.0》。这两份文档都是 ARM 官方的文档,详细的介绍了 Cortex-A7 架构和 ARMv7-A 指令集。这两份文档路径为“4、参考资料”。

## 2.1 Cortex-A7 MPCore 简介

Cortex-A7 MPCore 处理器支持 1~4 核,通常与 Cortex-A15 组成 big. LITTLE 架构,Cortex-A15 负责高性能运算,Cortex-A7 负责普通应用,因为 Cortex-A7 的耗电较少。Cortex-A7 本身性能比 Cortex-A8 性能要强大,而且更省电。ARM 官网对于 Cortex-A7 的说明如下:

“在 28nm 工艺下,Cortex-A7 可以运行在 1.2~1.6GHz,并且单核面积不大于 0.45mm<sup>2</sup>(含有浮点单元、NEON 和 32KB 的 L1 缓存),在典型场景下功耗小于 100mW,这使得它非常适合对功耗要求严格的移动设备,这意味着 Cortex-A7 在获得与 Cortex-A9 相似性能的情况下,其功耗更低”。

Cortex-A7 MPCore 支持在一个处理器上选配 1~4 个内核,Cortex-A7 MPCore 多核配置如图 2-1 所示。

Cortex-A7 MPCore 的 L1 可选择 8KB、16KB、32KB、64KB,L2 Cache 可以不配,也可以选择 128KB、256KB、512KB、1024KB。I. MX6ULL 配置了 32KB 的 L1 指令 Cache 和 32KB 的 L1 数据 Cache,以及 128KB 的 L2 Cache。Cortex-A7 MPCore 使用 ARMv7-A 架构,主要特性如下:

- (1) SIMDv2 扩展整形和浮点向量操作。
- (2) 提供了与 ARM VFPv4 体系结构兼容的高性能的单双精度浮点指令,支持全功能的 IEEE754。
- (3) 支持大物理扩展(LPAE),最高可以访问 40 位存储地址,最高可以支持 1TB 的内存。