

等离子体蚀刻工艺中的经典缺陷介绍

摘 要

良率是半导体工艺中评估量产能力的重要指标之一,良率的提升更是所有工艺优化的终极目的,归根结底,一切的工艺研发都是为了能有良率更高、可靠性更强、性能更佳的产品。随着工艺的发展,晶圆制造的过程越来越复杂,步骤越来越多,从数百到数千道繁复的步骤,工艺流程就如同搭积木一般层层叠叠,步步为营,牵一发而动全身,每一环节环环相扣,任何一个步骤的缺陷都会导致最终的良率下降,更可能导致相关步骤的缺陷出现并进一步降低良率。

良率的改善是业界每天都在为之奋斗的目标之一,但要做到良率百分之百是一个理想化的任务,然而如何将缺陷降到最低,使得良率尽可能地提高,却考验着所有工程技术人员的职业素养和专业能力。尤其是伴随着摩尔定律的脚步,半导体器件关键尺寸的逐步减小及器件密度的日趋上升,如何在工艺流程变得越来越复杂,工艺窗口也逐渐减小的大趋势下降低缺陷,一直考验着晶圆代工的能力。

在半导体工艺中,与等离子体蚀刻工艺相关的缺陷有很多,因为半导体器件物理结构的最终定义几乎全都依赖于等离子体蚀刻工艺,所以等离子体蚀刻工艺中的任何细微异常都有可能导致致命的缺陷,同时其他工艺的异常导致的缺陷也经常会在等离子体蚀刻之后才会暴露出来。所以与等离子体蚀刻工艺相关的缺陷,一直是半导体制造中的重中之重。而根据缺陷的成因,等离子体蚀刻相关缺陷一般可以分为以下3大类:

- 蚀刻机台问题引起的缺陷;
- 蚀刻工艺不够优化而导致的缺陷;
- 半导体工艺中多道工艺的互相影响所引起的缺陷。

基本概述这些缺陷机理看似浅显,解决方案看似简单,但是这是各位奋战在工业界第一线的工程技术人员根据自己的血泪史总结概括出来的核心信息。

在半导体工艺的研发过程中,攻陷一个个缺陷往往就意味着良率提升过程中的一座座里程碑。很多时候,一个微小的缺陷需要良率工程师、各工艺的工程技术人员核对无数的工艺参数,进行大量的恶化实验,分析各种影响因素才能找到真正的原因并解决。

作者简介



黄瑞轩,2013 年秋获得美国罗切斯特工业大学(RIT)微电子系硕士学位,研究方向为半导体制造工艺。现就职于中芯国际集成电路制造(上海)有限公司技术研发中心蚀刻部门,参与及负责过逻辑器件的前后段以及各种存储器件(NAND、PCRAM、MRAM)的各种等离子体蚀刻工艺研发以及国产蚀刻机台在高层铜互连制程中的验证。已获授权和受理半导体制造领域专利数十项,参与发表国际会议文章十余篇。全球首次成功在半导体蚀刻制程中运用等离子体同步脉冲技术。



姚达林,2014 年春获得同济大学物理系凝聚态物理专业理学博士学位,研究方向为闪烁材料纳米微结构制备方法。2014 年 5 月加入中芯国际集成电路制造(上海)有限公司技术研发中心蚀刻部门,2015 年 12 月转入中芯国际集成电路新技术研发(上海)有限公司技术研发中心蚀刻部门,任资深工程师。从事过 28nm 逻辑后段相关蚀刻工艺研发工作,主要负责金属硬掩膜蚀刻工艺研发,专注于氮化钛金属硬掩膜蚀刻工艺的开发与持续改善。现从事 14nm 及以下逻辑后段采用多次曝光的金属硬掩膜蚀刻工艺研发。

5.1 缺陷的基本介绍

良率(yield)是半导体制造业的一大核心指标,即一片晶圆上能通过电性及可靠性测试的芯片在所有完整芯片中占的比例。尽管良率主要是表征半导体工艺最终有效程度的指标,在半导体的制造过程中,良率检查的滞后性和总体性却导致其不能及时且准确地用来衡量工艺的完善程度,于是我们通常会用另一个指标来衡量制造工艺的品质,那就是缺陷。

半导体制造业中的缺陷多指一些结构性的物理缺陷即物理结构异常,或者是一些不可见的物理或化学性质异常即器件工作或性能异常。缺陷对于半导体器件来说,通常会导致最终的器件性能测试失败,例如MOS管断路或短路、工作电压异常、MOS管漏电、可靠性测试失败等。因此,缺陷在半导体工艺的研发和生产过程中非常重要,是制约良率的一个重要因素^[1-3]。

在用缺陷来衡量工艺的品质时,引入了一个缺陷密度的概念作为一个衡量指标。缺陷密度是指通过电子束扫描或电学特性测试,单位面积上发现的缺陷个数。在半导体器件的制造过程中,通过对制造工艺所引起的缺陷的缺陷密度的监测,我们可以预估出其对产品最终良率的影响。但是由于不同产品其晶圆上的芯片密度本身就会有差异,所以不同产品间的缺陷密度不能直接平行比较。这时候就需要良率工程师(Yield Enhancement Engineer)来进行专业的分析和计算,预估出缺陷对良率的最终影响程度^[2]。

同时,不同类型或不同位置的缺陷对于最终良率的影响也会有极大区别。复杂度越高的工艺,对良率的影响就越高,例如有源区、源极、漏极、栅极、接触孔、铜互连等关键区域一旦有缺陷,对良率的影响都会非常严重。

如图5.1所示,同样的缺陷由于位置不同,对于良率的影响也会有很大区别。图5.1(a)中的通孔短路对于最终良率的影响相对较小,因为对于铜互连的电路没有实质影响,线路的连接没有任何变化,而图5.1(b)中的通孔短路将导致两个铜线导通,改变了铜互连的布局,导致器件的连接发生了变化,对最终的良率将会有较大影响。然而,图5.1(a)中的缺陷虽然对良率的影响较小,但是对于可靠性和电学性能方面还是会有影响的。

除了图5.1所示的微观位置不同带来的区别外,宏观上不同位置的缺陷带来的影响也会有所不同。由于缺陷是一种工艺中的异常现象,它的发生具有时间上的随机性,但是又存在物理上的规律性,例如根据缺陷的成因,缺陷会出现在某些特定的区域。晶圆边缘区域是通常众多半导体工艺的薄弱点:薄膜厚度较薄、湿法



图 5.1 通孔短路的不同情况

蚀刻清洗能力较弱、等离子体浓度较低、化学机械研磨速率较慢、晶圆薄膜结构复杂等,很多工艺相关的缺陷都会发生在晶圆的边缘区域。正因为很多缺陷的发生有了一定的区域性,在分析缺陷时,研究其区域性能更快地找到其产生的原因和解决办法。久而久之,缺陷的区域性也成为缺陷的一个重要的表征参数。如图5.2所示,图中黑点为缺陷,由于晶圆边缘的芯片数量大于晶圆中心区域,所以分布于晶圆边缘的缺陷对于最终良率的影响将比中心区域的大很多,正如前面提到的,晶圆边缘区域本身就是诸多工艺的薄弱点,所以边缘区域一直是半导体制造工艺中的缺陷重灾区。毫不夸张地说,良率最后15%的提升,极大程度上依赖于边缘区

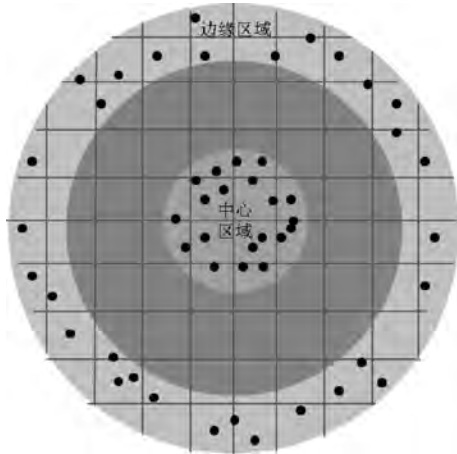


图 5.2 缺陷分布对良率的影响

域的缺陷是否能够被很好地解决。

在半导体工艺中,因为器件物理结构的最终定义几乎全都依赖于等离子体蚀刻工艺,所以等离子体蚀刻工艺中的任何细微异常都有可能致命。同时,其他工艺的异常导致的缺陷也经常会在等离子体蚀刻之后才会暴露出来。综上所述,与等离子体蚀刻工艺相关的缺陷,一般可以分为以下 3 大类:

- 蚀刻机台问题引起的缺陷;
- 蚀刻工艺不够优化而导致的缺陷;
- 半导体工艺中多道工艺的互相影响所引起的缺陷。

下面将针对这 3 大类来详细介绍蚀刻工艺中的经典缺陷及其解决方法。

5.2 等离子体蚀刻工艺相关的经典缺陷及解决方法

5.2.1 蚀刻机台引起的缺陷

1. 机台反应腔内壁附着物异常掉落

在蚀刻过程中,机台的反应腔侧壁会不断地接触等离子体,不可避免地会在蚀刻过程中与等离子体发生反应或吸附一些副产物。于是便有了蚀刻工艺中最常见的一类经典缺陷:杂质残留和蚀刻材料残留。

这类缺陷的产生主要是由于反应腔侧壁吸附了一些等离子体蚀刻过程中产生的副产物。在后续的蚀刻过程中,反应腔侧壁受到等离子体的轰击,导致吸附在表面的这些副产物、反应腔侧壁上的一些杂质掉落到晶圆表面并阻止蚀刻,导致图形无法被正确传递到目标材料层上^[4],如图 5.3(a)所示。

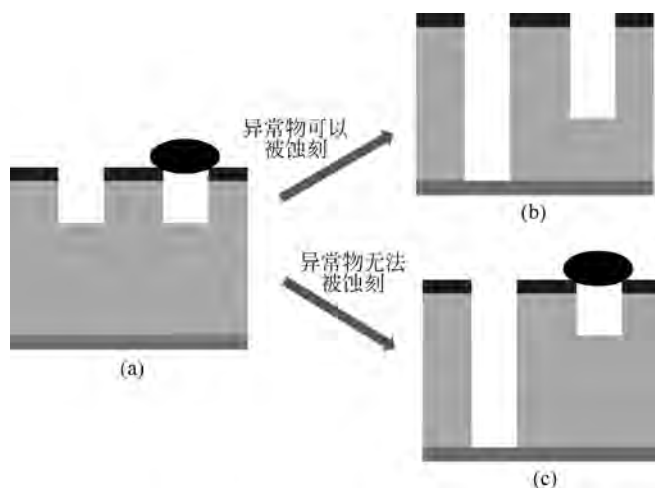


图 5.3 机台反应腔内壁聚合物异常掉落导致杂质残留或蚀刻材料残留

(a) 吸附在腔体侧壁的聚合物在蚀刻过程中掉落;(b) 阻挡蚀刻的聚合物消耗一定的反应气体,导致被阻挡区域蚀刻不完全;(c) 阻挡蚀刻的聚合物无法被去除,完全阻挡蚀刻

如果这些掉落的异常物可以和当前反应腔中的等离子体反应并形成气态副产物被带走,那么最终的结果就是由于掉落的异常物消耗了一定量的反应气体,抑制了一段时间的蚀刻,导致被其覆盖的蚀刻目标材料无法被蚀刻完全,这种缺陷称为蚀刻材料残留(Residue),如图 5.3(b)所示。

然而,如果掉落的异常物无法被蚀刻掉,那么其覆盖的蚀刻目标材料将完全不会被去除,并且聚合物本身也会残留在晶圆表面,这种缺陷称为杂质残留或阻挡蚀刻,如图 5.3(c)所示。为了防止此类缺陷,在先进的蚀刻工艺中,每片晶圆的蚀刻工艺前后,通常会进行一次无晶圆自动干蚀刻清机(Waferless Auto Clean, WAC)。

对应不同的工艺,无晶圆自动干蚀刻清机会有两种不同的做法。第一种是用一些活性气体对反应腔侧壁堆积的聚合物进行蚀刻,以达到每次晶圆蚀刻前,反应腔侧壁都没有任何聚合物附着,并保证每次晶圆都在相同的反应腔环境中进行蚀刻。第二种是在第一种清机方式的基础上,在清除完蚀刻侧壁堆积的聚合物之后再刻意通过等离子体反应向反应腔侧壁镀上一层一定厚度的保护层,这样做既可以让每次晶圆蚀刻都在相同的环境下进行,同时在蚀刻过程中,这个保护层也可以保护侧壁不被等离子体侵蚀,或是积聚反应副产物。

然而,有时即使有了足够优化的腔壁保护,如果腔体某些部件的材质不够好,仍然会在蚀刻过程中引入缺陷。

例如某工艺中,蚀刻机台上电极的保护涂层材质如果不够致密,其在蚀刻过程中受到高能离子的持续轰击时有可能掉落含 X 元素的小颗粒并阻挡蚀刻。X 元素很难与蚀刻气体反应并产生气态的副产物,其颗粒会导致蚀刻目标材料残留。由于 X 元素所引起的材料残留缺陷如图 5.4 所示,缺陷的形貌通常会棱角分明的颗粒,而元素分析也可以清晰地检测到 X 元素。



图 5.4 栅极残留缺陷、掉落的含 X 元素的小颗粒和元素分析图

用第二种做法的无晶圆自动干蚀刻清机,即每次都去除干净腔壁表面的聚合物,再沉积上一层致密的保护层,可以在一定程度上保护上电极的原有涂层不受到等离子体的直接轰击。但是通过等离子体反应刻意镀上的保护层如果不够厚,松动的氧化涂层在蚀刻过程中被高能等离子体轰击时将有可能会出现杂质颗粒连带表面的保护层一起掉落的情况。所以,如果要完全杜绝上电极的杂质颗粒掉落的问题,附加的表面保护层就必须厚。但是通过等离子体反应在腔体表面产生的保护层的致密度也并不那么完美,太厚的保护层其本身可能也会变成掉落杂质颗粒的来源。表 5.1 总结了不同蚀刻工艺以及清机工艺对减少杂质掉落的影响,可以看到各种条件都无法在没有任何负面影响的情况下完全根除残留缺陷^[5]。

在经过大量的尝试后,事实证明,很难通过蚀刻工艺的优化来完全杜绝这种缺陷,而栅极残留对于良率来说是一大杀手,必须要完全去除。针对此类缺陷,目前仍然不断在设备端各种材料的改善方面进行探索。

表 5.1 清机及蚀刻工艺优化对蚀刻材料残留缺陷的影响

清机工艺		蚀刻工艺	缺陷
附着物清除能力	保护层厚度		
BSL	No coating	BSL	>10 000
BSL	BSL	BSL	>1000
BSL	Coating +	BSL	>500
BSL	Coating ++	BSL	>1000
Long burn	Coating +	BSL	~50
Long burn	Coating ++	BSL	>500
Long burn	Coating +	Soft plasma	~30
Long burn	Coating ++	Soft plasma	>500

2. 首片效应

在蚀刻过程中,反应腔内的环境温度一直都是一个非常敏感的参数,因为等离子体的化学活性会随着温度的变化而变化。在大多数的蚀刻工艺中,提高温度都会使得蚀刻速率增加,因为温度提升之后等离子体的活性增强,更容易与目标材料发生反应,然而有些特殊的工艺中,温度的提高可能会导致蚀刻速率的下降,最根本的差异主要在于蚀刻反应是吸热反应还是放热反应。除此之外,有些蚀刻反应中,产生的副产物有大量的固态聚合物不会被抽走,当温度提高,反应速率变快后,产生的副产物会更多,这些副产物会积聚在目标材料的表面阻止反应,所以当温度提高后,这类工艺的蚀刻速率反而会下降。

温度作为如此关键的一个工艺参数,其控制系统也是越来越完善。早期蚀刻机台只有静电吸附卡盘(Electrostatic Chuck, ESC)可以调整温度,腔体内的温度是通过静电吸附卡盘的温度来被动调整的,并且只能监控静电吸附卡盘表面的温度,这样的控制方式会导致腔体内部温度的响应速率太慢,均匀性和稳定性都不尽如人意,并由此产生了一种蚀刻工艺中的经典缺陷:首片效应。

在进行蚀刻程序前,蚀刻机台一般都会执行一个暖机程序(season)。暖机程序会使用无图形的薄膜控片(有特定薄膜的晶圆)进行蚀刻,该蚀刻工艺会和后续要进行的蚀刻工艺一样或者类似。暖机程序的主要目的是为了反应腔内的温度能够达到后续蚀刻配方所需要的温度,以及模拟蚀刻工艺的稳定性和重复性,以此检测机台状况。

当暖机程序与正式的蚀刻程序之间的闲置时间(idle time)超过一定的范围,由于静电吸附卡盘已经停止加热,反应腔内部的温度就会开始逐渐下降。当一批晶圆中的第一片进行等离子体蚀刻时,虽然静电吸附卡盘会被加热到预期的温度,但是这个时候反应腔内的整体温度其实是低于预期值的,因为通过静电吸附卡盘加热来提高腔体内部整体温度需要一定响应时间,这一现象就会导致最终蚀刻的尺寸、深度或形貌异常。

这种现象会在连续蚀刻多片晶圆时变得更加明显,因为第一片晶圆会由于开始时的温度偏低导致最终的蚀刻结果异常,而后面的多片晶圆由于是连续进行蚀刻的,反应腔内部的温度已经在第一片的蚀刻过程中被提升到了预期值,并且它们中间并没有闲置时间,温度可以一直保持在预期值上,所以最终第一片晶圆的结果会和其他晶圆不一样,如图 5.5 所示。这就是我们常说的首片效应。

针对首片效应这种缺陷,一种解决方法是限定暖机程序之后必须在指定时间内立即进行蚀刻工艺,否则就必须重新执行暖机程序。

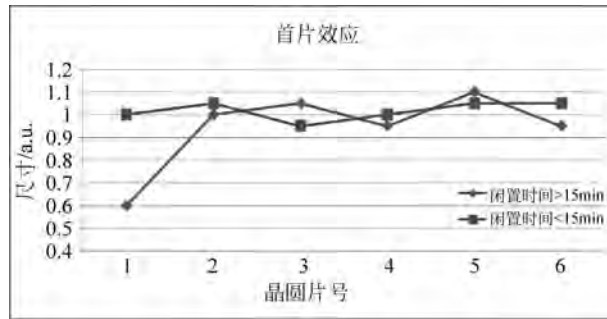


图 5.5 不同闲置时间下的晶圆尺寸变化

如图 5.5 所示,在进行等离子体蚀刻前,通过暖机程序做一个预加热的动作并通过限定闲置时间以确保首片在真正开始蚀刻时反应腔的温度已经达到了预期值,这样就可以有效地解决首片效应。具体的闲置时间限制,是根据要进行的蚀刻反应需要的温度与室温的温差大小来决定的,图 5.5 中的 15min 只是某一工艺所使用的闲置时间限制。但是运用这种方法就意味着一旦闲置时间超过上限,就必须重新进行暖机程序,一定程度上降低了蚀刻机台的工作效率,并且制造助理的工作压力也会增加,所以这种方法在工业界并没有被广泛运用^[6]。

首片效应的另一种解决方法是工业界普遍使用的一种手段,即在蚀刻机台方面进行优化设计。现在在工业界使用的大多数蚀刻机台都已经针对这方面进行了改进:增加反应腔壁的温度控制系统,并开始监控腔壁的温度。独立的腔壁温度控制系统,就是增加了独立的腔壁加热部件和温度测试传感器,如此便能够直接对反应腔侧壁进行温度调节,反应腔内部温度的控制、调节效率将得到极大提高。腔壁温度的监控也能及时有效地反映出反应腔内部等离子体蚀刻反应的实际环境温度。

此类温度控制系统使得反应腔内温度的稳定性以及响应速率都得到了极大的提升,并能够在暖机程序之后继续给反应腔壁加热,保持对反应腔内温度的良好控制,换言之,暖机之后反应腔内部的温度将不会像以往那样急剧下降而是能够一直保持在需要的温度,这就使得闲置时间的限制得以放宽。

最终在工业界的实际操作是两种方法相结合,通过先进的蚀刻机台来有效地控制、维持反应腔内部的温度,同时限定一个具有实际操作性的暖机程序后的闲置时间限制。这样能在消除首片效应的同时使得等离子体蚀刻机台的工作效率得到保障,暖机程序后可接受的闲置时间也得到了有效的延长,如图 5.6 所示。

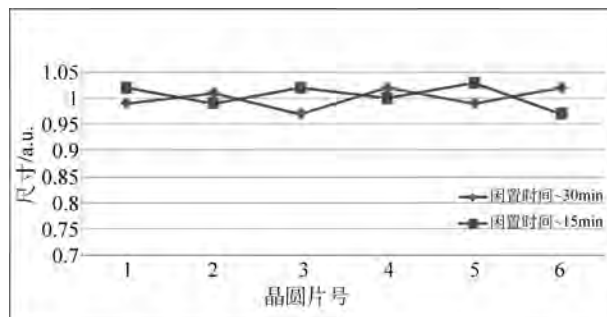


图 5.6 腔壁控温后首片效应消失

3. 反应气体残留

在等离子体蚀刻工艺中,等离子体都是在豪托级别的气压下进行反应。为了保持反应腔的稳定性及提高工作效率,蚀刻反应腔一直处于超低压环境。晶圆从大气压环境中进入真空的反应腔的示意图如图 5.7 所示,这也是一个简单的蚀刻机台示意图。

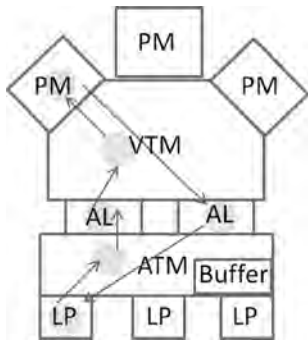


图 5.7 晶圆在蚀刻机台内的路径示意图^[21]

如图 5.7 中的路径图所示,装有晶圆的晶盒(FOUP)在大气环境下置于机台的装载台(Load Port,LP)上。机台的机械手臂抓取晶圆进入大气传送腔(Atmosphere Transfer Module, ATM),经过晶圆对准检测之后,机械手臂会将晶圆送入指定的气压过渡腔(Air Lock or Load Lock,AL/LL)。气压过渡腔的体积相较于传送腔小很多,所以压力变换速率非常快,用于作为不同压力环境的中转渠道。当气压过渡腔的压力被气泵抽至真空级别后,面向真空传送腔(Vacuum Transfer Module,VTM)一侧的腔门将打开,真空传送腔内的机械手臂抓取晶圆,并将其送入反应腔(Process Module,PM)进行蚀刻。蚀刻完成后,机械手臂抓取晶圆,通过真空传送腔进入真空环境的气压过渡腔。

这一次,气压过渡腔会将压力逐步提升到等同于大气压级别,之后打开大气传送腔一侧的腔门,并把晶圆传送回晶盒中。然而,虽然已经通过气压过渡腔来平缓地过渡气压转换,以避免反应气体因为压力差的问题进入大气传送腔,甚至是到机台外的无尘室环境中,但是这样的流程,仍然会遇到一个与反应气体相关的非常棘手的缺陷:反应气体残留(Out-gassing)。

晶圆在反应腔中进行等离子体蚀刻后,不可避免地会在晶圆表面吸附或残留一些反应气体,在完成蚀刻工艺被传出反应腔后,这些残留在晶圆表面的反应气体会随着晶圆一起通过真空传送腔、气压过渡腔、大气传送腔,进入晶盒中。但是这些残留在晶圆表面的反应气体,会慢慢地自然挥发,然而在晶盒中还有很多未进行蚀刻的晶圆。当这些随着晶圆一起进入的表面残留物挥发出来后,就会有可能在晶盒中与这些未进行蚀刻的晶圆进行反应。随着蚀刻工艺的进行,越来越多的晶圆结束蚀刻反应并进入晶盒,挥发出来的反应气体会越来越多,对于未蚀刻晶圆的影响就会随着蚀刻的进行而越来越剧烈。所以由于这种反应气体残留所导致的缺陷会有一个累积效应,同一个晶盒里的晶圆出现这种缺陷的程度会逐片增加^[7,8]。

图 5.8 所示的马拉松实验中使用了很多薄膜控片,在图中表示为 W(D),这是缺陷验证实验中常用的手法:用薄膜控片替代真正带有图形的产品晶圆,并通过重复蚀刻来模拟多次蚀刻的影响。因为用来做缺陷验证实验的晶圆大多数都会产生很多缺陷,如果完全用真正的产品晶圆进行实验,那牺牲就过于巨大了,而且薄膜控片可以重复多次使用,使得实验效率得到了极大的提高。在图 5.8 所示的马拉松实验中,通过薄膜控片的重复模拟蚀刻,真正的产品晶圆,在图中表示为 W(P),可反映出类似累积蚀刻 6、19、32、37 片晶圆后的缺陷情况,而实验结

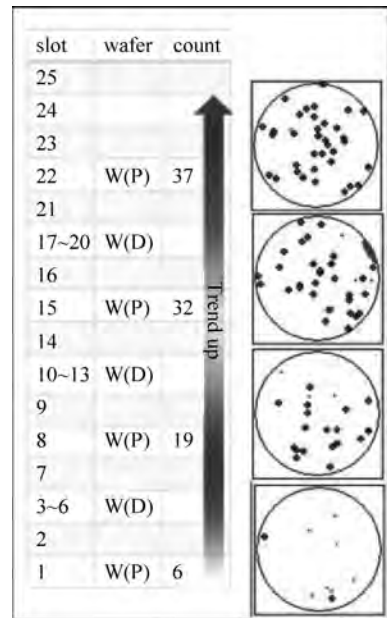


图 5.8 马拉松实验验证累积效应^[7]

果清晰地反映出了气体残留缺陷的累积效应。

对缺陷的成因进行分析可以看出,如果可以避免完成蚀刻的晶圆表面有残留,或隔离挥发的反应气体与未完成的晶圆,就可以有效地避免此类缺陷。具体的实现方法就需要依赖蚀刻机台方面进行一些优化处理。图 5.7 中有一个部分是前面的流程介绍中没有提及的,那就是晶圆缓存区(Buffer)。部分蚀刻机台中还会有一个类似晶圆缓存区的设备组件——冷却台(cooling station)。

晶圆缓存区,顾名思义是用来暂时存放晶圆的,工作流程大致是,一般情况下,蚀刻结束后的晶圆在回到大气传送腔之后,不会立即回到晶盒中去,而是会被传送进入晶圆缓存区。晶圆在晶圆缓存区中会停留一定的时间,而由于晶圆缓存区中会持续地通气与抽气(多采用不活跃气体,如氮气、氦气等)形成气流通路,晶圆表面残留的反应气体会慢慢地挥发、稀释并被抽出晶圆缓存区。一定时间之后,反应气体基本挥发完全并被排出晶圆缓存区,当晶圆被传送回晶盒时反应气体的挥发已大大降低,对未蚀刻晶圆的影响将得到极大降低。

对于晶圆缓存区的常见运用有两种不同的方法,一般称为前置晶圆缓存区和后置晶圆缓存区。

前置晶圆缓存区是指:一盒晶圆放置在机台上并准备开始蚀刻时,传送手臂会把第一片晶圆按指定路径传送入反应腔,之后会把所有未反应的晶圆全部传送进晶圆缓存区。每当一片晶圆完成反应之后就会被传送回晶盒中。这样就可以有效避免完成蚀刻与未完成蚀刻的晶圆互相影响。但是前置晶圆缓存区也存在一些弊端:在实际的工业生产中,经常会出现一个晶盒内装着需要进行不同工艺的晶圆。如果进行等离子体蚀刻时,晶盒内有不需蚀刻的晶圆,它们依然会被传送入前置晶圆缓存区,但是由于没有进行等离子体蚀刻,这些晶圆将被留在晶圆缓存区,必须由工程师人为传送回晶盒内。这种情况无形中增加了制造助理的工作负担,为了避免此类问题,制造助理必须在进行蚀刻工艺前检查晶盒内是否有不需要进行当前蚀刻工艺的晶圆,如果有,则必须将这些晶圆传送到其他的晶盒内。

后置晶圆缓存区是指:所有的晶圆保留在原晶盒内,当晶圆完成反应之后会先被传送进晶圆缓存区,等到所有的晶圆都完成反应后才会再把晶圆缓存区里面的晶圆传送回晶盒。而前文中提到的冷却台与后置晶圆缓存区的工作模式非常相似,唯一区别是完成的晶圆在冷却台放置一定的时间之后就会被传送回晶盒,不需要等到所有晶圆都完成蚀刻。但是无论是使用后置晶圆缓存区还是冷却台,都有一个不可避免的问题,那就是机台的产能会受到一定的影响。因为当所有晶圆完成蚀刻后,还需要等待机台把后置晶圆缓存区内所有的晶圆传送回晶盒内,或者是需要等待最后完成蚀刻的晶圆在冷却台内放置指定的时间并传送回晶盒之后才算结束了当前的等离子体蚀刻工艺。

4. 花状缺陷

在大多数的等离子体蚀刻工艺之后,通常会有一道单独的去胶工艺,而这种工艺一般会在去胶机中进行。使用去胶机的原因是:首先,如果用一般的等离子体蚀刻机台通过蚀刻的方式去除这些光刻胶和副产物,会有难以去除干净的问题,同时由于等离子体的穿透性极强,在去除底部副产物时,很有可能会伤害到前层器件,或者是引起等离子体充电损伤(Plasma Induced Damage, PID)。此类去胶机中的等离子体在经过内部的等离子体隔离板之后,高能粒子会被过滤,剩下一些低能量的活性基团(远程等离子体),对晶圆表面的轰击会变得很弱,可以避免产生等离子体充电损伤;最后,去胶机的工作温度会比一般的蚀刻机台高很多:温度可以达到 200℃ 以上,而一般的蚀刻机台工作温度在 100℃ 以内,这样可

以大大提高去胶能力和生产效率。

去胶机的特点之一就是高温高效,然而这一特性也附带了一个隐患:导致了一种去胶机特有的缺陷:进气管炸裂。去胶工艺本身是在高温下进行的,而等离子体激发过程中也会产生热量,于是对各部件的耐热性就存在极大的考验。承受热辐射和热传导最大的部件就是进气管,因为进气管本体是处于室温大气环境中,通入的气体也是常温的,而进气管连接的反应腔在蚀刻过程中是处于高温状态,同时等离子体的解离过程会释放出大量的热能,在高低温的对流冲击下就导致了进气管容易破裂的问题。

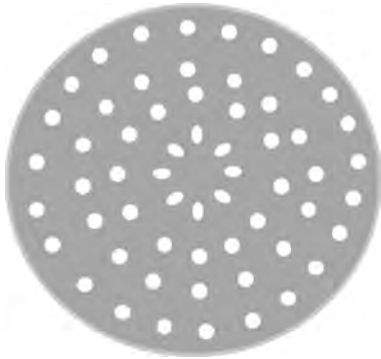


图 5.9 等离子体隔离板

一旦进气管破裂,即使是极小的裂纹,也会产生很多的杂质颗粒并被带入反应腔中。等离子体隔离板一般是一个布满了细小孔洞的金属过滤板,如图 5.9 所示。这些用来过滤高能离子的孔洞会被进气管碎裂带来的杂质隔离堵塞,并在后续的过程中慢慢被冲击,最终掉落在晶圆表面,阻挡蚀刻并形成缺陷。而这种缺陷由于其形成的过程,决定了其在晶圆上会呈现出非常规律性的分布,那就是分布与隔离板孔洞的分布非常相似。正因为此类缺陷有了这样的分布特点,也经常称为花状缺陷,因为缺陷在晶圆上的分布很像花瓣。

对于这种缺陷,通过对进气管的控温手段能起到一定的作用:在进气管外包裹的冷凝管能有效控制进气管的温度,使其温度不会出现骤冷骤热的急剧变化。蚀刻气体的筛选和优化也成为比较有效的手段,类似 H_2 的会在反应中释放大量的热能的气体就很少在这类去胶机中单独使用,即使使用也只会使用极小的流量,在反应气体中的占比会非常低,以避免反应过程中产生过高的热能。

当然,进气管本身材质上的优化才是最根本的解决方法,现在普遍使用的是一种石英材料,这种材料是蚀刻机台比较常用的,因为其抗蚀刻能力比较强,制备难度也不高。但是现阶段,除了进气管外部温控优化和蚀刻反应气体控制外,对于材质方面的优化还在实验阶段。在半导体制造业的一些领先企业中,正在对新型材质的进气管进行技术评估,相信在不久的将来新型材质的进气管将替代现有的石英进气管。

在花状缺陷还无法根除的情况下,如何及早地发现就成为一个非常重要的问题。目前根据此类缺陷的特性,预防手段是:频繁地用镀有光刻胶的控片进行模拟蚀刻并检测其表面的杂质颗粒以监控去胶机的状况。一旦杂质出现花状分布,就说明去胶机状况堪忧,此时蚀刻生产线上的晶圆会有花状缺陷,必须马上做机台维护,并更换进气管。可惜这种监控手段也有一定的局限性,监控的频率和机台的产能是一对矛盾体,频率过高,机台就基本没有时间进行生产;频率过低,即使发现了,可能已经很多的产品产生了花状缺陷。所以目前只能是在产能和安全性之间取一个平衡,监控的频率一般会在 1~2 天,具体的情况会根据各工厂不同的产能需求进行调节。

5. 湿法蚀刻管路清洗液残留

在等离子体蚀刻中,对沟槽形貌的控制主要是通过蚀刻过程中产生副产物附着在沟槽的侧壁来完成的。侧壁附着的副产物的行为可以有效地调控沟槽的形貌:侧壁附着的副产物较多时会保护侧壁不被蚀刻,并且由于副产物的累积容易形成倒梯形的沟槽。反之,则由于侧壁的保护不够,容易导致蚀刻过程中横向刻蚀过多,最终形成梯形或凹陷型沟槽。

在大多数情况下,为保证等离子体蚀刻的各向异性,通常会在蚀刻过程中产生很多副产物附着在侧壁作为保护。然而,这些副产物在图形最终形成后的去除也成为缺陷的一个源头。

目前的普遍做法是在最终图形定义完成后,用等离子体蚀刻的方式,对表面进行处理,去除掉一些易去除的副产物,剩余的部分则由湿法蚀刻来去除。这里搭配湿法蚀刻是因为其各向同性的特性和液态填充性,比较容易去除复杂三维结构中积附在角落处的副产物。

但是,湿法蚀刻的机台也同样有可能带来一些意想不到的缺陷问题。首先,湿法蚀刻工艺主要有两种类型,一种是浸泡式,一种是旋喷式。这里要介绍的是旋喷式湿法蚀刻比较容易遇到的一个缺陷问题。

旋喷式的湿法蚀刻类似于光刻胶的旋涂工艺:卡盘固定并以一定转速旋转晶圆,在晶圆上方喷洒湿法蚀刻的反应液进行蚀刻。喷嘴可固定位置喷洒反应液,也可按一定速率从晶圆中心到边缘循环扫描并喷洒反应液。

此类湿法蚀刻的一大弊端在于,一般只会安装一个反应液喷嘴,也就意味着不同的湿法蚀刻所用的不同反应液都是通过同一个管路和喷嘴喷洒,如何避免管路中或喷嘴内反应液残留就成为一大难题。

目前运用最广泛的方法是:在每次湿法蚀刻完成之后或闲置一定时间后,会用特定液体对管路进行冲洗,确保没有之前的反应液残留。当然,对于不同的湿法蚀刻工艺,管路的清洗液也是不一样的。如图 5.10 所示,就是伪栅去除工艺的湿法蚀刻由于清洗液的选择不当所导致的缺陷(金属栅极被腐蚀)。

产生这种缺陷的根本原因是,最初伪栅去除工艺的湿法蚀刻选择的管路清洗液为含氟的清洗液,虽然此清洗液很好地把工艺残留的反应液全部清除了,但是最终管路中却有清洗液的残留。当进行伪栅去除工艺的湿法蚀刻时,酸性清洗液和晶圆表面暴露出来的栅极金属反应,最终形成了图 5.10 中的缺陷。

对于此类缺陷,解决的方法其实很简单,就是更换管路清洗液,然而其难点在于:首先,清洗液必须能确保可以带出各处残留的反应液,这就要求其与反应液的相溶性必须非常高,否则无法去除干净;其次,清洗液不可避免地会有些微残留,需要确保不会对后续的湿法蚀刻产生影响,最好是后续湿法蚀刻使用的反应液中的一种。所以现在运用比较广泛的是在进行湿法蚀刻前,先用将要在后续湿法蚀刻中使用的反应液进行管路预清洗,这样就可以确保管路中没有清洗液的残留。

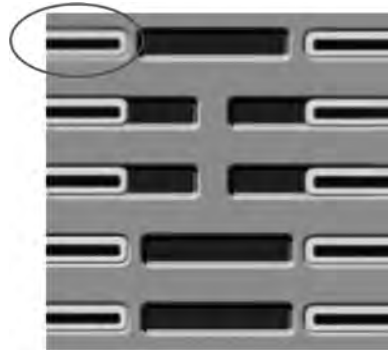


图 5.10 金属栅极被腐蚀

5.2.2 工艺间的互相影响

1. 气泡效应

随着半导体技术的发展,半导体制造过程中的图形结构越来越复杂,精度控制的要求越来越高。为了持续提高集成度,关键尺寸的缩小已经达到了光刻工艺的物理极限,随之诞生了各种新技术以达到继续缩小尺寸的目的。其中,通过多次图形定义来形成小尺寸或高密度图形的方法得到了广泛的运用,但是新技术总是会伴随着各种各样的新问题。

在两次光刻加等离子体蚀刻(Litho-Etch-Litho-Etch, LELE)的方式来二次图形定义的

工艺中,在第一次等离子体蚀刻工艺完成后,由于已经完成了一部分图形的定义,所以晶圆表面已经形成了部分沟槽,如果再进行第二次的光刻工艺,就需要先用一些填充性和流动性好的材料来把这些沟槽填平。

在这类工艺中,经常会用旋涂工艺在晶圆表面的图形间隙(沟槽)中填充一些流动性较好的有机材料,用以改善晶圆表面原有的高低差。此后再进行一些对表面平坦性要求较高的薄膜生长和光刻工艺,当然最后这些材料还是会被去除的。

在鳍式晶体管制造中,栅极的形成就运用了这类技术。如图 5.11 所示,在形成了栅极硬掩膜图形定义之后,会用旋涂工艺在凹槽内填充有机材料来保证表面平坦性,之后会通过旋涂工艺和光刻工艺进行栅极图形的二次定义。

然而,旋涂的有机材料和衬底或硬掩膜材料之间的表面张力如果差异太大,在衬底或硬掩膜表面会因表面特性导致两者无法完全贴合,在交界面处会留有如图 5.12(a)所示的气泡,后续光刻以及蚀刻定义图形时会因此出现图形异常的缺陷,主要表现为如图 5.12(b)所示的局部图形缺失(圆形)。

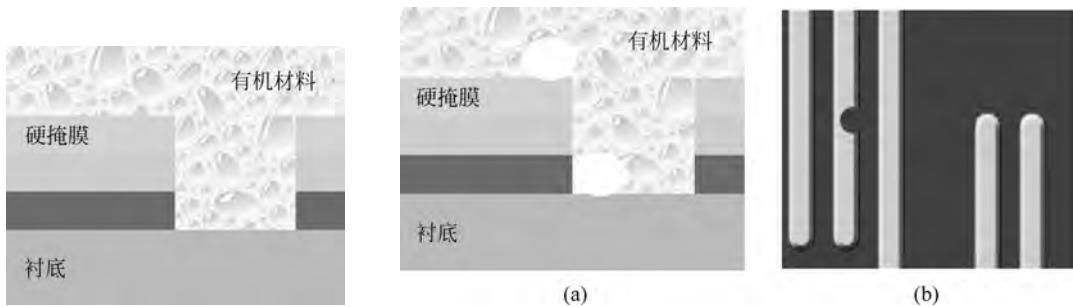


图 5.11 旋涂有机材料以达到表面平整

图 5.12 (a)有机材料内残留气泡以及(b)等离子体蚀刻后观察到的气泡效应缺陷

此类缺陷的解决方法是改善旋涂的有机材料、衬底及掩膜材料的表面张力,使其能够契合并完美贴合。然而,在一个成熟的工艺中,各种薄膜材料都是有一定的工艺上的特性要求的,都是经过了反复推敲,对比,实验之后才决定下来的。所以想要改变这些薄膜材料的表面张力,一般都不会直接选择改变材料,而是通过其他的手段来进行微处理。

目前运用比较广泛的处理方法主要有两种,一种是调节薄膜生长的方式:类似生长温度、元素配比、镀膜机台工作模式改变等方法来调控材料的表面张力。这种方法主要是针对上述缺陷情况中的衬底或硬掩膜材料的表面性调节。但是,由于这种方法改变了薄膜的整体性质,可能会带来一些其他的影响。相应的等离子体蚀刻工艺可能也需要根据新的薄膜特性进行一些调节,所以这种方法更多地被处于研发中前期的工艺所采用。

第二种方法则是在旋涂有机材料之前,对衬底或硬掩膜材料的表面进行预处理,使得其表面性质发生改变,这种处理方式的好处是对其他工艺的影响小到可以忽略。这种表面的处理也有两种主流方式:一种是额外旋涂一层非常薄的过渡层作为黏合剂,使得后续旋涂的有机材料和衬底或硬掩膜材料能够紧密贴合,而这种黏合剂非常薄,而且化学性质和后续旋涂的有机材料非常相近,所以对于其他工艺来说,可以完全被忽略。而另一种处理方式是用等离子体进行表面态处理,改变衬底或硬掩膜材料最表层的化学键,使得其表面性质发生改变,这种变化的变化是微观级别的,对于后续的其他工艺的影响可以忽略不计。其根本的工作原理是通

过等离子体与材料表面层反应,改变表层键态,使得其表面特性改变,能够很好地和后续旋涂的有机材料相结合。所以此类表面预处理的方法无论是在工艺研发的前、中、后期都得到了广泛的运用。

2. 鼓包缺陷

在半导体制造工艺中,薄膜生长可以说是使用最频繁的工艺之一,因为图形的传递总是需要堆叠多层不同的薄膜才能很好地通过光刻和等离子体蚀刻的方式准确地传递到目标材料上。

薄膜生长方法也是多种多样,最常见的有电化学沉积、物理气相沉积、化学气相沉积、外延生长等。

既然薄膜生长的最终目的是服务光刻以及等离子体蚀刻工艺,自然对于不同的工艺会有不同的需求。对于光刻工艺而言,最主要的需求就是薄膜的平整性;而对于等离子体蚀刻工艺而言,在不同的制程中会有不同的用途及对应需求,如有的薄膜作为过渡层,需求并不高;有的薄膜要作为掩膜存在,那就会对致密度、抗蚀刻性、硬度等有需求。同时,对于等离子体蚀刻来说,需要蚀刻数层不同薄膜时,为了达到蚀刻量,蚀刻图形形貌的控制,薄膜之间的蚀刻选择比(不同薄膜间蚀刻速率的比值)也会是一个重要的需求。

由此可见,薄膜生长并不是只需要生长出一层达到目标厚度的薄膜即可,对于薄膜的特性也需要有极强的控制力。这就意味着,一旦薄膜生长工艺如果有异常,很多时候都会对后续的光刻以及等离子体蚀刻工艺产生影响。有一种非常常见的缺陷就是由于薄膜生长异常所引起的:鼓包缺陷。

在薄膜生长过程中,如果掉落一些杂质在薄膜中,那最后就会在等离子体蚀刻之后残留下一个鼓包,如图 5.13 所示。

由于缺陷的最终表现形式是在等离子体蚀刻之后有残留物,所以此类缺陷很容易和等离子体蚀刻过程中掉落的异常物所导致的材料残留缺陷所混淆。那么,如何才能区分这是薄膜中的鼓包导致的残留物,还是等离子体蚀刻过程中掉落的异常物呢?

仔细观察图 5.13,就可以发现缺陷区域除了有一个鼓包残留之外,鼓包附近的图形也有一定的变形,这就是因为薄膜中的杂质影响了薄膜的平整性,在后续的光刻工艺中引起失焦的问题,从而导致局部图形失真。所以一般情况下,都可以通过残留物边缘的图形是否有失真现象来判断残留物的成因。但是一旦薄膜中的鼓包过于微小,以至于对光刻工艺的影响可以忽略不计时,就很难通过俯视图的观察来判断了。此类情况只能通过定点切割缺陷,依靠剖面图来分析成因。

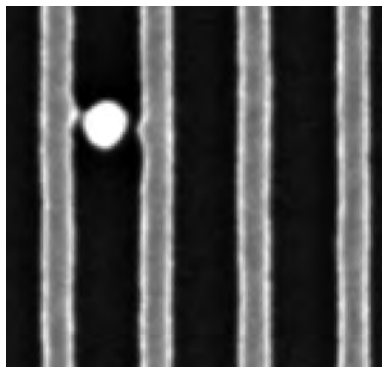


图 5.13 鼓包缺陷

此类缺陷通过工艺优化能够在一定程度上减少发生的频率,但是机台内部各部件的材质也是一个非常重要的影响因素,因为机台部件是薄膜生长过程中掉落异常物的来源之一。所以现在对于此类缺陷,目前采取的方法是:

(1) 工艺优化。薄膜生长前进行清机工艺,薄膜生长过程中减少或减弱容易产生杂质的步骤。

(2) 机台部件材质加强品质监控。提高机台维护频率,严格管控每一个维护周期内的薄膜生长程序的工作次数,使得机台长期处于最优状态。

(3) 加强缺陷监控。通过长期观察,在关键的薄膜生长工艺后进行缺陷检测,确保一旦发生此类缺陷就能发现,并进行补救(通过化学机械研磨去除薄膜及杂质,重新生长)。

目前,鼓包缺陷还没有办法完全根除,偶尔还是会发生,但是在严格的管控下,能够在一定程度上减少影响。工作在研发工艺第一线的工艺、设备工程师们也仍然在为此类缺陷的根除而奋斗。

3. 光刻胶显影不完全

半导体制造流程中,光刻和等离子体蚀刻是两个息息相关的工艺,因为整个半导体制造流程中,主要就是依靠这两个工艺的配合使得光罩上的图形能够精确有效地传递到目标材料上并最终形成半导体器件。光刻胶的尺寸和形貌决定了等离子体蚀刻后传递到目标材料的关键尺寸的大小。而等离子体蚀刻通过多层薄膜对于尺寸的可控缩放能力也使得光刻工艺的曝光尺寸有了一定的调控空间,可尽量选择工艺窗口(Process Window)较大的尺寸。

由于光刻工艺和等离子体蚀刻工艺结合得十分紧密,互相间的影响因素繁复多样,因此工艺异常带来的缺陷也很多。

由于光刻工艺是半导体中少数可多次重复操作的工艺,所以一般的工艺异常,如曝光尺寸过大或过小,对准偏差大,对焦异常等,都可以直接洗去光刻胶重新再进行一次光刻工艺。所以光刻工艺的异常一旦被检测到,就可以推倒重来。但是并不是所有的工艺异常都能够被及时并准确地发现。如果光刻胶的品质或者是曝光工艺出现异常,导致光刻胶形貌发生细微的变化,目前并没有太好的监控手段能够及时并准确地检测到。

一旦光刻工艺中发生一些无法被及时检测到的异常,那就很可能在等离子体蚀刻之后才反应出来并被检测到,因为光刻工艺的异常一定会影响等离子体蚀刻工艺的最终结果。其中较常见的一种就是光刻胶显影不完全,导致最终等离子体蚀刻后的图形失真或缺失,如图 5.14(b)所示。因为光刻胶的光敏性,不可能进行全晶圆的电子扫描检测缺陷,光刻胶显影不完全是很难在曝光工艺之后就被发现的。而到了等离子体蚀刻工艺之后,如果电镜扫描发现了图形异常,就需要通过针对异常图形的分析,以及工艺相关性的验证,才能较好地定位缺陷的成因是光刻胶显影不完全,或者是等离子体蚀刻工艺异常导致的图形失真。

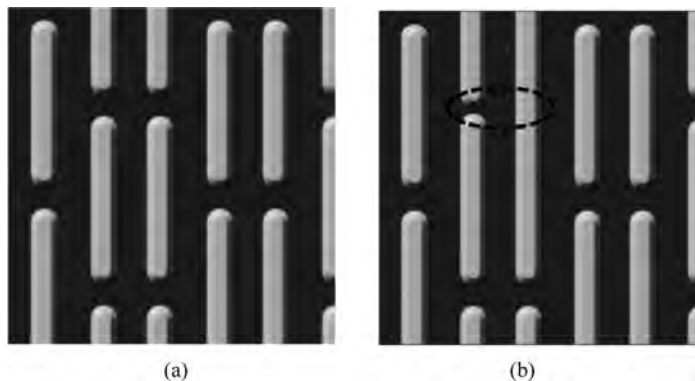


图 5.14 (a) 正常图形和(b)失真图形

如图 5.14 所示,对比正常图形和异常图形,我们可以看出线条并未被完全切断,甚至完全未被切割。这种现象一般不是等离子体蚀刻工艺自身造成的,因为等离子体蚀刻要导致如此微小的局部图形异常很大概率是有异常物掉落阻止了后续等离子体蚀刻的正常进行,但是图

形失真的边缘非常平整,上表面也没有任何杂质残留的痕迹,所以这种图形异常很有可能是因光刻工艺的光刻胶显影不完全所导致的。

光刻胶显影不完全这种缺陷由于缺少比较有效的检测手段,所以无法做到完全避免,更多是通过光刻工艺的优化来解决。从根本上来说,此类光刻胶显影不完全的问题主要是因为光刻胶中有细小杂质残留导致光刻胶显影异常。针对光刻胶内的杂质去除,有一种专用的过滤器件如图 5.15 所示,其原理与滤网类似,用细小孔洞来过滤杂质,而光刻胶是流体不会堵塞在细小孔洞中。在图 5.15 中,我们可以看见此类滤网内的细小空洞非常多,并且大小不一,这是为了分批次把不同大小的杂质全部去除,以提高通过效率,可以看作多层不同规格的滤网,而其中最小尺寸的空洞决定了可过滤的杂质大小。光刻工艺方面为了解决此类光刻胶显影不完全的问题,对于滤网品质的挑选也是非常严格的,毕竟在半导体工艺中的细小杂质的尺寸都是微米级别以下的,滤网的孔洞要做到这种大小也非常困难。同时,孔洞大小和分布的安排还会影响光刻胶流速、滤网的清洗频率等生产效率的问题,这些都是需要考量的因素。

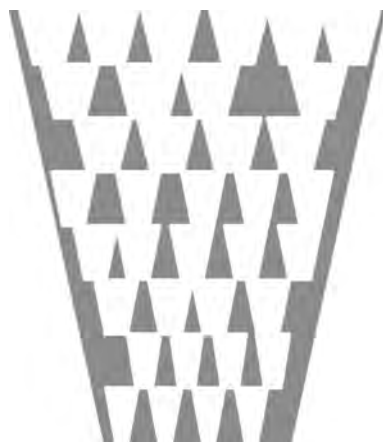


图 5.15 光刻胶杂质滤网

除了光刻工艺的优化之外,等离子体蚀刻也能在一定程度上改善光刻胶显影不完全的问题。在图 5.14(b)中可见即使光刻胶显影不完全,也有程度上的差异:左边的小沟槽已经成型只是尺寸偏小,而右边则完全没有沟槽形成。像左边这种程度略轻的光刻胶显影不完全问题,在等离子体蚀刻工艺中可以通过一些特殊的光刻胶处理方式来解决。等离子体蚀刻的处理方式一般是在蚀刻目标材料前,先用较柔和的等离子体进行时间较短的光刻胶形貌预处理,这个过程会消耗少量光刻胶并对其形貌产生小幅度的修正。由于此类光刻胶预处理工艺具备物理轰击特性,可以把光刻胶底部的一些残留杂质去除,使得原本显影不完全的部分被完全打开。然而如果轰击过强可能会导致另一种缺陷:光刻胶厚度不够导致的图形侧壁有条形凹痕(后文会有介绍)。同时由于光刻胶横向也会有消耗,对于图形尺寸也会有一定的影响,需要在后续的等离子体蚀刻过程中进行补偿,以确保图形尺寸可以达到预期的大小,这会导致整体等离子体蚀刻工艺窗口的缩小。

4. 表面材料损伤

在前文中介绍过,在等离子体蚀刻后有很多手段都是为了去除残留杂质和避免其带来的负面影响,如使用晶圆缓存区避免完成蚀刻的晶圆影响未蚀刻晶圆,去胶机去除光刻胶和杂质,湿法蚀刻去除杂质等。然而除了晶圆缓存区是在蚀刻机台内的,可以在等离子体蚀刻后立即进行,其他的方法都是需要进入别的机台进行处理,所以就引入了一个新的问题,那就是等离子体蚀刻之后到后续的去胶工艺以及湿法蚀刻的间隔时间。

当晶圆表面还残留有杂质的时候,如果保持这种状态闲置很久,由于晶圆表面的这些杂质中会吸附、包裹一些反应离子,如果在大气环境中暴露过长时间,这些反应离子会与大气中的水汽等发生反应,其中最典型的就是在等离子体蚀刻中运用最多的蚀刻剂:氟离子(F^-)。如果吸附在晶圆表面的反应离子 F^- 和水汽形成酸性物质($F^- + H_2O \rightarrow HF + O_2$),将会腐蚀晶圆表面的材料,导致一种常见的缺陷:表面材料损伤。

如图 5.16 所示,晶圆表面的硬掩膜有一定的损伤,这就是由于等离子体蚀刻之后残留在

杂质中的反应离子与水汽反应后被产生的酸性物质腐蚀了表面硬掩膜。针对这种缺陷,一般的处理方法是:严格管控等离子体蚀刻到后续湿法蚀刻的等待时间(Queue-time)。

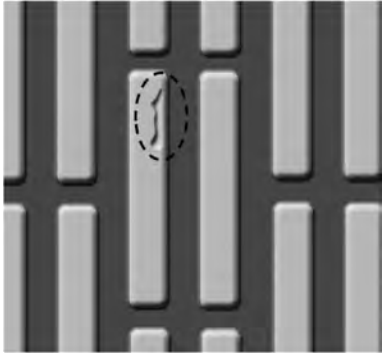


图 5.16 表面材料损伤

然而,这种管控看似简单,即在等离子体蚀刻完成后尽快进行后续的湿法蚀刻,然而在大规模生产中,实际情形要复杂得多。首先,在半导体制造业内,产量永远是重中之重,一个制造工厂中,每天都有大量的晶圆在里面进行流片,进行着不同的工艺流程。在等离子体蚀刻完成之后,对应的湿法蚀刻机台一般也会有晶圆正处于湿法蚀刻过程中,这种情况下,等待时间就会被迫延长。要避免这种情况就需要提前进行统筹调配,在进行等离子体蚀刻前,就需要考虑后续灰化及湿法蚀刻机台的状况。在成熟的半导体制造流程中,这种需要提前考虑后续几步工艺的机台工作状态称为队列时间工艺段(Queue-time

loop)。在各个制造工厂中,排货系统都会把这种队列时间工艺段作为一个整体,统筹调配,确保生产效率最大化的同时兼顾各工艺间的等待时间^[6]。

在半导体制造这种高精密制造中,等待时间的量化是必不可少的。通常的做法是,不同的工艺通过相应的恶化实验来评估可承受的等待时间,并确定合理的等待时间范围。制造工厂中的排货系统就会根据不同晶圆的重要性的和不同的最大等待时间来决定排货顺序。

除了系统层面的排货调控之外,还有一种手段是用来延长最大等待时间的,那就是目前渐渐运用越来越广泛的氮气或干燥空气存储设备,其目的就是让晶圆处于一个氮气或干燥空气的环境中,避免水汽和杂质中的反应离子发生反应。

5. 锯齿缺陷

等离子体蚀刻工艺用于定义与传递图形,然而蚀刻工艺所传递的图形首先是由光刻工艺来进行初步定义的。蚀刻过程中通过对不同材料的蚀刻速率的差异,来达到有选择性的蚀刻,把光刻胶没有覆盖的区域蚀刻掉,将光刻胶图形传递到目标材料上。

在等离子体蚀刻工艺中,光刻胶的消耗是不可避免的,为确保光刻胶可以一直覆盖保护住不需要被蚀刻的区域,就对光刻胶的厚度有了一定的要求。但是在光刻工艺中,光刻胶的厚度并不是一个可以随心所欲决定的参数,根据目标尺寸和光刻胶的特性曲线,光刻胶的厚度会有一个范围局限,同时因为光刻胶是旋涂到晶圆表面的,光刻胶的实际厚度主要由旋涂工艺的转速以及光刻胶本身的黏度(Viscosity)决定:黏度越低,光刻胶的厚度越薄,旋涂的转速越快,光刻胶的厚度越薄。同时,旋涂的旋转加速度还决定了光刻胶的均匀性,加速度越高,均匀性越好。由此可见,光刻胶的厚度会受光刻胶本身及光刻工艺的限制,当光刻胶的厚度不够充裕时,就会导致在等离子体蚀刻过程中图形传递失真的缺陷,最常见的现象是图形出现锯齿状边缘,一般称为锯齿缺陷。

等离子体蚀刻中都会有一定的物理轰击作用,所以当光刻胶残留比较薄时,在物理轰击的作用下,等离子体已经可以打穿光刻胶并对下层材料进行轰击、发生蚀刻反应。然而,光刻胶在图形边缘的消耗是最快的,因为图形边缘的光刻胶会受到上表面和侧面的等离子体蚀刻消耗,于是,当光刻胶厚度不够充裕时,图形边缘区域会最先发生光刻胶有效厚度不够无法阻挡等离子体的问题。于是光刻胶的边缘就会由于这种原因出现锯齿状,并且传递到下层材料上,导致最终的图形侧壁出现图 5.17 中的剖面图所示的条形凹痕,形成锯齿缺陷。

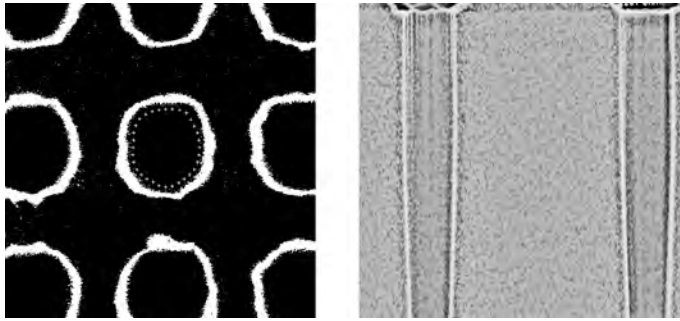


图 5.17 锯齿缺陷

此类锯齿缺陷的最有效解决方式是增加光刻胶的有效厚度,然而就像前文中提到的,光刻胶厚度受本身材料特性及光刻工艺限制,很难无限增加,所以当光刻胶进行过工艺评估并定下厚度之后,想要再增加厚度,基本上已不会有太多的调整空间,所以只能通过其他方法来解决这个问题。

等离子体蚀刻工艺的优化自然成为首选方案之一,通过调节等离子体蚀刻工艺的蚀刻气体配比、提高蚀刻反应腔压力,降低偏压以减弱物理轰击强度等方法提高蚀刻材料对于光刻胶的蚀刻选择比能够有效地改善此类缺陷,因为这等于减少了刻蚀等量目标材料所需要消耗的光刻胶。

当等离子体蚀刻工艺的优化也不能够完全补偿光刻胶不够的问题时,就需要从整体上考虑优化方案了。这个时候会考虑改变薄膜堆叠的方案,通过调整薄膜,从根本上提高材料与光刻胶的选择比,或者是增加中间过渡用的掩膜,使得光刻胶需要保护的材料厚度减薄,把图形传递到过渡掩膜上,然后用掩膜作为图形传递的基础,此时光刻胶即使被消耗完也没有关系,这就是前面章节中提到过的三明治薄膜结构。目前这种用中间掩膜替代光刻胶的方法得到广泛的应用,成为很多关键器件蚀刻工艺的标配。

6. 空洞、裂缝缺陷

等离子体蚀刻与湿法蚀刻的一大区别就在于等离子体蚀刻是各向异性的反应,能够有效地控制纵向与横向的刻蚀速率比,这也是等离子体蚀刻能作为图形传递的关键工艺的主要特性。要想把光刻工艺定义在光刻胶上的图形有效、准确地传递到晶圆上,最理想的情况是等离子体蚀刻能够做到没有横向刻蚀,仅仅是笔直地把光刻胶上的图形印在晶圆表面的目标薄膜上。

但是理想化的结果并不一定是最合适的,所以在不同的工艺中,对等离子体蚀刻会有不同的需求,如图 5.18 所示,可能会希望要非常笔直的圆柱形孔洞,也可能会需要倒梯形的沟槽,或者是 U 形的沟槽,甚至会需要双重斜率的沟槽,例如上半截垂直而下半截呈 U 形或 V 形。

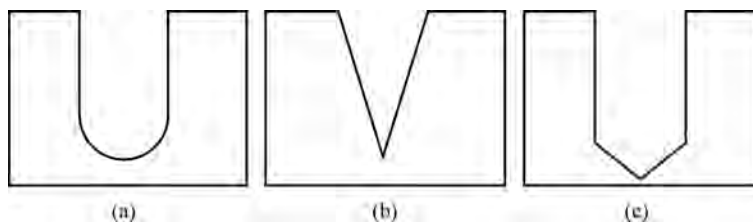


图 5.18 (a)U 形沟槽、(b)V 形沟槽和(c)双重斜率沟槽

这些对于形貌的要求一般是由蚀刻的前后工艺的需求决定的。与等离子体蚀刻紧密相关的除了光刻工艺之外还有薄膜生长工艺。而这些形貌的需求很大一部分都是为了增加薄膜生长工艺的工艺窗口,特别是填充能力有限的金属填充工艺。

当等离子体蚀刻完成或接近完美的垂直蚀刻后,对后续的薄膜生长,特别是其中的金属填充工艺,那简直就是噩梦,如图 5.19 所示。图 5.19(a)是通孔的金属填充因为通孔过于笔直形成了空洞,而图 5.19(b)则是铜互连的金属连线填充因为沟槽形貌过于笔直的关系导致了金属连线有裂缝。这两种金属填充异常分别称为空洞和裂缝缺陷。

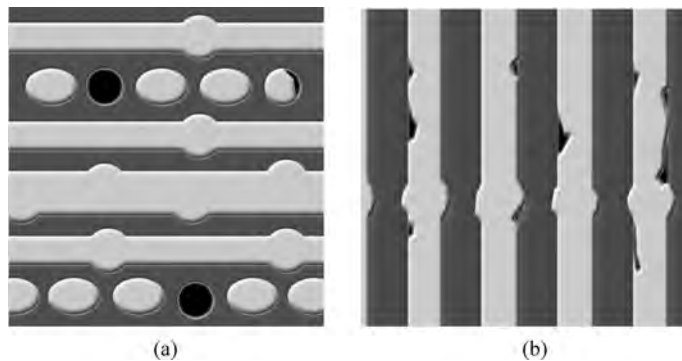


图 5.19 (a)通孔空洞和(b)金属连线裂缝

随着深宽比的提高,金属填充的难度就会越来越高,空洞、裂缝缺陷发生的概率也会随之增加。对于这种缺陷的预防方式也是比较直观的,那就是通过等离子体蚀刻工艺的优化来调整通孔或沟槽的形貌,来提高金属填充的工艺窗口。因此,不同等离子体蚀刻的形貌需求是各不相同的,但是通过形貌来改善金属填充能力也有一定局限性。

随着半导体技术的发展,半导体器件的集成度越来越高,各个器件的尺寸都在不断地缩小。当我们为了金属填充能力而把沟槽或通孔做成倒梯形时,就意味着上开口的尺寸会大于下开口,这时候,由于器件密度越来越高,通孔或沟槽的上开口尺寸偏大就有可能导致相邻通孔或沟槽间有短路或击穿的危险。另一种情况是即使保证了上开口尺寸在合理范围内,然后缩小下开口以实现倒梯形的形貌,并且不会有短路等问题,但是这个时候较小的下开口就会提高光刻工艺层间对准的要求,会有通孔无法落在目标器件上导致断路的可能。

所以,随着半导体工艺的发展,各工艺的要求都越来越高,互相间的影响使得各工艺要考虑的因素越来越多。对于空洞、裂缝缺陷最根本的方法是从金属填充工艺本身出发,提高自身的填充能力。于是,各种新的金属填充方法或者工艺都登上了半导体工艺的舞台:如多次镀膜法、原子层镀膜工艺(Atomic Layer Deposition, ALD)、金属回流^[12]等。

5.2.3 蚀刻工艺不完善所导致的缺陷

1. 负载效应

在等离子体蚀刻中,均匀性一直都是一个至关重要的指标,也一直是等离子体蚀刻工艺中无法完全规避的问题。在等离子体蚀刻工艺中,有的时候会有蚀刻停止层(Stop Layer or Liner),而有的时候,是需要蚀刻一定深度的目标薄膜,那么这时就不会有蚀刻停止层了,而对

于这种工艺,蚀刻深度的负载效应就会变得非常显著。

如图 5.20 所示,左边相对稀疏(Isolate)的沟槽的深度比右边区域相对密集(Dense)的沟槽深度要深。这是由于在相对稀疏的区域中,所有的反应离子只能与稀疏的几个沟槽内的材料发生反应,而在相对密集的区域,同样数量的反应离子却需要蚀刻数个沟槽内的材料,反应速率比稀疏区域要低,导致最终的蚀刻深度会比较浅。

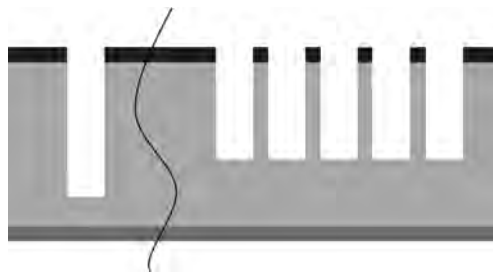


图 5.20 深度不均匀缺陷

当然,众所周知,等离子体蚀刻是可以媲美魔术的一道工艺,堪称艺术也不为过,所以一切皆有可能。上述分析,其实忽略了很多其他的因素,是建立在反应离子浓度主导反应速率的情况下。

在等离子体主导的蚀刻反应中,决定反应速率的因素会根据不同的情况而变化。如图 5.21 所示,随着等离子体通量的逐步增加,反应速率的变化并不是线性的,变化曲线可以分成两个区间。在这两个区间内,蚀刻速率的决定因素有所不同。

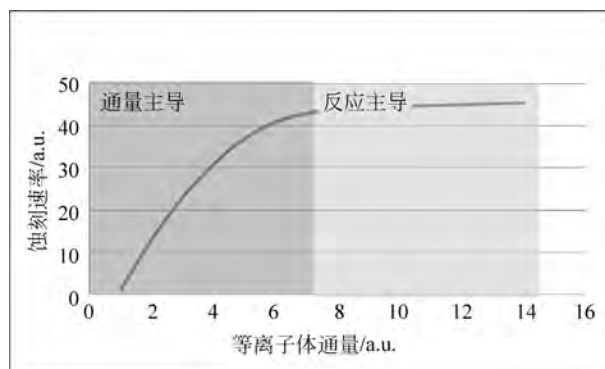


图 5.21 蚀刻速率 vs 等离子体通量

(1) 在反应区域内反应离子体不够充足时,等离子体通量是决定性因素(通量主导, Transfer limit);

(2) 当通量足够大时,反应区域内反应离子充足甚至富裕,此时化学反应速率起决定性作用(反应主导, Reaction limit)。

图 5.20 就是处于通量主导阶段,所以稀疏区域的蚀刻速率会更快。然而如果提高通量,将其拉入反应主导区域,那么此时化学反应的速率就决定了真实的蚀刻速率。等离子体蚀刻过程中,温度自然是影响化学反应速率的一个重要参数,同时在反应中生成的副产物以及光刻胶中被轰击出的碳离子形成的聚合物会附着在材料表面并影响化学反应速率。在这种情况下,图 5.20 的负载效应就有可能完全颠倒过来了,因为在副产物方面,两边是同比例产出的,但是光刻胶所带来的影响在稀疏区域就会被放大,因为稀疏区域光刻胶所占面积大,轰击出的聚合物更多,但是可以吸附的却只有那稀疏的几个沟槽而已,所以此处的化学反应速率就会急剧减慢,最终导致沟槽深度比密集区域浅。

除了稀疏、密集区域之间会有蚀刻深度的负载效应外,在不同尺寸的沟槽间也会有深度负

载,如图 5.22 所示,在沟槽尺寸较小的区域,由于深宽比较高,反应离子不容易到达沟槽底部进行蚀刻,同时产生的副产物相对也较难被抽离,使得这里的局部等离子体通量会低于大尺寸区域,所以沟槽的深度会比大尺寸区域的浅一些。

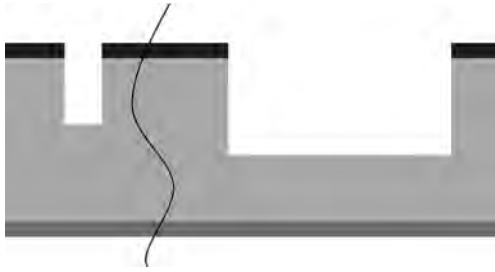


图 5.22 不同尺寸间的深度不均缺陷

从上述分析可以得出,对于负载效应,主要的解决方法就是通过改变反应腔压力、等离子体解离度、蚀刻气体流速等调节离子体通量来调整蚀刻反应落于哪个反应区间,之后再通过调节蚀刻气体配比来改变阻碍反应的副产物的多少,以及通过调节温度等参数来平衡不同区域的化学反应速率^[13]。

目前除了使用一般的蚀刻工艺配方优化之外,在蚀刻机台方面也有一些新的功能可以改善负载效应。如图 5.23 所示,目前蚀刻机台都在逐渐引入的脉冲功能可以有效地改善负载效应,而不同的脉冲模式对于负载效应的影响有所不同^[13]。图中的脉冲等离子体运用的是偏置电压脉冲模式,如图 5.23 所示,采用高频脉冲(High Frequency, HF),低频脉冲(Low Frequency, LF),开启占空比高或低,都能有效地改善负载效应,不过对于深度负载和角度负载的改善效果有所不同。

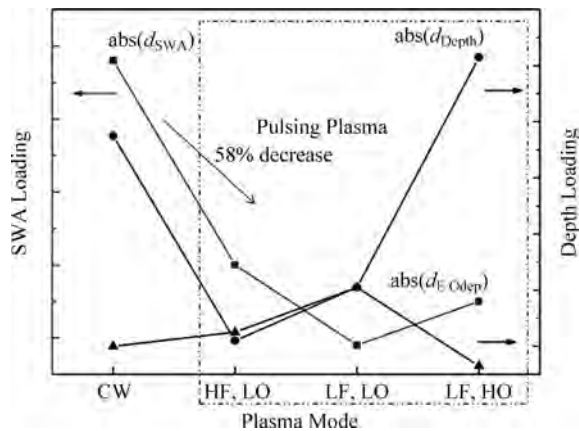


图 5.23 脉冲对负载效应的影响^[13]

2. 过量蚀刻不当

在前文中介绍过,等离子体蚀刻中,有的时候没有蚀刻停止层,有的时候会有蚀刻停止层。当存在蚀刻停止层时就意味着没有被光刻胶保护的区域中的目标材料需要被完全去除,直到露出蚀刻停止层为止。

不过露出了蚀刻停止层并不意味着停止蚀刻。在量产级别的等离子体蚀刻工艺中,有一个非常重要的指标是:过蚀刻(Over Etch, OE)。过蚀刻只存在于需要完全去除目标材料的工艺中,在对蚀刻深度有精确要求的工艺中,过蚀刻的存在显然是不可接受的。

过蚀刻本质上是对于工艺窗口的一个保证。由于所有的半导体工艺都不是那么理想化地可以做到完美的稳定性和重复性,每一道工艺都会有一定波动,过蚀刻的存在可以弥补薄膜生

长、化学机械掩膜等工艺的波动带来的影响,同时也可以弥补等离子体蚀刻本身的不均匀性和波动性。

由此可见,过蚀刻的标准就是能够补偿相关工艺导致的薄膜厚度波动,一般在10%左右,毕竟大于10%的厚度波动已经不能认为是工艺的正常波动了,那是不可接受的。同时,如上一节中提到的,由于蚀刻深度负载的问题,只以单一区域的情况来决定蚀刻量并不能保证晶圆上所有区域都没有目标材料残留,所有需要一定量的过蚀刻来保证所有区域都将目标材料蚀刻完全了。

一旦过量蚀刻不够充足,将很可能产生图5.24所示的另一种缺陷:材料残留。

材料残留缺陷的成因是过量蚀刻不足,直接的解决方法当然就是提高过量蚀刻。但是过量蚀刻也不是越多越好,因为当拥有蚀刻停止层时,无限制的增加过量蚀刻之后,会有两种不好的结果:一种就是由于蚀刻不了蚀刻停止层,于是就开始横向地蚀刻材料侧壁,导致沟槽或者孔洞的形貌变成凹陷形或尺寸偏大;而另一种可能就是蚀刻停止层并不是完全不会被蚀刻,只是速率相较蚀刻目标材料慢很多,此时蚀刻停止层就有可能被刻穿,这又有可能会引入一种新的缺陷。如图5.25所示,就是过量蚀刻过多所导致的缺陷,铜扩散缺陷。

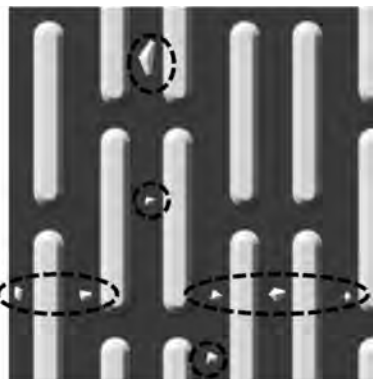


图 5.24 材料残留缺陷

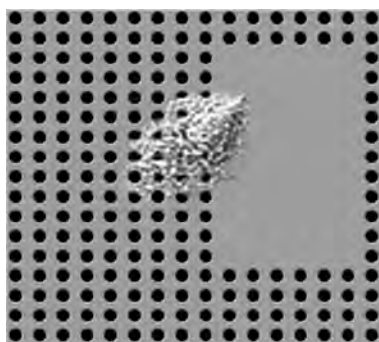


图 5.25 铜扩散缺陷

在铜互连制备工艺中,会有多层铜连线与铜通孔组合形成复杂的铜互连结构,把晶圆上的各半导体原件按希望的方式连接起来形成各种功能不同的器件和回路。正因为铜互连是一个多层堆叠的结构,那就意味着,每次沟槽或通孔的等离子体蚀刻时,在蚀刻停止层的下面就会有前面一层的铜连线,一旦蚀刻停止层被打开,铜线就会暴露在等离子体中。

众所周知,铜是一种抗蚀刻性很强的金属,所以在铜互连制备工艺中都是先形成连线沟槽,然后通过电化学镀膜把铜镀到沟槽中。表面上看来,似乎铜线暴露在等离子体中不会有什么严重的副作用。但实际上,铜作为目前后段连线的首选材料,除了导电性好之外,还有一点就是相对其他金属来说硬度也不高。虽然现在镀铜的方式几乎都是用电化学镀膜工艺,但是铜还有另外一种镀膜方式,那就是溅射镀膜(sputtering)。溅射镀膜就是通过轰击加热的铜靶材,溅射出铜微粒,然后使其落在旋转中的晶圆表面并形成铜薄膜^[15]。当铜线暴露在等离子体中时,铜的确不会与等离子体发生反应,但在等离子体蚀刻中的物理轰击会对其产生影响,并且晶圆表面的温度也不低,一般都会会在100℃左右,所以当前层的铜连线暴露在等离子体中后,在物理轰击的作用下,将会被轰击出铜微粒,并落在晶圆表面及反应腔内。图5.25中可以看到被打出的铜微粒覆盖在了一片通孔的上表面,堵塞了一部分通孔。后续的电化学镀铜工

艺就没办法把铜填入这些被堵塞的通孔,最后就会形成断路,这就是最典型的铜扩散缺陷。

铜线暴露在等离子体中,除了会导致铜扩散缺陷外,对于蚀刻机台也会有影响,如图 5.26 所示,铜暴露在等离子体中后,随着时间的增加,蚀刻机台的蚀刻速率急剧降低。

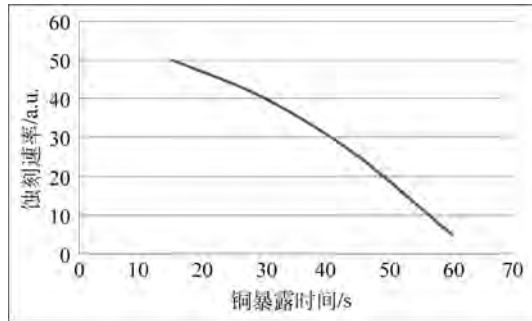


图 5.26 铜暴露时间对蚀刻速率的影响

铜线暴露在等离子体中对蚀刻速率产生影响的机理与铜扩散缺陷类似,铜微粒被物理轰击溅射出来后,除了会落在晶圆的表面,还有可能会吸附在上电极上。上电极是控制电场强度的,是激发产生等离子体的重要部件,一旦被大量的铜附着在上电极上,其产生的电场强度将会下降,对等离子体的形成将会产生极大的影响,导致等离子体浓度直线下降,这也是蚀刻速率会急剧下降的原因^[16,17]。

由此可见,过蚀刻的管控其实是非常重要的,材料残留缺陷和铜扩散缺陷都可以通过合理地调节过蚀刻的量来解决。值得注意的是,一旦发生了铜扩散缺陷,会直接对蚀刻机台产生严重的影响,蚀刻速率的改变将影响其后进行的蚀刻工艺,导致蚀刻不完全或者关键尺寸变化等。而且由于此类缺陷,无法在蚀刻过程中被监测到,也就意味着不能够一发生就马上把蚀刻机台停下来进行恢复操作。

所以在会有潜在风险产生铜扩散缺陷的等离子体蚀刻工艺,在最初的研发阶段就会对此类问题非常关注,一般的操作手法是进行完第一次以及改变过蚀刻总量后的等离子体蚀刻,就需要测试一次机台的蚀刻速率。当蚀刻程序初步成型之后就做一次工艺窗口的安全测试:增加和减少 10% 左右的过量蚀刻,看看是否会发生材料残留,或者铜扩散缺陷。

对于材料残留缺陷和铜扩散缺陷,优化过量蚀刻是目前最有效的手段,但是只能起到预防作用,一旦薄膜生长的厚度偏差过大,还是有可能发生,只是频率相对较低。

对于铜扩散这种潜在风险非常大的缺陷,蚀刻工艺的优化也能起到一定的预防作用。根据铜扩散缺陷的成因进行分析,减弱蚀刻工艺中可能接触铜材料的步骤的偏置电压能有效地降低铜材料被轰击出微粒的可能性。同时,在可能接触铜材料的蚀刻步骤中添加一些氧化气体也可在铜材料表面形成保护层,使得其不直接暴露在等离子体中,避免铜扩散缺陷。

3. 锗硅异常生长

随着半导体工艺的发展,尺寸越来越小,集成度越来越高,对于提高沟道中载流子迁移率的方法也越来越多。其中生长锗硅,通过应力的方法加强载流子迁移率是目前广泛应用的一种新工艺。

但是新工艺总是会引入各种各样的新问题,锗硅是通过外延生长工艺长到晶圆上的,其基本特征是锗硅会在所有硅暴露区域生长,同时一些硅表面只有非常薄的薄膜时,反应离子也可能穿透这层薄膜,进而生长出锗硅。而图 5.27 中的情况就是在栅极与其上表面的硬掩膜交界

处生长出了多余的锗硅。

正常情况下,栅极和其上的硬掩膜外还会包裹着一层保护侧墙,锗硅外延生长工艺时,栅极是不会暴露在外的,但是从图 5.27 来看,应该是侧墙保护层不够完美,导致局部的栅极暴露在外,或是侧墙保护层非常薄,无法继续保护硅材料。

针对这类缺陷,解决的方法就会比较多样化,如图 5.28 所示,这是可能的缺陷区域的剖面图,栅极顶端与硬掩膜交界的区域侧墙保护层有薄弱点,解决这个问题就要从此结构薄弱点的相关工艺优化作为出发点。

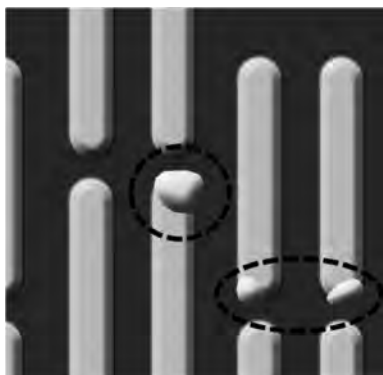


图 5.27 锗硅异常生长缺陷

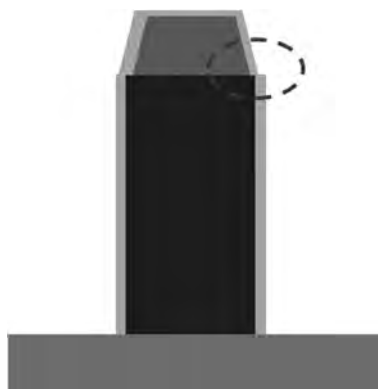


图 5.28 栅极外隔离层薄弱点

针对图 5.28 中的栅极侧墙保护层薄弱点,栅极蚀刻工艺可以通过两种方法进行优化。首先我们可以看到侧墙保护层的形貌是随着栅极及其上的掩膜形貌而变化的,在栅极蚀刻过程中,调节栅极对硬掩膜的蚀刻速率选择比,可以更有效地保护硬掩膜,使得硬掩膜和栅极的交界处不会向里收缩,甚至可以做到向外突出一些,这样就可以保证原来的隔离层薄弱点不会再是距离栅极最近的部分,栅极就不容易在锗硅生长过程中暴露在外了。而另外一个方法就是增加硬掩膜的厚度,硬掩膜在交界处会向内收缩就是因为硬掩膜厚度不够,在栅极蚀刻过程中消耗过多,导致整体向内收缩,所以增加硬掩膜厚度也是一个有效的方法。

除了在栅极蚀刻工艺方面进行优化,在锗硅生长预蚀刻工艺中进行优化也能有一定的改善效果。锗硅生长预蚀刻工艺是在希望生长锗硅的区域,先蚀刻出一个沟槽,然后在其内部生长出锗硅,这样才能有效地控制锗硅的具体位置和形貌。

而锗硅生长的预蚀刻工艺,在蚀刻硅衬底表面的自然氧化层时也会对栅极外的侧墙保护层有一定的消耗,这将放大侧墙保护层的薄弱点,所以减少锗硅生长预蚀刻工艺对栅极侧墙保护层的消耗也能够有效地改善锗硅异常生长的缺陷。

目前,还有一种新颖的解决方式,能很好地解决此类缺陷。这种方法也是在栅极蚀刻过程中的一种优化手段:在栅极蚀刻完成后,用等离子体对栅极表面进行处理,使栅极表面形成一层额外的保护层。因为栅极的侧壁在后续的工艺中并不需要做任何的连接工作,所以在栅极侧壁形成一层额外的保护层对于整个器件不会带来任何负面影响,然而其避免锗硅生长异常的效果却是非常明显的,可以根除此类缺陷。因为栅极的表面在进行处理后已经变成了一种硅的化合物,即使侧壁保护层不完美甚至无法包裹栅极,也能有效地抑制锗硅的生长。

4. 金属腐蚀

在后段的铜互连工艺中,蚀刻工艺主要的刻蚀薄膜还是介电材料,而金属铝蚀刻和氮化钛

硬掩膜蚀刻是其中为数不多的金属蚀刻工艺。而铝作为一种活性较强的金属,对于等离子蚀刻工艺而言,带来了一些与介电材料蚀刻有所不同的工艺限制以及缺陷。

因为金属铝的活性太强,在大气中就会形成自氧化层,在蚀刻过程中,都会需要先用一步刻蚀氧化物的蚀刻步骤,之后才开始真正地刻蚀金属铝。然而,正是因为铝的活性较强,对于铝蚀刻工艺后的队列等待时间需要严格管控,金属铝的刻蚀气体也需要认真挑选。不然很容易就会产生一种金属蚀刻中最常见的缺陷——金属腐蚀缺陷。

在等离子体蚀刻中,由于要有效地管控蚀刻的形貌,需要有效地控制反应副产物,使之附着在图形侧壁,用于调节沟槽形貌。这类气体的选择很多,在大多数等离子体蚀刻中都会使用某种氟利昂($C_xH_yF_z$)气体,而不同的工艺会根据需求不同而使用不同 C/F 比例的氟利昂气体。

在铝蚀刻工艺中,因为氟基气体没有办法与金属铝反应生成可气化的副产物,所以主蚀刻气体从一般的氟基气体变成了氯基气体,运用氯气和氯化硼气体来蚀刻金属铝。其中氯气是

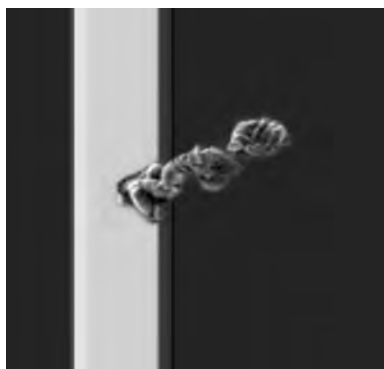


图 5.29 金属腐蚀

主要的蚀刻气体,而氯化硼气体能够提供一定的物理轰击,同时还能对侧壁提供一定的保护。不过,为了确保蚀刻的各向异性,仅仅依靠氯化硼的侧壁保护能力并不足够,蚀刻气体中还会夹杂一些侧壁保护气体如 CH_4 或 CHF_3 等。

然而, CH_4 或 CHF_3 等气体,在图形侧壁形成保护层抑制侧向蚀刻的同时,反应中解离出的氯离子也会有一部分被包裹在保护层中。被包裹在保护层中的氯离子很难在后续的工艺中被完全去除,其很容易与大气中的水汽反应形成酸性物质并开始腐蚀铝,最终导致图 5.29 中的金属腐蚀缺陷。

针对这类缺陷,通过对各工艺参数进行工艺窗口研究,发现 CH_4 或 CHF_3 等用来形成侧壁保护层的气体用量成为解决问题的关键参数之一。如表 5.2 所列,不同的 CH_4 用量,金属腐蚀缺陷数量的差异非常明显,其中的主蚀刻时间的变化是由于 CH_4 用量变化会影响蚀刻速率所进行的补偿调整。从中可以看出金属腐蚀相关的安全工艺窗口处于条件 d 到 e 之间^[21]。

表 5.2 CH_4 气体使用量对金属腐蚀缺陷安全窗口的影响

蚀刻条件	a	b	c	d	e	f
CH_4 气体用量/sccm	T	$1.3T$	$2.0T$	$2.3T$	$2.7T$	$3.3T$
主蚀刻时间/s	t	$t+2$	$t+6$	$t+9$	$t+13$	$t+20$
金属腐蚀缺陷数量/个	>300	>300	55	0	0	65

在表 5.2 中, CH_4 气体用量对于金属腐蚀的影响看起来似乎并非完全线性,随着用量到 $3.3T$,时间增加到 $t+20$,金属腐蚀缺陷又开始出现。通过基于条件 f 的进一步工艺窗口研究,发现金属腐蚀再次出现的主要影响因素是蚀刻时间的增加导致吸附的氯离子变多,并无法很好地去掉干净,导致了金属腐蚀缺陷的再次出现。

由于不同的工艺对于形貌的要求会有所不同,侧壁保护气体的选择也会有所变化。一般情况下,同一个机台内,不同工艺使用不同的气体并不会产生任何负面影响,然而铝蚀刻机台

由于其工艺的特殊性,铝金属过于敏感,不同工艺使用的蚀刻气体差异也会有一定的互相影响。如表 5.3 所列,同型号的蚀刻机台 a、b、c,全部都是用于进行金属铝蚀刻的,但是针对不同的产品,金属铝蚀刻工艺所使用的侧壁保护气体会有所不同,用以达到不同的形貌或工艺要求。在机台中使用的侧壁保护气体不同时,金属腐蚀缺陷的数量非常高,当统一了所有工艺所使用的侧壁保护气体时,金属腐蚀缺陷得到了很大的改善。

表 5.3 不同工艺侧壁保护气体对金属铝缺陷的影响

蚀刻机台	a	b	c
所有工艺使用的侧壁保护气体	CH ₄	CH ₄ 和 CHF ₃	CHF ₃
金属腐蚀缺陷数量/个	25	>500	35

由此可见,针对金属腐蚀缺陷,需要进行统筹的工艺优化,同一机台上的所有蚀刻工艺需要统一侧壁保护气体。当首次发现这种影响因素时,需要改动的蚀刻工艺非常多,这对于工业界来说是一个非常重要的发现,发现得越晚,需要改动的工艺就会越多。而侧壁保护气体和蚀刻工艺的时间也需要进行优化,每个不同的金属铝蚀刻工艺都需要进行类似表 5.2 的工艺安全窗口测试,找出最佳的侧壁保护气体和蚀刻工艺时间配比。

除了蚀刻工艺的优化之外,结合队列时间的管控和加强等离子体蚀刻后的去胶工艺对于反应副产物的去除能力也能进一步增大金属腐蚀缺陷的工艺安全窗口^[19,20]。

参 考 文 献

- [1] 张汝京. 纳米集成电路制造工艺. 北京: 清华大学出版社, 2014.
- [2] 萧宏. 半导体制造技术导论. 2 版. 杨银堂, 段宝兴, 译. 北京: 电子工业出版社, 2013.
- [3] Samer Banna, Ankur Agarwal, Vac J. Sci. Technol. A 30(4). Jul/Aug (2012).
- [4] Huang Y, Du S, Zhang H, et al. 65nm Poly Gate Etch Challenges and Solutions. ICSICT, BJ, China, 2008.
- [5] Kosa Hirota, et al. Evolution of Titanium Residue on the Walls of a Plasma-etching Reactor and Its Effect on the Polysilicon Etching Rate. Journal of Vacuum Science & Technology A 32, 2014.
- [6] Zhang Xu, et al. Optimization of PET(Post Etch Treatment) Steps to Enlarge Queue Time and Decrease Defect Counts in Ultra Low-k Material AIO (All in One) Etch Processes. CSTIC, 2015.
- [7] Ji Shi-liang, et al. The Improvement of the 2nd Dummy Poly Gate Removal with the Optimized WAC Condition. CSTIC, 2016.
- [8] Wang Chih-Chien, et al. Using Post Etch Treatment (PET) to Resolve Poly Residue Defect Issue of Dummy Poly Removal (DPR) in hi-K Metal Gate Processing. AVS, 2014.
- [9] Zhou Jun-Qing, et al. Metal Hard-Mask Based AIO Etch Challenges and Solutions. CSTIC, 2015.
- [10] Lee Y-H, et al. Implant Damage and Gate-Oxide-Edge Effects on Product Reliability. IEEE IEDM 2004: 481.
- [11] Yu-Kun Lv, et al. Study of Solving the Outgas Induced Defect in Metal Hard Mask All-In-One Etch Process. ECS Transactions, 2014, 60 (1): 323-329.
- [12] Motoyamal K, et al. Novel Cu Reflow Seed Process for Cu/Low-k 64nm Pitch Dual Damascene Interconnects and Beyond. IEEE, 2012.
- [13] Wang Yan, et al. Process Loading Reduction on SADP FinFET Etch. CSTIC, 2015.
- [14] Krishnan S, et al. Inductively Coupled Plasma (ICP) Metal Etch Damage to 35-60Å gate oxide. IEDM, 1996.

- [15] Zhou J Q, et al. The Study of Dry Etching Process on Plasma Induced Damage in Cu Interconnects Technology. CSTIC,2011.
- [16] Zhou Jun-Qing, et al. The Cu Exposure Effect in AIO Etch at Advanced CMOS Technologies. IITC,2016.
- [17] Tsung-Kuei Kang, et al. Avoiding Cu Hillocks during the Plasma Process. Journal of The Electrochemical Society,2004.
- [18] Ruixuan Huang,Xiao-Ying Meng,Qiu-Hua Han,et al. SPIE,2015.
- [19] Hong Shih. A Systematic Study and Characterization of Advanced Corrosion Resistance Materials and Their Applications for Plasma Etching Processes in Semiconductor Silicon Wafer Fabrication. Corrosion Resistance. Dr Shih (Ed.). ISBN: 978-953-51-0467-4,InTech,2012.
- [20] Chen Xingjian,et al. Metal Contamination Control and Reduction in Plasma Etching. CSTIC,2016.
- [21] Wang X P,et al. Influence of Polymeric Gas on Sidewall Profile and Defect Performance of Aluminum Metal Etch. ECS Transactions,2009,18(1): 641-644.
- [22] Zhou J Q, et al. Dry Etch Process Effects on Cu/low-k Dielectric Reliability for Advanced CMOS Technologies. ECS Transactions,2011,34(1): 335-341.
- [23] Besling W F A, et al. /Microelectronic Engineering 82,2005: 254-260.
- [24] <http://www.lamresearch.com/products/etch-products>.