

# 第**3**章 芯片贴装

芯片贴装(或键合)是指将芯片用胶或者焊料固定在引线框架或基板上,即通过胶或者焊料将芯片黏结在引线框架或者基板的指定区域,实现对芯片的机械固定,并形成热通路(或电通路)的工序。

从使用的芯片黏结材料来看,芯片贴装主要有如下类型:

- (1) 含环氧树脂的黏结技术,如导电胶黏结技术和绝缘胶黏结技术;
- (2) 共晶焊技术;
- (3) 焊料黏结技术;
- (4) 低熔点玻璃黏结技术。

## 3.1 导电胶黏结技术

### 3.1.1 导电胶的成分

传统封装工艺中使用最普遍的是导电胶黏结技术。常用的导电胶为导电银胶,即填充银导电粒子的环氧树脂黏结剂。导电胶主要由树脂基体、导电粒子填充剂、分散添加剂、助剂等组成。导电银胶的填充料是银颗粒或者银薄片,填充量一般为75%~80%,基体材料是环氧树脂。在合适的温度下,基体材料固化,形成导电银胶的分子骨架结构,提供力学性能和黏结强度保障,银粒子则互相连接形成导电导热通道。

### 3.1.2 导电胶黏结工艺过程

导电银胶黏结技术具有工艺简单、成本低廉的优势,已经被大量应用于集成电路封装、LED封装、液晶显示屏等领域。

导电银胶贴片工艺主要分为四个步骤:①点胶;②取片;③贴片;④银胶烘烤。其中前三个步骤主要通过自动固晶机来完成,步骤④通过热风循环烤箱完成。

自动固晶机主要由图像识别系统、电气控制系统、上下料机构、晶圆芯片供送机构、固晶机构、点胶机构等组成,其具有高精度、高智能化和高速的特点。

自动固晶机的主要功能模块有:

- (1) 上料:将切割好的晶圆通过上料机构送到自动固晶机的吸片工作台。
- (2) 检测:通过图像识别系统将工作台上的芯片读取图像后,进行识别、定位处理,得到芯片的坐标及分类等信息。
- (3) 点胶:将引线框架(或基板)固晶区域点上黏结材料,用于固定芯片。
- (4) 拾取:在得到芯片的坐标信息后,通过拾取机构到达芯片位置,并用真空吸头吸取芯片,送到固晶的位置点。
- (5) 固晶:将芯片送到固晶位置后,粘贴固定。
- (6) 下料:当晶圆取晶基本结束后撤掉。

点胶通常有点胶针戳印和针筒点胶两种方式。对于大芯片,针筒点胶还可以设定胶

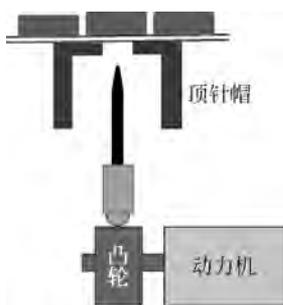


图 3.1 顶针式剥离装置示意图

的图形,方便固晶胶分布均匀。

取片过程中,通用的芯片从胶膜的剥离装置为顶针式剥离装置(图 3.1)。顶针装在顶针帽内,通过顶针帽内真空的吸附将 IC 芯片所在的蓝膜固定在顶针帽上方表面。取芯片时,顶针从晶圆下方顶起芯片,使芯片与胶膜脱离。随后固晶头上的吸嘴从上方吸起芯片。吸嘴吸住芯片后再摆臂到贴片位置。

近几十年来,新型的芯片封装技术层出不穷,这些新型封装技术的出现也伴随着芯片厚度的不断减薄。早期的双列直插式 DIP 所使用的芯片厚度约为  $600\mu\text{m}$ ,BGA 封装使用的芯片厚度降低至约  $375\mu\text{m}$ ,一些智能卡使用的芯片厚度已小于  $100\mu\text{m}$ 。目前一些高性能电子产品的立体式封装涉及的芯片厚度已小于  $50\mu\text{m}$ 。这种超薄的芯片会出现弯曲现象,传统顶针式剥离芯片极易导致芯片不易剥离或者损伤的问题,在新型剥离结构中,采用多个极薄的插片组成插片群组进行剥离。插片群组根据芯片尺寸定制,如图 3.2 所示。剥离时上方吸嘴在一定高度吸住芯片,插片从两边到中间逐步落下,从而完成芯片与膜的分离。

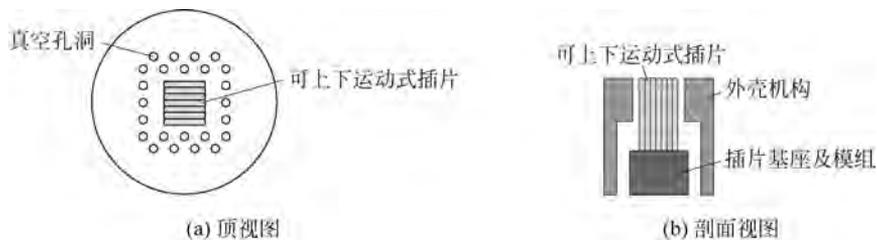


图 3.2 新型插片群组式剥离装置

引线框架或基板被传输到固晶机的贴片平台,摆臂将芯片移动到贴片位置,以一定的压力将芯片压贴到引线框架或基板的固晶位置,吸嘴释放芯片,然后摆臂运动继续取下一颗芯片。

贴片后将基板/引线框架转移到烤箱中烘烤,烤箱中通入氮气防止材料氧化,典型的为  $175^{\circ}\text{C}$  下烘烤 1h。

烘烤后需要抽样进行固晶质量的检查,主要方式是进行芯片剪切力测试。

## 3.2 共晶焊接技术

### 3.2.1 共晶反应与相图

特定温度下,若两种元素不能以任意比例互溶,则彼此之间都有一定的固溶度。共晶反应是指在一定的温度下,一定成分的液体同时结晶出两种一定成分的固相的反应。生成的两种固相机械地混合在一起,形成有固定化学成分的基本组织,统称为共晶体。

发生共晶反应时有三相共存,它们各自的成分是确定的,反应在恒温下平衡地进行。共晶体一般有一个共晶点,该点具有最低熔点并且三相共存,也就是说,共晶点的温度比两种金属的熔点都低。在共晶温度时能形成共晶的两种金属相互接触,经过互扩散后便可在其间形成具有共晶成分的液相合金。随着时间延长,液相层不断增厚,冷却后液相层又不断交替析出两种金属,每种金属一般又以自己的原始固相为基础而长大、结晶析出。因此,两种金属之间的共晶能将两种金属紧密地结合在一起。由于温度分布不均匀和杂质的影响,共晶键合的作业温度略比共晶点高。为了形成可靠的键合,防止键合面的污染和氧化,共晶键合一般在真空或惰性气体环境中进行。常用的共晶键合包括 Au-Si、Au-Sn、In-Sn、Al-Si、Pb-Sn、Au-Ge 等。如金的熔点为  $1063^{\circ}\text{C}$ ,硅的熔点为  $1414^{\circ}\text{C}$ ,但质量分数 2.85Si-97.15Au(即 2.85%Si 和 97.15%Au)混合,能形成较低熔点的共晶合金体,其熔点为  $363^{\circ}\text{C}$ 。图 3.3 为金-硅合金相图。

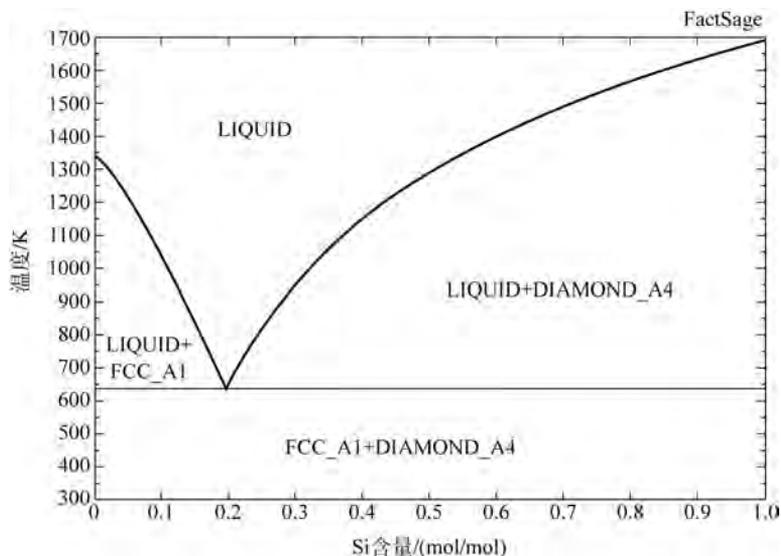


图 3.3 金-硅合金相图(数据来源:SGTE 2011 合金数据库)

### 3.2.2 共晶焊接的原理与工艺方法

在芯片键合中最常用的共晶焊是把硅芯片焊到镀金的基板或引线框架上,即“金-硅共晶焊”。

金-硅共晶焊的焊接过程是指在一定的温度(高于  $363^{\circ}\text{C}$ )和一定的压力下,使硅芯片在镀金的底座上轻轻摩擦去除硅背面氧化层,接触表面借助金-硅共晶反应之间熔化,由两个固相形成一个液相,随着 Si 逐渐扩散至金中而使液面移动扩大。冷却过程中,当温度低于金、硅共熔点( $363^{\circ}\text{C}$ )时,由液相析出紧密结合的两种固相混合物金-硅共晶体,从而形成牢固的焊接。共晶焊具有焊接强度高、欧姆接触电阻低、热导率高、可靠性强的优点。

为了获得更好性能的共晶键合,芯片背面通常先镀上一层金薄膜,或者在基板固晶区域放置共晶合金预成型片。预成型片可以降低芯片粘贴时表面平整度不好而造成的空洞。常用的共晶预成型片有质量分数 2.85Si-97.15Au 预成型片、质量分数 20Sn-80Au 预成型片等。

此外,通过(交替)电镀、(交替)蒸发等也可以在硅片背面或固晶区域形成 Au-Sn 等共晶焊料层。

在封装中使用的共晶焊设备通常为真空/可控气氛共晶炉或自动共晶焊机。

焊料的性质及芯片表面状态和共晶参数等都会对共晶质量造成改变,其中关键因素如下:

- (1) 共晶焊料。选择成分稳定、无氧化、表面平整的焊料,可有效减少空洞缺陷。
  - (2) 表面镀层。在共晶面涂镀层以提高湿润性和共晶质量。
  - (3) 表面清洁度。共晶焊片在熔融状态时须保持清洁。
  - (4) 芯片背面氧化。当硅发生氧化时,会导致焊接浸润不均匀,焊接强度下降。
  - (5) 共晶温度。由于热量传递条件和温度测量误差的影响,焊接温度要高于合金熔点。
  - (6) 焊接压力。在芯片上施加一定的压力,确保芯片与载体之间的均衡接触,使两表面结合生成适量合金。压力要根据芯片的材料、厚度、大小综合调整,压力太小或不均匀会使芯片和基板间产生空隙或虚焊;压力过大有可能导致芯片被压碎,且出现焊接金属层太薄的情况。
  - (7) 热应力。芯片抗热应力的能力随厚度增大而增强,因此芯片要保持适当厚度,同时载体与芯片热性能要匹配来减小机械应力。
  - (8) 真空度和气氛。在共晶焊接过程中如果真空度太低,焊接时释放的气体容易形成空洞,增加焊接芯片的热阻。如果真空度太高,那么容易产生焊料达到熔点温度还没有熔化的现象。
- 芯片共晶黏结的质量主要通过外观、空洞率以及芯片剪切力来表征。空洞率可以通过 X 射线和超声波扫描得到,芯片剪切力通过芯片剪切力测试得到。

### 3.2.3 共晶焊接的局限

由于铜基引线框架中芯片与框架之间的热膨胀系数差异大,如采用共晶焊接且应力又无处分散,可能造成芯片破裂,因此共晶贴装在塑料封装中使用较少。金-硅共晶合金焊接生产效率很低,因此仅在一些有特殊导电、散热要求的大功率管中使用。

## 3.3 焊料焊接技术

焊料焊接与共晶焊一样,都是利用合金反应进行芯片焊接,都具有好的导热性能。焊料焊接通常是具有较低熔点的二元或者三元金属焊料焊接,通常称为软焊料,如 PbSn

焊料,以及无铅的 SnAgCu、In 焊料等。

焊料焊接中通常要在硅片和基板焊接区表面沉积一层与焊料凸点焊接中类似的多层金属层,包括:①黏附层,实现与芯片/基板黏附;②焊料浸润层,与焊料浸润从而实现焊接;③表面氧化阻挡层,通常为金。

焊料焊接有以下四种技术:

(1) 焊料预成型片。其工艺与预成型片共晶焊类似<sup>[1]</sup>。

(2) 预镀焊料层。在多层金属层上方制备焊料层,可以是电镀或者蒸镀,然后施加助焊剂,贴片回流。回流时可以施加一定压力。回流后需清洗助焊剂。

(3) 点焊锡膏。焊锡膏中含有溶剂、助焊剂以及焊料小球,形成膏状,通过与导电银胶类似方式的点胶施加到固晶区域,然后回流,清洗阻焊剂。

(4) 无助焊剂焊丝工艺。焊丝被送入在线系统,在该系统中焊丝与被加热的引线框架接触,焊料熔化后形成所需形状,进而贴片焊接。

软焊料与 Au-Si、Au-Sn、Au-Ge 等共晶焊料相比,其塑性形变应力值相对低,可以降低焊接时芯片由于热失配受到的应力。

### 3.4 低熔点玻璃黏结技术

低熔点玻璃黏结技术是指通过使用膏状玻璃黏结剂将芯片黏附到基板上,形成玻璃黏结。低熔点玻璃黏结剂呈膏状,其主要成分是玻璃微粒,加上溶剂等成分形成膏状,在烧结温度下溶剂等成分挥发、排出,玻璃微粒熔化烧结。为了增强热导率和导电性,玻璃膏中还可以添加银粉末,即银/玻璃芯片黏结剂。

玻璃作为黏结剂的一个固有优势是在氧化物或金属表面上的润湿性。这使得在某些应用中可以选择使用裸芯片和基板代替金属化表面,从而大幅节约成本。银/玻璃芯片黏结的热导率可高达  $65\sim 100\text{W}/(\text{m}\cdot\text{K})$ ,高于共晶焊料(约  $57\text{W}/(\text{m}\cdot\text{K})$ )<sup>[2]</sup>。这项技术取代了成本较高的焊料合金,并为一些应用提供了一种高可靠性的选择。银/玻璃芯片黏结剂与导电银胶类似,都可统称为导电银浆,分别称为聚合物导电银浆和烧结型导电银浆。

玻璃黏结过程类似于导电胶黏结,不同之处在于所使用的材料和对热量的需求。首先采用戳印、针筒点胶或者丝网印刷将玻璃膏涂敷在基板的固晶区域,贴芯片,然后将玻璃黏结剂加热至  $350\sim 450^\circ\text{C}$ ,将玻璃熔化为低黏度液体。玻璃冷却时变硬,从而形成黏结,其黏结的空洞率低。

在塑料封装中,铜合金引线框架表面必须进行特殊处理才能够与玻璃形成结合,这样会增加成本,因此玻璃黏结技术不适合塑料封装。玻璃黏结剂与陶瓷材料可以良好黏结,形成低空洞率、高导电导热、高可靠、低应力、低污染的封装。

### 3.5 新型芯片黏结技术

随着应用对封装性能、价格持续提出更高要求和封装技术的进步,芯片黏结技术也在持续进步中。除以上芯片键合技术本身不断进步外,也发展出一些新的芯片黏结技

术,以下简要介绍两种新型芯片黏结技术。

### 3.5.1 芯片黏结薄膜工艺

芯片黏结薄膜(Dia Attach Film, DAF)是一种附着在晶粒底部的薄膜,如图 3.4 所示,为了保护晶圆在切割过程中免受外部损伤,先在晶圆上贴敷胶膜,以便保证更安全的芯片分割。在切割过程中,DAF 被切开并保持黏结在芯片背面。与固晶胶水相比,DAF 的厚度可被调整至非常小且恒定。DAF 不仅应用于芯片和基板之间的键合,还广泛应用于芯片与芯片之间的键合,从而形成多芯片堆叠封装。

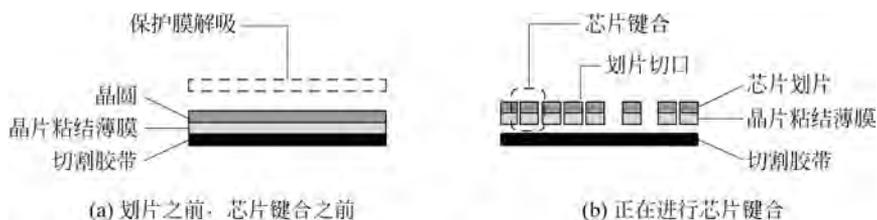


图 3.4 使用芯片黏结薄膜的芯片键合工艺<sup>[3]</sup>

### 3.5.2 金属焊膏烧结技术

功率器件封装主要还是通过含铅、无铅焊料合金或导电胶连接到基板上,相关工艺都可以在低于  $300^{\circ}\text{C}$  的温度下进行。但是,树脂或焊料合金的屈服强度较低,在变形过程中有非弹性应变的累积,芯片黏结的焊料层很容易出现热循环载荷的疲劳失效。焊料一回流过程容易形成空洞,树脂的导电性能和传热性能不好,且环氧层也容易产生气泡,严重影响了芯片黏结的可靠性和热性能。此外,含铅焊料不符合环保要求<sup>[4]</sup>。

金属粉末焊膏(如银、银-钯和铜焊膏)广泛使用于混合烧结的微电子封装中。这些金属具有高的导电和传热性能,而且有比焊料合金高的疲劳强度,它们的熔点也高,适合于高温封装技术。这些金属焊膏(包括有机黏结剂/分散剂中的微米尺度金属粒子)的熔点通常需要高于  $600^{\circ}\text{C}$ <sup>[4-5]</sup>。

烧结过程的驱动力主要来自体系的表面自由能和体系的缺陷能,系统中颗粒尺寸越小,其比表面积越大,从而表面能越高,驱动力越大。外界对系统所施加的压力、系统内的化学势差及两接触颗粒间的应力也是扩散的驱动力。

影响烧结质量的因素是多方面的,其中烧结压力、烧结温度和烧结时间是主要影响因素。无压烧结与有压烧结相比,其得到的烧结层孔隙率大,密度小,导电性能、导热性能及可靠性存在差距,更适合于小面积芯片和功率密度较低的封装;烧结温度中的有机成分一部分在  $100^{\circ}\text{C}$  以下即可受热挥发掉,另一部分需要在  $200\sim 280^{\circ}\text{C}$  下与氧气反应烧蚀掉,有机成分挥发之后,银颗粒之间才可以直接产生可靠的烧结层。增大烧结压力、提高烧结温度和延长烧结时间有利于得到可靠的烧结层,但高温高压和延长时间会降低生产效率。

通过将金属粒子尺度减小到纳米量级提高烧结的驱动力,降低烧结温度,并可以实现有压和无压烧结。最常见的纳米金属烧结材料为纳米银,此外还有核壳结构银包铜粉等。近年来国内外在相关领域,特别是纳米银烧结技术方面开展了广泛的研究<sup>[4,6-8]</sup>。

烧结得到的连接层为多孔性结构,空洞尺寸在微米至亚微米级别,连接层具有良好的导热和导电性能,热匹配性能良好。在连接层孔隙率为10%情况下,其导电及导热能力可达到纯银的90%,远高于普通的焊料。

## 习题

1. 列举不同的固晶工艺方法。
2. 导电银胶中比例最大的成分是什么? 占比大约多少? 比例第二大的成分是什么?
3. 什么是共晶反应?
4. 简述共晶焊接与导电胶黏结相比的优缺点。
5. 简述芯片黏结薄膜工艺的优势和适用情形。
6. 纳米银焊膏相比大颗粒银焊膏烧结条件如何变化? 其原理是什么?

## 参考文献

- [1] 刘嘉,陈卫民,周龙早,等. 预成型焊片润湿性动态测试方法[J]. 电子工艺技术, 2011, 32(5): 251-254, 261.
- [2] Patelka M, Sakai N, Trumble C, et al. Development of A Ag/glass Die Attach Adhesive for High Power and High Use Temperature Applications[C]. Proceedings of the International Conference on Electronics Packaging (ICEP), Sapporo, JAPAN, 2016: 318-22.
- [3] 将芯片固定于封装基板上的工艺——芯片键合(Die Bonding)[EB/OL]. <https://news.skhynix.com.cn/die-bonding-process-for-placing-a-chip-on-a-package-substrate/>.
- [4] 陈旭,李凤琴,蔺永诚,等. 高温功率半导体器件连接的低温烧结技术[J]. 电子元件与材料, 2006(8): 4-6.
- [5] Bindra A. BGA MOSFETS Keep Their Cool at High Power Levels[J]. Electronic Design, 1999, 47(19): 43-46.
- [6] Bai J G, Calata J N, Lu G Q. Processing and Characterization of Nanosilver Pastes for Die-attaching SiC Devices[J]. IEEE Transactions on Electronics Packaging Manufacturing, 2007, 30(4): 241-245.
- [7] Youssef T, Rmili W, Woirgard E, et al. Power Modules Die Attach: A Comprehensive Evolution of the Nanosilver Sintering Physical Properties Versus Its Porosity [J]. Microelectronics Reliability, 2015, 55(9): 1997-2002.
- [8] 周均博. Ag层厚度对Cu@Ag纳米颗粒烧结行为的作用及其互连应用[D]. 哈尔滨: 哈尔滨工业大学, 2018.