

第3章

晶体管基本电路结构

晶体管有共源、共栅和共漏三种基本的连接模式。这里“共”是指输入信号和输出信号的公共参考端,通常连接固定电压,在交流小信号的意义下接地。模拟电路中大部分是这三种基本连接模式的组合,如图 3-1 所示。熟练掌握这三种组态的特性是分析复杂电路的基础。同时,本章在介绍三种基本组态电路的基础上,还将介绍共源共栅放大器电路和电流镜电路。共源共栅放大器是一种常见的放大器结构,由共源放大器和共栅放大器两种结构级联构成。电流镜电路也是模拟集成电路设计中的一种基本电路结构,主要用于为放大器提供偏置电流和负载。

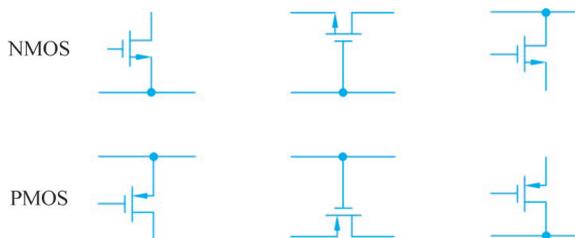


图 3-1 晶体管连接的三种组态: 共源、共栅与共漏

3.1 共源放大器

共源放大器是模拟电路设计中的基本组态结构。图 3-2 为共源放大器电路及其对应的简化版小信号模型。根据图 3-2(b)中共源组态放大器电路的小信号模型,可以计算得到共源放大器的传输特性:

$$H(s) = \frac{v_o(s)}{v_i(s)} = -g_m R$$

式中 $R = R_L // r_o$, 为负载电阻 R_L 与晶体管输出电阻 r_o 的并联。此处忽略了 C_{gd} 的影响,包含 C_{gd} 影响的完整传递函数表达式详见 6.1 节。

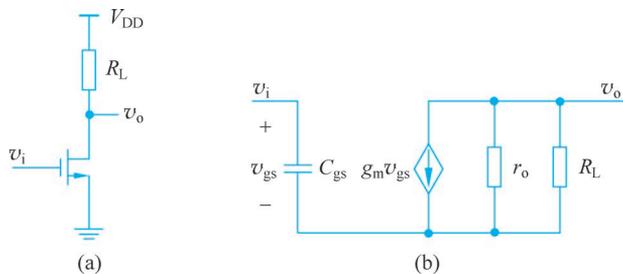


图 3-2 共源电路及其小信号模型

输入阻抗和输出阻抗决定了多个电路模块级联时信号的传输情况。首先分析共源组态的输入阻抗。在输入端利用加压求流法,在低频时可以忽略 C_{gs} , 将输入端看作断路,因此低频输入阻抗可以近似为无穷大。接下来计算共源组态的输出阻抗,即在输出端利用加压求流法(忽略负载 R_L),可以得到共源组态的输出阻抗为 r_o 。可以看到,共源组态有很高的输入阻抗与输出阻抗,是很好的压控电流源。

3.2 共栅放大器

当输入信号加在 MOS 管的源极, 栅极连接到公共参考点, 在漏极产生输出信号时, 这种电路结构称为共栅放大器。经过后面的分析, 将看到共栅组态有低输入阻抗与高输出阻抗, 因而是一个流控电流源(电流增益为 1)。

3.2.1 输入-输出特性

共栅放大器的电路如图 3-3(a) 所示, 共栅电路的输入 i_i 是电流形式, 电流源的内阻记为 R_s 。由于采用小信号的线性电路分析方法, 输入源可以采用戴维南等效(一个电压源串联一个电阻), 也可以采用诺顿等效(一个电流源并联一个电阻)。与共源放大器不同, 共栅放大器对输入源进行诺顿等效可以更直观得到其输入输出传递特性。图中 R_L 为负载电阻, 晶体管的 C_{gs} 和 C_{sb} 是并联的, C_{gd} 和 C_{db} 是并联的, 同时 g_m 和 g_{mb} 也是并联的, 经过化简之后可得到如图 3-3(b) 所示的等效小信号模型。

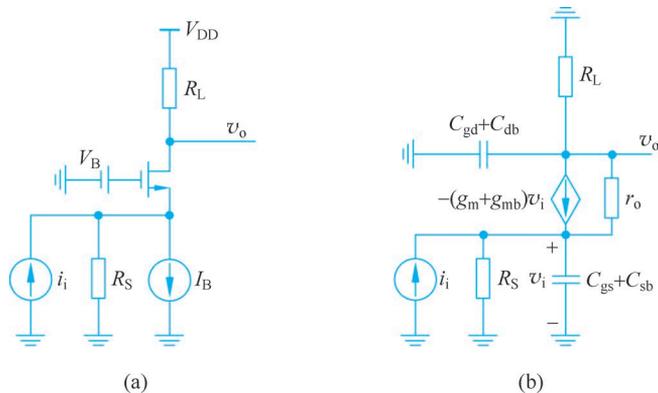


图 3-3 共栅电路及其小信号模型

对电路进行进一步简化, 忽略负载端的电阻电容, 可以得到如图 3-4 所示的电路, 其中 $C_s = C_{gs} + C_{sb}$, $g'_m = g_m + g_{mb}$ 。忽略晶体管输出阻抗 r_o , 可以得到

$$\frac{i_o}{i_i} \approx \frac{g'_m}{g'_m + sC_s + \frac{1}{R_s}} \approx \frac{g'_m R_s}{1 + g'_m R_s} \frac{1}{1 + s \frac{R_s C_s}{1 + g'_m R_s}}$$

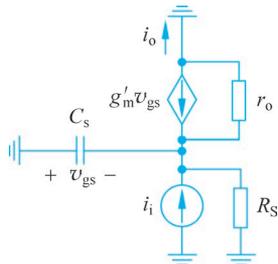


图 3-4 共栅电路简化小信号模型

当 $g'_m R_s \gg 1$ 时,有

$$\frac{i_o}{i_i} \approx \frac{1}{1 + s \frac{C_s}{g'_m}}$$

可以看到,共栅放大器的电流增益为 1,其带宽为 g'_m/C_s ,在后续章节中将了解到这一取值约等于晶体管的特征频率。一般而言,电路的带宽不超过晶体管特征频率,因此共栅放大器可以视为一个宽带的电流缓冲器。

在电路分析过程中,为了便于计算和理解,经常会进行工程近似。通常来说,只要最终手工估算的误差可以控制在 $\pm 20\%$ 范围以内,就认为是可以接受的。高精度的计算通常会交给计算机用高精度器件模型来进行数值求解。

3.2.2 输入-输出阻抗

首先计算输入阻抗,如图 3-5 所示。此处将 R_L 重新加入电路中,这是因为负载会影响输入阻抗。利用加压求流的方法计算电路的输入阻抗,也就是在输入处加入测试电压 v_{test} ,然后求解输入电流 i_{test} 。分别在 v_o 、 v_{test} 节点列写 KCL 方程,整理后可得

$$v_o = \left(\frac{1}{r_o} + g'_m \right) (R_L \parallel r_o) v_{\text{test}} \approx g'_m (R_L \parallel r_o) v_{\text{test}}$$

$$i_{\text{test}} = \left(\frac{1}{r_o} + g'_m + sC_s \right) v_{\text{test}} - \frac{v_o}{r_o}$$

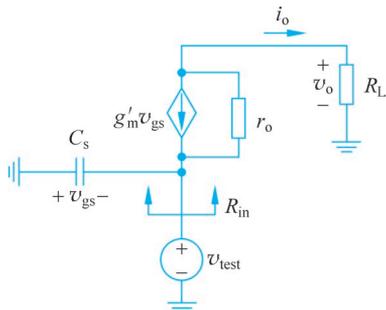


图 3-5 求解共栅极的输入阻抗

对上式进一步整理,得到输入导纳为

$$\frac{1}{Z_{\text{in}}} = Y_{\text{in}} = \frac{i_{\text{test}}}{v_{\text{test}}} \approx \frac{g'_m r_o}{R_L + r_o} \left(1 + sC_s \frac{R_L + r_o}{g'_m r_o} \right)$$

在低频下,有

$$R_{\text{in}} \approx \frac{1}{g'_m} \left(1 + \frac{R_L}{r_o} \right)$$

当负载 $R_L \ll r_o$ 时,有

$$R_{\text{in}} \approx \frac{1}{g'_m}$$

这是电路设计工程师惯常使用的结果,但需要注意这个结论并不是任何时候都成立。当负载 $R_L \gg r_o$ 时,有

$$R_{in} \approx \frac{R_L}{g'_m r_o} \gg \frac{1}{g'_m}$$

这种情形并不广为人知,但在实际电路设计中却并不少见。人们常常习惯性地认为共栅放大器的输入阻抗就是 $1/g'_m$,与负载无关,这种看法实际上是错误的。

虽然当负载 R_L 较大时,共栅极的输入阻抗并不是 $1/g'_m$,但是作为一个电流缓冲器,共栅极依然能够显著降低输入阻抗。当不存在共栅放大器时,驱动负载 R_L 时,在输入端看到的等效电阻就是 R_L ;但是当共栅极存在时,输入等效电阻此时变为 $R_L/(g'_m r_o)$,相当于共栅极将输入等效电阻降为原来的 $1/(g'_m r_o)$,便于电流的流入,显著减少对输入端电流驱动能力的要求。

接下来分析共栅极的输出阻抗,如图 3-6 所示。在输出端用加压求流法计算输出阻抗,计算可以得到

$$R_{out} = \frac{v_{test}}{i_{test}} \approx R_s (1 + g'_m r_o)$$

当 $g'_m r_o \gg 1$ 时, $R_{out} \approx g'_m r_o R_s$ 。这种情形下可以直观上理解为输出电阻的倍增效应:当不存在共栅极时,源阻抗为 R_s 的源驱动负载,从负载端往回看,输出阻抗为 R_s ;当存在共栅极时,输出等效电阻变为 $g'_m r_o R_s$,相当于共栅极将输出等效电阻增加了 $g'_m r_o$ 倍,更像理想电流源。

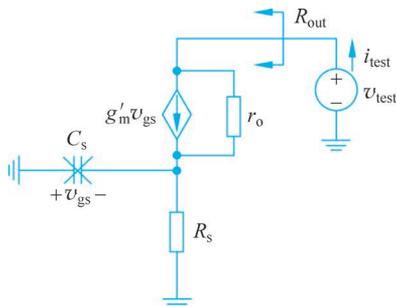


图 3-6 求解共栅极的输出阻抗

总结上述内容,共栅电路的电流增益在很宽的带宽内都接近 1,结合其输入阻抗低和输出阻抗高的特性,它是一个很好的电流缓冲级电路。

3.3 共源共栅放大器

共源组态晶体管本质上是一个压控电流源,在栅极和源极之间输入电压,在漏极和源极之间产生电流。这个电流通过负载电阻后变成一个放大的输出电压,而跨导与输出电阻共同决定了增益。为了让压控电流源的输出阻抗更高,可以在共源放大级后串联一

个由共栅组态晶体管构成的电流缓冲级,形成如图 3-7 所示的共源共栅(Cascode)^①结构。电路的输入电压 V_i 经过共源极 M_1 得到输出小信号电流 i_i , i_i 经过共栅极 M_2 产生输出电流 i_o , 因此整个电路仍然是一个压控电流源。

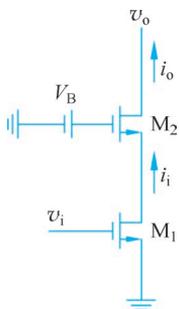


图 3-7 共源共栅结构

3.3.1 共源共栅结构对电路增益的改善

共源共栅电路在低频下的诺顿等效电路如图 3-8 所示,其等效跨导为

$$G_m = g_{m1} \frac{i_o}{i_i} \approx g_{m1}$$

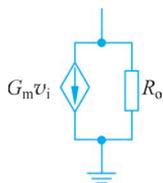


图 3-8 共源共栅电路在低频下的诺顿等效电路

注意 M_2 的添加并没有改变共源极的跨导。其输出阻抗为

$$R_o \approx r_{o2}(1 + g'_{m2}r_{o1}) \approx g'_{m2}r_{o2}r_{o1}$$

输出阻抗相比共源极提高了 $g_{m2}r_{o2}$ 倍。如果把共源共栅电路看作一个复合晶体管,其本征增益为

$$G_m R_o = g_{m1}r_{o2}(1 + g'_{m2}r_{o1}) \approx g_{m1}r_{o2}g'_{m2}r_{o1} \approx (g_m r_o)^2$$

这约为单个晶体管本征增益的平方。

3.3.2 共源共栅结构对电路带宽的改善

对于共源放大器,从输入端看到的等效电容是 C_{gs} 与倍增的 C_{gd} (这种电容倍增现象也称为密勒效应,在 6.2 节会对其进行详细分析)并联后的电容,该电容会与输入电阻产生一个极点,从而限制电路带宽。当存在共栅极时,由于共栅极会降低输入阻抗,从共源

^① “Cascode”原意为“Cascade of two triodes”,即级联的三极管。该结构在真空管时代就用来改善放大器的增益与带宽。

放大器的输出端看到的负载电阻会因此下降,如图 3-9 所示。在共栅极电路的作用下,共源极的增益变为

$$\frac{V_x}{V_i} = -g_{m1} Z_x \approx -\frac{g_{m1}}{g'_{m2}} \left(1 + \frac{R_L}{r_{o2}}\right)$$

由于共栅电路的存在,共源极的增益下降, C_{gd} 电容的密勒倍增效应被削弱,从而使得带宽提升。

另外,共栅极的存在也提供了将输出与输入隔离的作用。如果输出节点电压有很大扰动,单独使用共源极时,扰动会通过 C_{gd} 电容耦合到输入,而共源共栅结构将大大削弱输出到输入的耦合。

经过以上的分析能够发现,共源共栅结构既可以拓宽电路的频带,也可以削弱输出到输入的耦合。但是,由于共源共栅电路结构增加了额外的晶体管,额外的晶体管会带来相应的寄生电容,从而引入了新的极点。如图 3-10 所示,计算得到共栅电路的电流传输特性为

$$\frac{i_o}{i_i} \approx \frac{1}{1 + s \frac{C_{gs2}}{g'_m}}$$

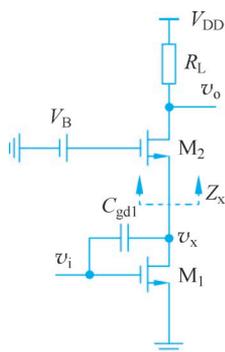


图 3-9 分析共源晶体管栅漏间电容对带宽的限制

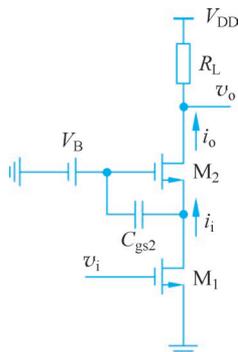


图 3-10 分析共栅晶体管栅源间电容对电路的影响

分析共栅电路的传输特性,可以得到在晶体管 M_2 的源极引入的极点频率很高,在晶体管的特征频率附近,对于整体电路的开环频率特性影响较小,但是可能会影响闭环电路的稳定性和相位裕度,给电路设计带来一定的困扰。

图 3-11 展示了共源共栅电路和共源放大器电路增益与带宽的对比。图 3-11 中虚线为共源极电路仿真结果,其增益为 12dB,带宽为 180MHz。实线为共源共栅电路的仿真结果,插入晶体管 M_2 后,放大器增益提升至 17dB,带宽提升至 250MHz。可以看到共源共栅放大器确实可以提升放大器的增益与带宽。

不过,共源共栅放大器存在输出摆幅降低的问题,尤其是在先进工艺下电源电压降低,这限制了共源共栅电路的使用。

关于共源共栅放大器的共栅管栅极电压偏置如何产生这一重要的问题,将在后续章

节进行更详细的讨论。

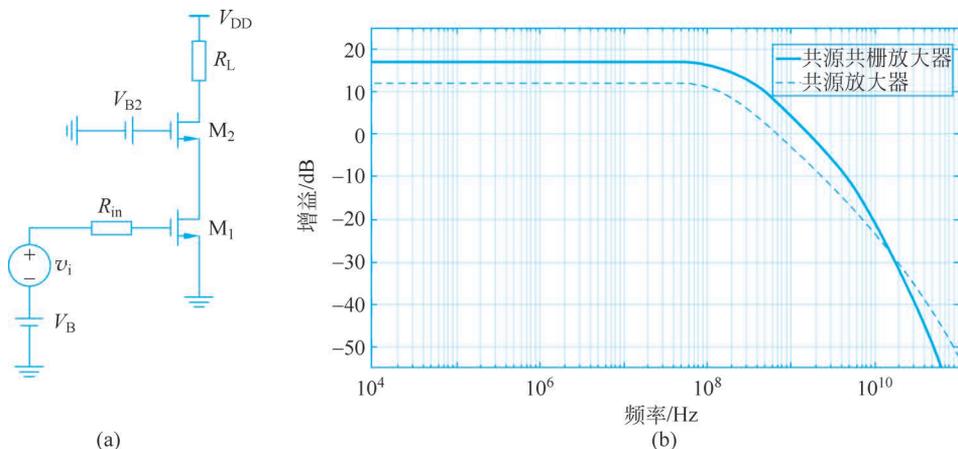


图 3-11 使用共源共栅管提高输入带宽

电路中的具体参数如表 3-1 所示,共源放大器电路中参数与共源共栅电路参数一致,因此不再赘述(共源放大器电路结构如图 3-2(a)所示,共源共栅电路结构如图 3-11(a)所示)。

表 3-1 共源共栅电路中具体参数

参 数	参 数 值	参 数	参 数 值
$W/L(M_1)$	$10\mu\text{m}/40\text{nm}$	V_{B2}/V	0.9
$W/L(M_2)$	$8\mu\text{m}/40\text{nm}$	$R_{in}/\text{k}\Omega$	100
V_{DD}/V	1.1	$R_L/\text{k}\Omega$	10
V_B/V	0.5		

3.4 共漏放大器

本节介绍共漏组态,它是很好的电压缓冲器。共漏电路及其小信号模型如图 3-12 所示。

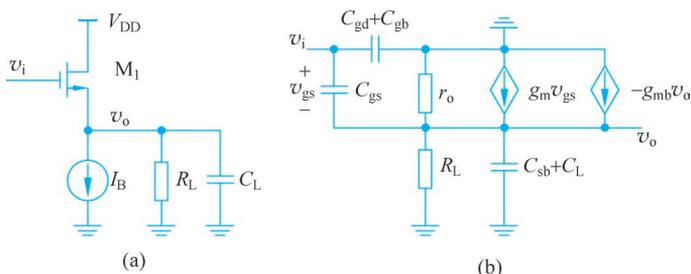


图 3-12 共漏电路及其小信号模型

3.4.1 共漏放大器的频响特性

该电路的小信号模型可进行简化,如图 3-13 所示。其中 $C_{L\text{tot}} = C_L + C_{\text{sb}}$, $R_{L\text{tot}} =$

$R_L \parallel \frac{1}{g_{mb}} \parallel r_o$ 。可得到该电路的输入-输出传输关系:

$$\begin{aligned} \frac{v_o}{v_i} = a_v(s) &= \frac{g_m + sC_{gs}}{g_m + sC_{gs} + sC_{Ltot} + \frac{1}{R_{Ltot}}} \\ &= \frac{g_m}{g_m + \frac{1}{R_{Ltot}}} \cdot \frac{1 + \frac{sC_{gs}}{g_m}}{1 + \frac{s(C_{gs} + C_{Ltot})}{g_m + \frac{1}{R_{Ltot}}}} \end{aligned} \quad (3-1)$$

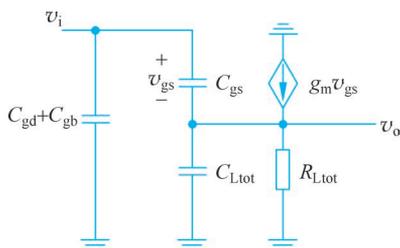


图 3-13 共漏极小信号模型的简化

由式(3-1)可以得到直流小信号增益为

$$a_{v0} = \frac{g_m}{g_m + \frac{1}{R_{Ltot}}}$$

在实际应用中,通常会遇到如下三种情形:

(1) 当负载电阻 R_L 和晶体管输出阻抗 r_o 远大于 $1/g_m$, 并且背栅调制效应可忽略(如将 NMOS 或 PMOS 的衬底与源极短接)时,直流小信号增益为 1,源极电压跟随着栅极电压一起变化,因此该电路也称为源极跟随器。

(2) 当背栅调制效应不能忽略,但是负载电阻 R_L 和晶体管输出阻抗 r_o 远大于 $1/g_m$ 时,直流小信号增益 $a_{v0} = g_m / (g_m + g_{mb})$,背栅效应将使该电路增益小于 1。

(3) 当晶体管输出阻抗 $r_o \gg 1/g_m$,背栅调制效应可忽略,但是负载电阻为有限值时,直流小信号增益 $a_{v0} = g_m / (g_m + \frac{1}{R_L})$ 。

由式(3-1)的传输函数,可以看到该电路有一个零点与极点,零点 $z = -g_m / C_{gs}$,极点 $p = -\left(g_m + \frac{1}{R_{Ltot}}\right) / (C_{gs} + C_{Ltot})$ 。考虑三种不同零极点分布的情形,共漏极的频响特性曲线如图 3-14 所示,可以呈现低通、高通和全通的特性。

3.4.2 共漏放大器的输入-输出阻抗

如图 3-15 所示,利用加压求流法计算输入导纳:

$$Y_{in} = s(C_{gd} + C_{gb}) + sC_{gs}[1 - a_v(s)]$$

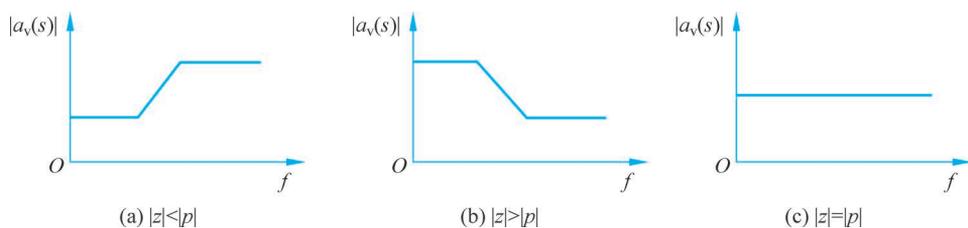


图 3-14 共漏极频响特性曲线

由于共漏极的增益在很宽的频带范围内都接近 1, 因此 C_{gs} 在一定频带范围内对于输入阻抗的影响可以忽略, 此时

$$Y_{in} = s(C_{gd} + C_{gb})$$

若使用 PMOS 晶体管构成的共漏放大电路, 可将源极与衬底短接, 因此 C_{gb} 与 C_{gs} 是并联的, 如图 3-16 所示。根据上述结论, 可以忽略 C_{gb} 对输入阻抗的影响, 则可以得到

$$Y_{in} \approx sC_{gd}$$

即共漏极有非常小的输入电容, 非常高的输入阻抗。很多实际应用场景都需要放大器有高输入阻抗。

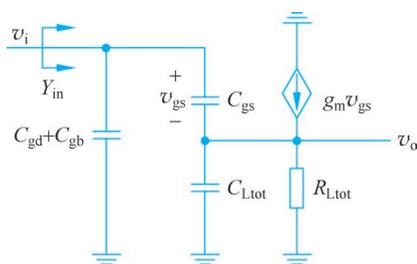


图 3-15 求解共漏极的输入阻抗

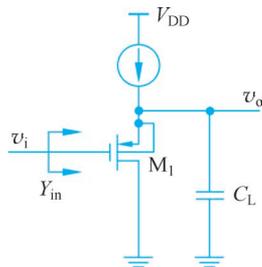


图 3-16 PMOS 共漏极

设计中为了进一步减小输入电容, 可以采用如图 3-17 所示的电路结构, 该电路通过额外的一个 NMOS 共漏极, 使 PMOS 漏极也跟随输入信号变化, 从而使 C_{gd} 电容“自举”。此时输入导纳为

$$Y_{in} \approx sC_{gd}[1 - a_{vp}(s)a_{vn}(s)]$$

式中 a_{vp} 、 a_{vn} 分别为 PMOS 共漏极与 NMOS 共漏极的增益。

通过把 a_{vp} 和 a_{vn} 都设计成接近 1, 那么图 3-17 所示共漏极的输入导纳将趋向于 0, 也就意味着输入阻抗趋向于无穷大。在电路设计中若希望减小某节点的电容, 可以通过在该节点相连的电容另一端产生相同的信号将电容“自举”。这种“自举”技术是模拟电路设计中的常用技巧。

如图 3-18 所示, 当源阻抗为 0 时, 可以计算得到共漏电路的输出阻抗为

$$Z_{out} = \frac{1}{g_m + g_{mb}} \parallel \frac{1}{s(C_{gs} + C_{sb})}$$

可以看到该电路的输出阻抗较低。

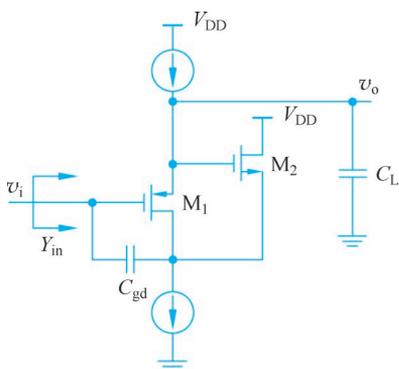


图 3-17 共漏极输入电容“自举”

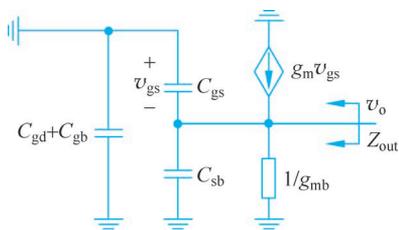


图 3-18 求解源阻抗为 0 时的共漏极的输出阻抗

实际应用中源阻抗并非为 0, 特别是共漏极作为电压缓冲器使用时, 通常会遇到源阻抗较大的情况(只有当源阻抗较大、驱动力较差时才需要使用电压缓冲器, 否则源可以直接驱动负载, 而无需缓冲器)。考虑源阻抗 R_i , 如图 3-19 所示。为了简化计算, 暂时忽略晶体管寄生电容 C_{gd} 与 C_{gb} , 可以得到输出阻抗为

$$Z_{out} = Z_x \parallel \frac{1}{sC_{sb}} \parallel \frac{1}{g_{mb}}$$

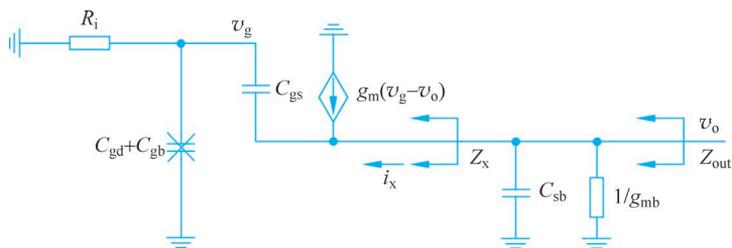


图 3-19 考虑源阻抗时的共漏极的输出阻抗

由于

$$Z_x \approx \frac{1}{g_m} \frac{(1 + sR_i C_{gs})}{\left(1 + \frac{sC_{gs}}{g_m}\right)}$$

可以得到输出阻抗为

$$Z_{out} = \left[\frac{1}{g_m} \frac{(1 + sR_i C_{gs})}{\left(1 + \frac{sC_{gs}}{g_m}\right)} \right] \parallel \frac{1}{sC_{sb}} \parallel \frac{1}{g_{mb}}$$

分类讨论 R_i 与 $1/g_m$ 的大小关系, 可以得到如图 3-20 所示的输出阻抗特性曲线。电容的阻抗随频率增大而降低, 电感的阻抗随频率增大而增大, 因此当 $R_i < 1/g_m$ 时, 表现为输出阻抗存在电容效应。

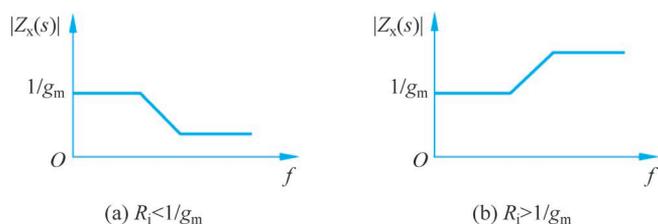
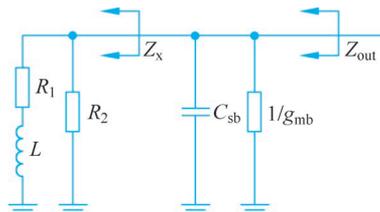


图 3-20 共漏极输出阻抗

但当 $R_i > 1/g_m$ 时, 输出阻抗会随频率增大而增大, 存在电感效应。这时共漏电路的输出阻抗可以等效为图 3-21 所示的电路。

图 3-21 当 $R_i > 1/g_m$ 时的共漏极输出阻抗等效电路

其中 R_1 、 R_2 和 L 为等效的电阻和电感, 它们的数值为

$$\begin{cases} R_1 = \frac{R_i}{g_m R_i - 1} \\ R_2 = R_i \\ L = \frac{R_i^2 C_{gs}}{g_m R_i - 1} \end{cases}$$

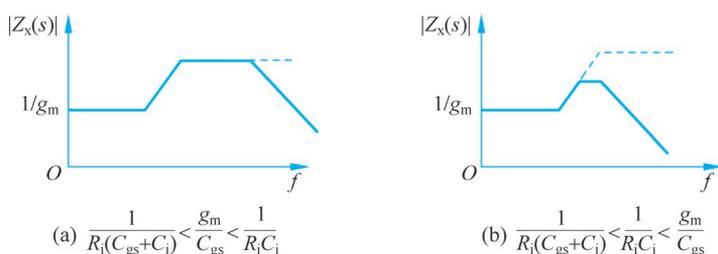
当共漏极输出接有负阻等效电路时可能会发生振荡。即使电路没有满足起振条件, 由于电容和电感的存在, 共漏极也可能产生振铃^①现象, 进而可能严重影响电路的性能。因此设计源极跟随器时, 应考虑源阻抗对输出阻抗的影响, 特别是在源阻抗比较大的情况下。

若在图 3-18 中不忽略寄生电容 C_{gd} 与 C_{gb} , 计算输出阻抗可得

$$Z_x = \frac{1}{g_m} \frac{1 + sR_i(C_{gs} + C_i)}{\left(1 + \frac{sC_{gs}}{g_m}\right)(1 + sR_i C_i)}$$

其中, $C_i = C_{gd} + C_{gb}$ 。此时输出阻抗的频率响应特性将略微复杂。如图 3-22 所示, 除前面输出阻抗随频率升高的抬升外, 寄生电容会使得高频输出阻抗下降。注意, 尽管输出阻抗在高频处呈现为电容效应, 较低频率时的电感效应仍可能产生振铃。

^① 振铃是指时域响应波形的一种特征, 表现为在波形的跳变处发生随时间衰减的小幅振荡。对于线性系统, 振铃现象对应的频域响应是一个凸起或尖峰, 即系统中存在一对高 Q 值的共轭极点。线性系统中的振铃现象也称为欠阻尼响应。

图 3-22 不省略 C_{gd} 和 C_{gb} 的输出 R_i 阻抗图示

3.4.3 共漏极的应用

1. 电平转换器

共漏极可作为电平转换器,如图 3-23 所示。假定一个输入交流信号 V_i ,其直流电平高于下一级电路所需要的偏置电压,此时可以将 V_i 通过一个以 NMOS 作为输入管的共漏极,从而使电压减小 V_{GS} (其大小为 $V_i + V_{OV}$)。考虑到共漏极电压增益接近 1,输出与输入在小信号意义上完全是跟随的,只是直流电平有所下降。如果要使电压上升,可以在 V_i 后加一个以 PMOS 作为输入管的共漏极,从而使电压值上升 V_{GS} 。因此,共漏极可以在不改变信号通路的增益和表达式的情况下,把直流电压向上升或向下降,这种用法的共漏极电路被称为源极跟随器(Source Follower)。

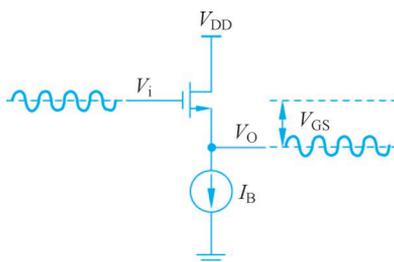


图 3-23 电平转换器

电平转换器常用于前后级电路偏置电压不匹配的场景。当前一级电路的输出电压工作点与后一级的输入电压工作点不匹配,因而无法直接相连时,可以在前后级之间添加源极跟随器进行电平转换之后再行连接。在作为电平转换器时,可以当作一个理想电压源,因为它可以调整直流电压,且从小信号的意义不影响电路的传输特性。

2. 驱动器

共漏极可作为驱动器,如图 3-24 所示,通常级联在放大级后面用来驱动较小负载电阻而不影响增益。

注意,负载需要强驱动能力时,意味着负载阻抗小。例如,对于一个音频功率放大器,在芯片电源电压 V 确定时,由于功率 $P = V^2/R$,因此等效阻抗 R 越大,功率 P 越小,功率放大器送出的声音强度就越低;如果等效阻抗 R 低,功率放大器输出功率 P 高,则送出的声音大,即图 3-24 中接入 R_{small} 作为负载的情况。如果没有电压驱动器,直接把

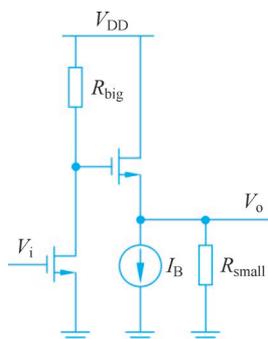


图 3-24 驱动器

R_{small} 接在共源极的输出端,就会发现前级放大器无法正常工作,原因是前级增益由 $g_m R_{big}$ 变为 $g_m (R_{small} // R_{big}) \approx g_m R_{small}$,增益被极大地削弱。如果在前级放大器后加上电压驱动器再连接 R_{small} ,共源极输出端阻抗就不会降低。此时共源放大器直流电压增益保持为 $g_m R_{big}$,只要共漏极输出阻抗(值为 $1/g_m$)较小,就可以驱动 R_{small} ,而不导致整体电路电压增益下降。这是共漏极作为电压驱动器的意义,与电流缓冲器的道理是一样的:其含有阻抗变换的特性,变换之后会更容易接收上级的输出并驱动下级的负载。

共漏极作为电压驱动器存在以下常见问题:

(1) 用共漏极作为驱动器最大的问题是共源放大器的输出的摆幅受限。如果没有驱动器,要保证共源管工作在饱和区,那么共源放大器的输出摆幅为过驱动电压 V_{OV} 到电源电压 V_{DD} 。而连接了驱动器后,输出电压向上摆需保证共漏管在饱和区工作,最高是 $V_{DD} - V_{GS}$ 。先进工艺下电源电压可能只有 1V,若 $V_{GS} = 0.5V$,那么 V_o 摆幅上限电压只能是 0.5V。输出摆幅向下摆需保证电流源 I_B 不进入线性区, V_o 摆幅下限至少在 0.1V。此时信号电压摆幅只有 0.4V,导致比较低的信噪比。

(2) 晶体管的阈值电压随输出 V_o 变化,产生失真,导致电路线性度低。如果 V_i 处有很高的信号摆幅,那么 V_o 跟随 V_i 也变化很大。由于输入端晶体管是 NMOS,其衬底接地,则 $V_B = 0V$ 不变, V_S 随着输入 V_i 的变化而大幅度变化,导致 V_{SB} 大幅度变化,进而导致阈值电压 V_t 随 V_{SB} 的变化而变化。此时,假设 V_i 处输入一个正弦信号,由于阈值电压的变化, V_o 就有失真而不是正弦信号($V_o \approx V_i - V_{OV} - V_t$)。因此,共漏极在输入大信号的情况下,并不能保证输出信号的线性度。如果用 PMOS 作为输入管并进行源漏短接,则没有背栅效应,会比用 NMOS 更线性。

在实际应用中,通常在输入信号摆幅很低时才使用共漏极作为驱动器。在输入信号摆幅很大或者需要的输出摆幅很大时通常使用单位增益缓冲器,即由反馈系数为 1 的负反馈运算放大器构成的缓冲器结构。

3. 有源负载

共漏极作为有源负载,如图 3-25 所示。这种有源负载的阻抗是 $1/(g_{m2} + g_{mb2})$,此时放大器增益为 $g_{m1}/(g_{m2} + g_{mb2})$ 。

该放大器虽然增益不高,但是有独特好处,例如:

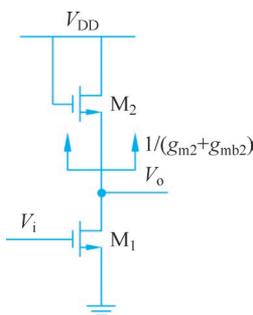


图 3-25 有源负载

(1) 该放大器增益取决于同量纲物理量的比值。当设计放大器时,通常希望其增益是由两个同量纲物理量的比值决定的,如电容和电容之比、电阻和电阻之比,或者跨导和跨导之比。这样的放大器增益受工艺、电压、温度(process、voltage、temperature, PVT)的影响比较小。对比来说,图 2-1 中的共源放大器增益为 $g_m R_L$,就不是同类物理量的比值,而是两种不同变量的乘积。 g_m 和 R_L 各自都会独自随 PVT 发生不相关变化(如 $\pm 20\%$),导致增益发生很大偏差($\pm 40\%$)。对于图 3-25 所示的放大器,由于其增益是同量纲物理量的比值,且 M_1 、 M_2 共享同样电流,即使电流随 PVT 变化很大,增益的变化也很微弱。原因是电流增大, M_1 、 M_2 的跨导 g_{m1} 、 g_{m2} 都变大,但是比例关系变化很小。

(2) 增益对输入电压摆幅不敏感,一阶非线性比较小。对于一个共源放大器来说,输入高电压和低电压会导致输入管的跨导跟随输入信号电压的变化,从而增益发生变化,产生非线性失真。对于图 2-1(a)所示的共源放大器,其小信号增益为 $g_m R$,在输入大摆幅的正弦信号达到电压最小值时,输入管电流比较小, g_m 就比较小,增益比较低;当电压达到峰值时,输入管电流增大, g_m 也相应增大,增益就比较高。这个过程相当于增益随着输入信号被调制,导致输出非线性,产生失真。然而对于图 3-25 中用共漏极作有源负载的放大器,如果输入电压高,流过 M_1 和 M_2 的电流都增大, g_{m1} 和 g_{m2} 都会相应变大,对于增益的影响就相互抵消。输入电压比较小的情况同理。这种 g_m 同步改变的特性可以显著降低非线性。

除了上述技术外,负反馈也可以获得准确增益并降低非线性,但有些高速电路做负反馈比较困难,而且负反馈有不稳定的风险。这些应用场景(如串行接口)倾向于使用图 3-25 中的开环放大器,可以获得比较精确的增益,同时有比较低的非线性。不过该电路的缺点是 M_2 限制了最高输出电压($V_{DD} - V_{GS2}$),导致输出摆幅较小。因此,它适用于对摆幅和信噪比要求较低,更关心速度、增益准确性以及非线性的应用场景。

3.5 电流镜

在电路设计中经常需要精确的偏置电流,这些电流往往来源于对电流基准源的复制。电流镜就是最常见的可以复制电流的电路结构。设计电流镜时有三个目标:第一,电流镜产生的镜像电流要和输入电流有非常精确的比例关系;第二,电流源的输出阻抗抗

越高越好,这样可以降低输出端电压对电流大小的影响;第三,对于 NMOS 电流镜来说,输出端最小电压越低越好(对 PMOS 来说最高电压越高越好),这样可以增大电流镜的输出电压摆幅。

3.5.1 基本电流镜

图 3-26 展示了电流镜的基本结构,设计电流镜电路时需要注意以下两点。

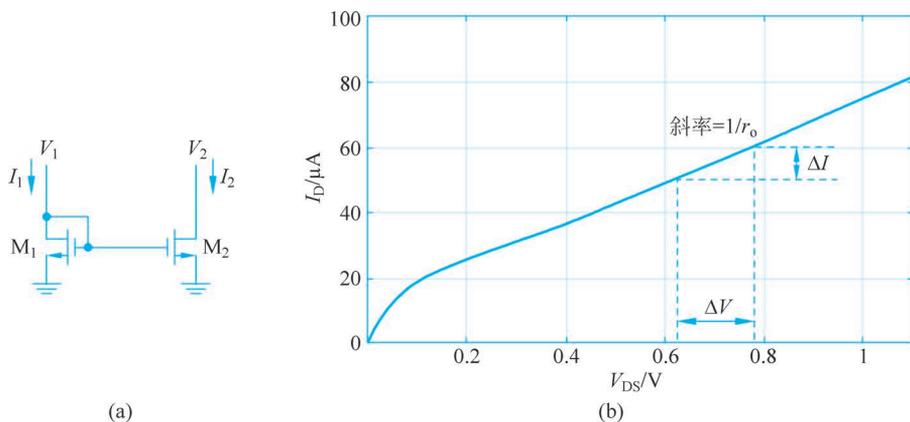


图 3-26 有限输出阻抗导致电流失配

首先,晶体管 M_1 、 M_2 的沟道长度 L 必须相等。若需改变电流镜中晶体管的宽长比 W/L ,要改变宽度而不是长度。改变晶体管的沟道长度会影响阈值电压等其他参数。在改变宽度时,应将 N 个晶体管并联,就等效于宽度变成原来单个晶体管的 N 倍且每个晶体管与原来的单个晶体管相同。如果直接改变单个晶体管的沟道宽度为 N 倍往往会导致有效沟道宽度并不为 N 倍,同时沟道应力等参数也会发生变化,使得器件无法良好匹配。

其次,需要解决输出阻抗较低的问题。如图 3-26(a)所示电路,由于晶体管输出阻抗有限,两支路电流的比例与两支路的漏极电压有关,如果两边电压不匹配,两边电流就不匹配。图 3-26(b)为 I_D 随 V_{DS} 的变化曲线,发现即使晶体管工作在饱和区,由于阻抗有限, I_D 会随着 V_{DS} 的变化而变化。若曲线上两点电压差为 ΔV ,电流源输出阻抗为 r_o ,则电流差 $\Delta I = \Delta V / r_o$ 。

3.5.2 共源共栅电流镜

为使电流匹配更精确,可以增大输出阻抗 r_o 。一方面,通过增加器件的长度可以增大输出阻抗;另一方面,采用共源共栅结构(图 3-27)可以增大输出阻抗,但会导致输出的电压摆幅下降。

在图 3-27 所示的共源共栅结构中,输出阻抗变成 $R_{out} \approx g_m r_o^2$,但如果 $V_1 \neq V_2$,则两边电流仍不匹配。为使电流匹配得更准,不仅要提升阻抗,而且 V_1 和 V_2 要基本相同。图 3-28 用四个晶体管构成电流镜,可以发现 $V_1 = V_2 = V_{cas} - V_{GS}$,且输出阻抗 $R_{out} =$

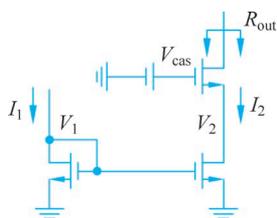


图 3-27 采用共源共栅结构增大输出阻抗

$g_m r_o^2$ 。这种结构电流匹配很好,但是对输出摆幅的影响很大。为保证所有晶体管工作在饱和区,输出电压最低为

$$V_{OUTmin} \approx 2(V_t + V_{OV}) - V_t = V_t + 2V_{OV}$$

因此,该结构通常用于高电源电压的老工艺下,对于低压的新工艺必须进行修改。

图 3-28 所示结构的主要问题是电压 V_2 过高,只需使其等于 V_{OV} 就可以保证右下方的晶体管工作于饱和区。假设可以提供合适的偏置电压 V_B ,采用如图 3-29 所示的结构连接后,输出看到的仍是共源共栅结构的高输出阻抗。由于晶体管 $V_{DS} = V_{OV}$ 就能在饱和区工作,因此输出最低电压 $V_{OUTmin} = 2V_{OV}$,相比图 3-28 所示的结构降低了 V_t 。两支路晶体管中间的两点电位都为 $V_1 = V_2 = V_B - V_{GS} = V_{OV}$,因此 $V_B = V_{GS} + V_{OV} = 2V_{OV} + V_t$ 。

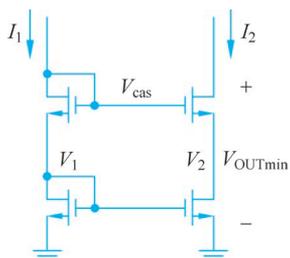


图 3-28 四管电流镜结构

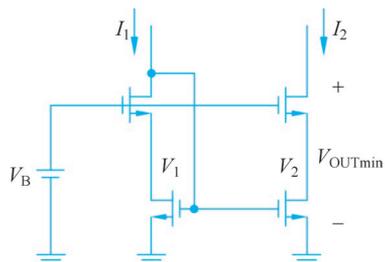


图 3-29 共源共栅电流镜最低输出电压

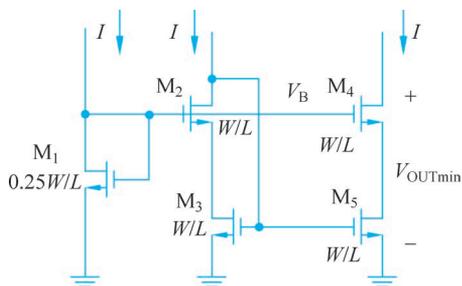
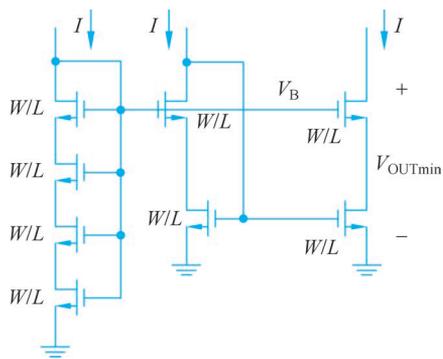
接下来讨论如何用实际电路产生这样一个合适的电压 V_B 。

如图 3-30 所示,相同大小的电流过晶体管时,在长沟道模型下有

$$I = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_t)^2$$

由于 M_1 与 M_2 流过电流相同,但是 M_1 的宽度为 M_2 的 $1/4$,那么 M_1 的过驱动电压为 M_2 的 2 倍,即 $2V_{OV}$ 。因此可得 $V_B = V_{GS1} = 2V_{OV} + V_t$ 。这是最简单产生 V_B 的方法。但是由于 M_2 的源极没有接地而 M_1 和 M_3 的源极接地,所以它们的阈值电压并不一样。这会导致 M_3 的漏极电压产生偏差。

图 3-31 展示了如何处理背栅调制效应。将左边宽长比为 $0.25W/L$ 的 M_1 晶体管等效为四个宽长比为 W/L 的晶体管串联。但是,这种情况下只有左侧最下方的晶体管没有背栅调制效应,且电路结构中左边叠用四个晶体管而右边叠用两个,不易于匹配。

图 3-30 电压 V_B 产生电路原理图 3-31 考虑背栅调制效应后的电压 V_B 的产生电路

为了解决结构不对称的问题,可以让图 3-31 左侧最上面的晶体管不动,将下面三个晶体管合在一起,等效为宽长比变为原来的 $1/3$,如图 3-32 所示。变换之后可以看到,电流镜左右都是两个晶体管相叠,匹配度更高。需要注意的是,在推导出尺寸比例为 $1/3$ 的过程中采用了长沟道模型,并不是很精确,而且过驱动电压 $V_{OV} = V_{GS} = V_t$ 可能导致晶体管没有进入深饱和区,其阻抗还是较低,因此通常不直接用 $1/3$ 的比例,而是把 $1/3$ 变成 $1/5$ 或 $1/6$,让更小的晶体管导通同样的电流,使 M_3 、 M_5 管过驱动电压抬高,进而让晶体管进入更深的饱和状态,具有更高的输出阻抗。当然,更高的过驱动电压付出的代价是摆幅下降。尽管如此,通常还是这样做,可以留一些裕量保证 PVT 变化后晶体管不会进入线性区。

注意,做电流镜时的电流放大比例不应太大,比如 $1:100$ 的放大比例会导致匹配精度比较差。因为稍微有些误差,放大 100 倍后就会变得很大,考虑版图非理想因素时会差得更多。另外,比例太高导致一边电流太小,另一边电流太大。小电流支路的等效阻抗特别高,恢复、建立时间也会变得很长,通常把比例控制在 $1:10$ 左右为宜。

图 3-32 所示的结构需要两个支路分别产生共源管和共栅管的偏置电压,能否只用一个支路同时产生两个电压以节省功耗? 图 3-33 展示了使用嵌套结构同时产生两个偏置电压的电路。不过电路复杂度提升,而且需要垂直堆叠四个晶体管,在低电源电压时较难工作。

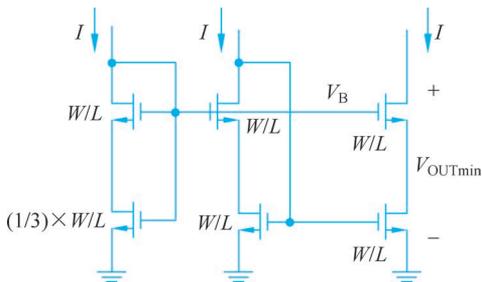
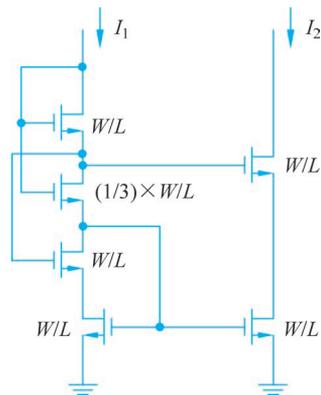
图 3-32 实际设计中的电压 V_B 的产生电路

图 3-33 单偏置支路电流镜

3.5.3 电流镜去耦

在设计电流镜时,栅极 V_x 点的稳定性很重要。实际版图中可能有一些干扰走线(如时钟或者数字信号线)会对 V_x 产生寄生电容。这些干扰如果耦合到 V_x 点就会影响输出电流。如图 3-34 所示,有两种解决问题思路:一种是不加去耦电容,在时间域上做处理和控制。在设计复杂的高精度数模混合电路时经常这样做。这种方法的好处是 V_x 点带宽高,因此干扰来得快,走得也快。只需要做到有干扰时,不要处理模拟信号。例如,在进行数字计算时,不要采集或者处理模拟信号;在处理敏感的模拟信号时,停掉数字电路的时钟。这种策略的前提是可以控制什么时候做计算,什么时候处理怕被干扰的模拟信号。如果对于干扰到来的时刻一无所知或者很难控制,另一种思路是加足够大的去耦电容。这样虽然有干扰,但是干扰线与 V_x 间的寄生电容远小于去耦电容,对 V_x 的影响比较微弱。但是去耦电容消耗面积,同时会导致 V_x 点带宽很低,干扰一旦产生就消除得很慢。

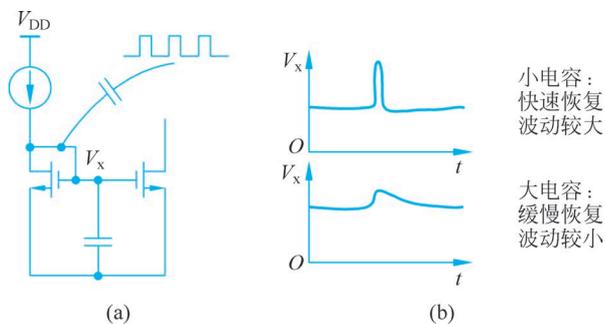


图 3-34 电流镜去耦与否的选择

3.6 本章小结

本章介绍并分析了晶体管的三种基本使用方式,分别是共源、共栅和共漏三种组态。在介绍共源和共栅电路的基础上,讨论了共源共栅放大器,并分析了共源共栅极对电路的增益和带宽的改善。最后介绍了电流镜电路以及电流镜电路的几种常见结构,同时讨论了电流镜的去耦技术。