

“十四五”国家重点出版物出版规划项目

先进芯片材料与后摩尔芯片技术丛书

先进芯片材料与高端芯片制造

Frontiers of Chip Materials
and Advanced Chip Manufacturing

王琛 著

清华大学出版社
北 京

内 容 简 介

本书聚焦芯片全产业链核心知识与关键技术,系统梳理了芯片从基础理论、材料体系、器件设计、制造工艺到集成应用、封装测试的完整技术体系,是一本兼顾基础科普与前沿技术的芯片专业读物。全书共分为六大部分。首先介绍芯片发展简史、产业格局、生产流程与未来发展趋势,剖析现代芯片及国产芯片发展困境。其次全面详解各类芯片核心材料,涵盖三代半导体材料——互连材料、介电材料、封装材料及各类工艺辅助材料。随后阐述半导体器件物理原理、基础器件与先进新型器件设计原理,拆解摩尔定律演进下的器件技术革新。书中系统讲解了光刻、沉积、刻蚀、离子注入、抛光等芯片核心制造工艺,详细剖析了逻辑、存储、模拟三类主流芯片的工艺集成技术。最后聚焦先进封装与芯片测试技术,覆盖主流及新型封装工艺、测试原理与失效分析。

全书理论与工程实际结合,内容详实、条理清晰,兼顾基础性与前沿性,可作为高等院校微电子、半导体、集成电路等专业教材,也可供芯片行业科研人员、工程技术人员入门学习与技术参考。

版权所有,侵权必究。举报:010-62782989, beiqinquan@tup.tsinghua.edu.cn。

图书在版编目(CIP)数据

先进芯片材料与高端芯片制造 / 王琛著. -- 北京:清华大学出版社, 2026. 8.
(先进芯片材料与后摩尔芯片技术丛书). -- ISBN 978-7-302-72569-5

I. TN430.5

中国国家版本馆 CIP 数据核字第 2026PC5412 号

责任编辑:鲁永芳

封面设计:意匠文化·丁奔亮

责任校对:王淑云

责任印制:宋 林

出版发行:清华大学出版社

网 址: <https://www.tup.com.cn>, <https://www.wqxuetang.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-83470000 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

印 装 者:三河市东方印刷有限公司

经 销:全国新华书店

开 本:170mm×230mm 印 张:41.75 字 数:790 千字

版 次:2026 年 8 月第 1 版 印 次:2026 年 8 月第 1 次印刷

定 价:269.00 元

产品编号:098136-01

丛书编委会

(按姓氏笔画排序)

名誉顾问:

干 勇 中国工程院院士,钢铁研究总院
陈良惠 中国工程院院士,中国科学院半导体研究所

顾问:

刘 明 中国科学院院士,复旦大学
刘 胜 中国科学院院士,武汉大学
刘忠范 中国科学院院士,北京大学
刘益春 中国科学院院士,东北师范大学
江风益 中国科学院院士,南昌大学
孙世刚 中国科学院院士,厦门大学
李树深 中国科学院院士,中国科学院半导体研究所
杨德仁 中国科学院院士,浙江大学
吴汉明 中国工程院院士,浙江大学
张锁江 中国科学院院士,河南大学
陈小龙 中国科学院院士,中国科学院物理研究所
罗 毅 中国工程院院士,清华大学
郑婉华 中国科学院院士,中国科学院半导体研究所
郝 跃 中国科学院院士,西安电子科技大学
祝世宁 中国科学院院士,南京大学
黄小卫 中国工程院院士,中国有研科技集团
屠海令 中国工程院院士,中国有研科技集团
彭 寿 中国工程院院士,中国建材集团
彭练矛 中国科学院院士,北京大学

总主编:

周 济 中国工程院院士,清华大学

副总主编:

张 跃 中国科学院院士,北京科技大学

执行主编:

王 琛 清华大学

编委：

- 卜伟海 北方集成电路技术创新中心
于大全 厦门大学
于洪宇 南方科技大学
万 烨 洛阳中硅高科技有限公司
王 坚 盛美半导体设备(上海)股份有限公司
王 振 东方晶源微电子科技有限公司
王开友 中国科学院半导体研究所
王业亮 北京理工大学
王传声 中国电子科技集团第四十三研究所
王守祥 中国电子科技集团芯片技术研究院
王欣然 南京大学
王润声 北京大学
王新强 北京大学
牛新平 拓荆科技股份有限公司
文永正 清华大学
龙世兵 中国科学技术大学
史小平 北方华创科技集团股份有限公司
白 鹏 华虹半导体有限公司
边国栋 北方华创科技集团股份有限公司
邢 巍 中国科学院长春应用化学研究所
吕俊鹏 东南大学
朱 健 中国电子科技集团第五十五研究所
朱嘉琦 哈尔滨工业大学
任文才 中国科学院金属研究所
刘 琦 复旦大学
刘 雷 安徽大学
刘春俊 北京天科合达半导体股份有限公司
刘峰奇 中国科学院半导体研究所
许俊豪 华为技术有限公司
孙东明 中国科学院金属研究所
孙伟峰 东南大学
孙竞博 清华大学
麦立强 武汉理工大学

- 杜祖亮 河南大学
李 炜 沪硅产业集团
李 泠 中国科学院微电子研究所
李 晨 中国电子科技集团
李 璟 浙江大学
杨 超 中国科学院过程工程研究所
杨娟玉 中国有研科技集团
肖湘衡 武汉大学
吴华强 清华大学
吴洪江 中国电子科技集团产业基础研究院
何 军 武汉大学
狄增峰 中国科学院上海微系统研究所
冷雨欣 中国科学院上海光学精密机械研究所
汪 玉 清华大学
汪 莱 清华大学
沈国震 北京理工大学
张 卫 复旦大学
张 兵 江苏艾森半导体材料有限公司
张 凯 中国科学院苏州纳米技术与纳米仿生研究所
张 铮 北京科技大学
张立军 吉林大学
张进成 西安电子科技大学
张雪囡 中环领先半导体科技股份有限公司
周 鹏 复旦大学
单崇新 河南大学
宗艳民 山东天岳先进科技股份有限公司
孟国文 中国科学院合肥物质科学研究院
封 伟 天津大学
赵 超 北京超弦存储器研究院
倪振华 东南大学
黄庆安 东南大学
曹 靖 兰州大学
曹立强 中国科学院微电子研究所
梁君飞 中北大学

- 彭登峰 深圳大学
葛广路 中国科学院国家纳米科学中心
韩根全 西安电子科技大学
焦斌斌 西安交通大学
曾 超 中国工程物理研究院电子工程研究所
谢晓明 中国科学院上海微系统研究所
蔡 坚 清华大学
蔡一茂 北京大学
蔡树军 中国电子科技集团第五十八研究所
廖 蕾 湖南大学
廖庆亮 北京科技大学
谭平恒 中国科学院半导体研究所
翟天佑 华中科技大学
缪向水 华中科技大学
黎大兵 中国科学院长春光学精密机械与物理研究所
霍宗亮 长江存储科技有限责任公司

芯片行业支撑起的电子信息产业是当今信息时代和当前人工智能时代的产业基石,电子信息产业的发达与否在一定程度上决定了国家的综合竞争力和未来社会发展潜力。特别是,随着芯片技术在过去六十余年的指数级发展,产业被不断涌现的新一代材料、器件、集成、制造等技术协同推动,并引发了源源不断的新兴应用创新,从底层技术上推动人类文明至新的高度。2024 年全球半导体产值达到 4 万亿元人民币,2035 年预期达到 10 万亿元,2049 年有望突破 60 万亿元。与此同时,芯片行业从材料到制造的技术壁垒也越来越高,核心技术被少数半导体公司所掌控。我国目前相关技术与国外先进水平还有较大差距,而且面临核心材料受制于人、核心技术很难突破、专利壁垒高、半导体工艺整合难度大、整体差距很难短期缩小的局面。因此,在后摩尔时代,如何通过底层芯片新材料的创新推动下一代高性能芯片的高端制造,是未来 20~30 年最有挑战性的全局性问题之一。

与此同时,整个芯片领域已经持续在学界和业界布局下一代半导体材料、新型半导体器件、新一代半导体工艺和制造技术的研究,以求在后摩尔时代能够占得技术引领和产业升级的先机。工业级半导体器件的应用往往起源于对半导体材料和半导体器件的基础研究和前瞻性应用,例如 1947 年贝尔实验室发明的晶体管通过芯片制造工艺和架构的持续迭代引领了摩尔时代超过半个世纪的高速发展,1999 年英伟达公司引领的图形处理单元在先进制造的基础上通过架构创新和生态搭建推动了当前爆发式人工智能时代的来临。回到当下,我国在后摩尔芯片基础研究和前沿应用探索方面已有众多成果,进一步强化基础研究深度,并适时推动应用研究和产业化推广是保持该领域优势的战略关键所在。但是由于芯片行业的长产业链和长期技术迭代形成的封闭特性,很大一部分科研界关注的芯片新材料、新器件和新工艺的研究立足于最终取代硅基半导体,而产业界对于新技术的引入又极为谨慎,造成较为严重的产学研脱节现象。在硅基半导体仍然具有 10~20 年技术升级空间的背景下,当前基础芯片新材料和新器件研究对直接推动芯片行业的实质性发展尚有一定难度。为此,我国如何依托现有半导体材料和制造产业基础,有中生优,通过跨代升级发展基础原材料和先进节点技术承接下游产业需求,重点融会贯通以半导体材料和先进工艺装备为代表的电子信息材料上中游产业链;更进一

步,如何瞄准全球电子信息产业发展的高线,“无中生有”,战略布局前沿电子信息材料和制造技术研究,融会贯通产学研的力量,打通从 Lab 到 Fab 的通路,提前 25 年为我国电子信息产业的发展谋篇蓄力,是本丛书编撰的主要动因。

经过与国内众多高等院校、中国科学院众多相关研究所、信息领域国家重点企业和行业龙头企业等的走访交流,更是坚定了编委会推动本丛书的编纂与出版的信心。本丛书的立意也得到了清华大学相关单位的大力支持,经过清华大学出版社推荐,国家新闻出版署审定,本丛书入选了“十四五”国家重点出版物出版规划。本丛书主编团队也凝聚了十余位行业各领域知名院士专家学者作为顾问,凝练丛书立意,优选丛书方向,汇聚行业专家,精心筛选内容,把关细节版式,力争把本丛书作为推动我国后摩尔芯片产学研深度链条融合、技术开放创新、人才培养拔高的代表性出版物。在主编团队的不懈努力和通力协作下,通过凝聚顶尖高校、知名院所、龙头企业等 60 余位知名专家作为编委的集体智慧,囊括基础新材料、新型器件、新制造工艺和装备、检测分析技术、特种芯片应用、前沿芯片探索等领域,在清华大学出版社的支持下共同推出本丛书!丛书将力图较为系统地梳理下一代芯片中的新材料—新器件—新工艺—新集成—新制造的核心研究成效和关键技术进展,为学界和业界的科研人员、青年学生和学者、技术管理人员和政策制定人员等提供系统的行业发展全景读物,并力图从底层技术脉络出发,重新梳理行业中的重点、难点和趋势,期冀丛书能在一定程度上推动我国芯片研究人才和产业人才的培育,并带动我国芯片行业高质量可持续发展,为 21 世纪中叶我国全面建成社会主义现代化强国贡献芯片创新力量。

清华大学教授 中国工程院院士 周济

2024 年 10 月于清华园

集成电路与芯片技术是现代信息技术产业的核心,是支撑数字经济发展、保障电子信息产业自主可控的战略性核心技术,已然成为衡量国家科技实力与工业水平的关键标志。随着人工智能、大数据、物联网、高端电子设备的快速迭代,市场对芯片制程、器件性能、材料工艺、集成架构的要求持续升级,同时国内芯片产业自主化发展进程不断加快,行业对具备系统芯片知识体系的专业人才需求愈发迫切。在此背景下,为适配高校专业教学、行业技术学习需求,特编写本书。

本书立足芯片领域完整技术体系,遵循“基础认知—核心材料—器件原理—制造工艺—集成应用—封装测试”的逻辑脉络,分六大模块层层递进,系统讲解芯片全链条知识。全书兼顾基础理论与工程实践,既梳理芯片发展历史、产业格局与技术演进规律,剖析行业发展痛点与国产芯片突破难点;又系统阐释半导体各类核心材料、工艺辅助材料特性与应用,深入讲解半导体器件物理、传统及先进器件设计原理,详细拆解光刻、沉积、刻蚀等核心制造工艺,覆盖逻辑、存储、模拟主流芯片的工艺集成技术,同时全面介绍先进封装与芯片测试关键技术,融入当下前沿技术与未来发展趋势。

全书内容详实、架构清晰、深浅适度,规避了晦涩的纯理论堆砌,兼顾知识性、系统性与实用性,既可作为高等院校集成电路、微电子科学与工程、半导体等相关专业的教材,也可作为芯片行业科研人员、一线工程技术人员的学习参考用书,助力读者快速构建完整的芯片技术知识体系。本书在编撰过程中得到了清华大学未央书院、为先书院、材料学院、集成电路学院、电子工程系等大力支持,丛书统稿、校订、反馈等方面也得到了多位在校同学的支持,包括 NEXT Lab 全体成员及刘甫成、陈嘉远、王奕欢、赵梦瑄、侯笑涵、周铨源、胡馨月、余航远、李越、王梓任、李子桐、罗宇昂等。在此,作为丛书执行主编也一并感谢所有顾问、编委、作者、出版社等的大力支持,期待丛书能为中国芯片事业的发展及教学、科研和研发人才的培养贡献清华力量。

本书彩图请扫二维码观看。



第一部分 芯片简介

第 1 章 芯片发展简史	3
1.1 芯片的概念与分类	3
1.2 芯片的诞生	4
1.2.1 芯片与晶体管的发明	4
1.2.2 器件与技术的改进	6
1.3 集成电路的发展规律与核心指标	7
1.3.1 摩尔定律与集成度水平	7
1.3.2 集成电路的关键技术指标	8
1.4 现代芯片发展之难	9
1.5 本章小结	10
参考文献	10
第 2 章 芯片产业演进	11
2.1 芯片的生产与分工	11
2.2 硅谷的诞生	12
2.2.1 硅谷之内的竞争	12
2.2.2 硅谷之外的角逐	13
2.3 集成电路产业链与运作模式	14
2.3.1 集成电路产业链	14
2.3.2 集成电路运作模式	15
2.4 国产芯片发展之难	17
2.5 本章小结	17
参考文献	17

第3章 芯片生产流程	19
3.1 芯片制程	19
3.1.1 制程简介	19
3.1.2 产量控制	21
3.2 芯片工厂	23
3.2.1 洁净室	23
3.2.2 生产区	24
3.3 本章小结	27
参考文献	27
第4章 芯片发展展望	28
4.1 摩尔定律会终结么	28
4.2 新材料	30
4.2.1 晶体管新材料	30
4.2.2 化合物半导体材料	31
4.2.3 其他材料	31
4.3 新器件	32
4.3.1 CMOS 器件	32
4.3.2 新型器件	33
4.4 新集成体系	34
4.5 新计算架构	35
4.6 本章小结	36
参考文献	37

第二部分 芯片中的新材料

第5章 半导体材料	41
5.1 第一代半导体材料	41
5.1.1 硅基半导体材料	41
5.1.2 锗基半导体材料	56
5.1.3 SiGe 半导体材料	59
5.1.4 本节小结	60
5.2 第二代半导体材料	60

5.2.1 GaAs 基半导体材料	60
5.2.2 InP 基半导体材料	64
5.2.3 本节小结	65
5.3 第三代半导体材料	65
5.3.1 SiC 基半导体材料	66
5.3.2 GaN 基半导体材料	73
5.3.3 本节小结	76
5.4 其他半导体材料	76
5.4.1 超宽禁带半导体材料	76
5.4.2 非晶半导体材料	82
5.4.3 有机半导体材料	85
5.4.4 二维半导体材料	86
5.4.5 本节小结	89
5.5 本章小结	90
参考文献	90
第 6 章 芯片互连材料	92
6.1 互连材料的基本特征	92
6.1.1 互连材料的定义	92
6.1.2 互连结构	93
6.1.3 互连材料的种类	94
6.1.4 互连材料的基本特征	94
6.2 铝互连材料	97
6.2.1 铝互连材料概述	97
6.2.2 铝互连的优势与缺陷	98
6.3 铝铜合金互连材料	101
6.3.1 铝铜合金材料概述	101
6.3.2 铝铜合金的优势与缺陷	101
6.4 铜互连材料	102
6.4.1 铜互连材料概述	102
6.4.2 铜互连大马士革镶嵌工艺	102
6.4.3 铜互连的优势与缺陷	105
6.5 钴互连材料	107
6.5.1 钴互连材料概述	107

6.5.2 钴互连的优势与缺陷	109
6.6 其他新型互连材料	109
6.6.1 钌、钼、金属间化合物	109
6.6.2 石墨烯互连	110
6.6.3 光互连与光芯片	111
6.7 本章小结	112
参考文献	113
第7章 介电材料	115
7.1 引言	115
7.1.1 介电材料基础知识	115
7.1.2 介电材料分类与应用	118
7.2 栅极介电材料	119
7.2.1 栅极介电材料的性能要求	119
7.2.2 常用栅极介电材料	120
7.2.3 其他高 κ 介电材料	122
7.2.4 铁电材料	125
7.3 电容器电介质材料	126
7.3.1 电容器电介质的性能要求	127
7.3.2 用于易失性存储器电容器的介电材料	127
7.3.3 用于非易失性存储器电容器的介电材料	128
7.4 隔离电介质材料	130
7.5 互连介电材料	131
7.5.1 互连材料性能需求及评估因素	131
7.5.2 低 κ 互连介电材料	132
7.6 本章小结	137
参考文献	137
第8章 封装材料	139
8.1 聚合物材料	139
8.1.1 模塑料	140
8.1.2 芯片黏合剂	144
8.1.3 底部填充胶材料	148
8.1.4 有机层压衬底材料	150
8.2 金属材料	152

8.2.1	引线框架、散热片与均热片	152
8.2.2	键合引线	154
8.2.3	芯片焊接材料	156
8.2.4	晶圆凸点材料及工艺	158
8.3	陶瓷与玻璃材料	159
8.3.1	陶瓷材料	159
8.3.2	玻璃材料	162
8.4	3D 封装中的材料	162
8.4.1	金属材料	162
8.4.2	黏合剂材料	163
8.4.3	单片三维集成的二维材料	163
8.5	本章小结	164
	参考文献	165
第 9 章	工艺及其他芯片材料	166
9.1	硅晶圆加工材料	166
9.1.1	外延工艺材料	167
9.1.2	热处理工艺材料	168
9.1.3	掺杂工艺材料	169
9.2	光刻材料	170
9.2.1	光刻胶材料	170
9.2.2	掩模版材料	172
9.3	湿电子化学品	175
9.3.1	通用湿电子化学品	177
9.3.2	功能性湿电子化学品	178
9.4	电子级气体	181
9.4.1	纯气体	181
9.4.2	电子特气	183
9.5	研磨材料	184
9.5.1	研磨液	185
9.5.2	研磨垫	188
9.6	溅射靶材	189
9.6.1	纯金属及合金靶材	190
9.6.2	陶瓷靶材	191

9.7 本章小结	191
参考文献	192

第三部分 芯片器件设计原理

第 10 章 半导体器件基本原理	195
10.1 固体理论基础	195
10.1.1 周期性势场与布里渊区	195
10.1.2 能带理论	197
10.1.3 电子在晶体中的运动	199
10.1.4 态密度与分布函数	200
10.2 热平衡下的载流子浓度	201
10.2.1 载流子浓度方程	201
10.2.2 本征半导体与非本征半导体	202
10.2.3 补偿半导体与电中性原理	208
10.3 载流子的输运现象	209
10.3.1 载流子的漂移运动	209
10.3.2 载流子的扩散运动	214
10.3.3 载流子的产生与复合	215
10.4 本章小结	216
参考文献	216
第 11 章 基础器件特性	218
11.1 pn 结	218
11.1.1 pn 结的基本结构	218
11.1.2 零偏与反偏下的 pn 结	219
11.1.3 正偏下的电压-电流特性	225
11.1.4 结击穿	229
11.2 金属-半导体接触	230
11.2.1 肖特基势垒与肖特基二极管	230
11.2.2 欧姆接触	233
11.3 MOSFET	234
11.3.1 双端 MOS 电容结构	235
11.3.2 电容-电压特性	239

11.3.3	MOSFET 基本工作原理	241
11.3.4	CMOS 技术	244
11.3.5	非理想效应	246
11.4	本章小结	254
	参考文献	254
第 12 章	先进芯片器件	255
12.1	摩尔定律与节点演进	255
12.1.1	摩尔定律	255
12.1.2	几何演进阶段	257
12.1.3	等效演进阶段	258
12.1.4	三维功耗演进阶段	258
12.2	先进器件工艺	258
12.2.1	应变硅技术	258
12.2.2	HKMG 技术	259
12.2.3	SOI 技术	263
12.2.4	FinFET 技术	267
12.2.5	GAA 结构	271
12.2.6	Forksheet 结构	274
12.2.7	CFET	275
12.3	本章小结	277
	参考文献	277
第 13 章	未来器件展望	279
13.1	CMOS 延伸器件	279
13.1.1	CNT-FET	279
13.1.2	二维材料沟道 FET	281
13.1.3	TFET	283
13.2	以电荷为信息载体的超越 CMOS 器件	285
13.2.1	自旋晶体管	285
13.2.2	NCFET	286
13.2.3	纳机电开关	287
13.2.4	Mott 场效应晶体管	289
13.2.5	拓扑绝缘体电子器件	289

13.3 其他信息载体的超越 CMOS 器件	289
13.3.1 自旋波器件	289
13.3.2 激子器件	290
13.3.3 晶体管激光器	290
13.3.4 自旋转矩多输入逻辑门	291
13.4 本章小结	292
参考文献	293

第四部分 芯片关键工艺与技术

第 14 章 光刻技术与光刻原理	297
14.1 光刻原理	297
14.1.1 衍射原理	297
14.1.2 对准原理	298
14.1.3 曝光原理	299
14.2 光刻工艺	300
14.2.1 晶圆清洗	301
14.2.2 预烘与涂胶	302
14.2.3 前烘	303
14.2.4 对准与曝光	304
14.2.5 后烘	305
14.2.6 显影与坚膜烘焙	307
14.2.7 测试	308
14.3 光刻分辨率	311
14.3.1 分辨率影响因素	311
14.3.2 分辨率提升技术	312
14.4 光刻设备	319
14.4.1 主要组成	319
14.4.2 光刻胶发展	320
14.4.3 光刻机发展	323
14.5 极紫外光刻技术	325
14.5.1 极紫外光源	325
14.5.2 极紫外光刻技术掩模版	326
14.5.3 极紫外光刻技术分辨率	327

14.5.4 挑战与展望	327
14.6 下一代光刻技术	328
14.6.1 电子束曝光光刻技术	328
14.6.2 纳米压印光刻技术	330
14.7 本章小结	332
参考文献	333
第 15 章 化学气相沉积	334
15.1 化学气相沉积原理	334
15.1.1 基本原理	334
15.1.2 过程控制	336
15.1.3 薄膜表征	340
15.2 化学气相沉积技术	343
15.2.1 常压化学气相沉积	343
15.2.2 低压化学气相沉积	345
15.2.3 等离子体辅助化学气相沉积	349
15.2.4 高密度等离子体化学气相沉积	351
15.2.5 原子层沉积	351
15.3 新一代化学气相沉积技术	357
15.3.1 等离子体增强原子层沉积	357
15.3.2 微波增强化学气相沉积	360
15.4 化学气相沉积设备	361
15.4.1 基本组成	361
15.4.2 气相输送系统	362
15.4.3 反应室	363
15.4.4 能源系统	364
15.4.5 真空系统	364
15.4.6 废气处理系统	365
15.5 本章小结	365
参考文献	366
第 16 章 物理气相沉积	367
16.1 物理气相沉积原理	367
16.1.1 基本原理	367

16.1.2	过程控制	370
16.1.3	薄膜表征	370
16.2	物理气相沉积技术	372
16.2.1	蒸发镀膜	372
16.2.2	溅射镀膜	374
16.2.3	电子束镀膜	378
16.2.4	离子束镀膜	380
16.2.5	等离子体喷涂	381
16.3	新一代物理气相沉积技术	381
16.3.1	PVALD	381
16.3.2	新一代物理气相沉积技术的展望与挑战	382
16.4	物理气相沉积设备	384
16.4.1	沉积腔室	384
16.4.2	真空系统	385
16.5	本章小结	386
	参考文献	386
第 17 章	刻蚀技术	387
17.1	湿法刻蚀	387
17.1.1	湿法刻蚀原理	387
17.1.2	湿法刻蚀过程	389
17.1.3	湿法刻蚀应用	391
17.2	干法刻蚀	394
17.2.1	干法刻蚀原理	394
17.2.2	干法刻蚀过程	400
17.2.3	干法刻蚀应用	404
17.3	湿法刻蚀与干法刻蚀对比	412
	参考文献	413
第 18 章	离子注入	414
18.1	基本原理	414
18.1.1	扩散模型	414
18.1.2	碰撞模型	416
18.1.3	沟道注入效应	419
18.1.4	注入损伤与退火	420

18.2	离子注入的应用	420
18.3	离子注入过程	422
18.3.1	三维材料离子注入过程	422
18.3.2	二维材料离子注入过程	423
18.3.3	离子注入过程误差	424
18.4	离子注入机	426
18.4.1	离子源	426
18.4.2	质量分析器	427
18.4.3	加速管	428
18.4.4	电荷中性化装置	428
18.4.5	终端台	429
18.5	离子注入危险源	430
18.5.1	化学危险源	430
18.5.2	电机危险源	430
18.5.3	辐射危险源	430
18.5.4	机械危险源	431
18.6	掺杂检测技术	431
18.6.1	直接针对杂质的检测	431
18.6.2	针对电阻的检测	432
18.6.3	针对损伤的检测	433
18.7	本章小结	433
	参考文献	433
第 19 章	化学机械抛光技术	435
19.1	CMP 简介	435
19.1.1	CMP 技术的发展历程	435
19.1.2	CMP 在芯片制造中的应用	436
19.1.3	CMP 的必要性	436
19.1.4	平坦化定义及效果	438
19.2	CMP 系统	439
19.2.1	CMP 系统简介	439
19.2.2	晶圆载体	439
19.2.3	抛光垫	440
19.2.4	研磨浆	441

19.3	CMP 基本理论	443
19.3.1	CMP 参数	443
19.3.2	CMP 缺陷	443
19.4	CMP 过程	445
19.4.1	氧化物 CMP 过程	445
19.4.2	钨 CMP 过程	445
19.4.3	铜 CMP 过程	447
19.5	其他平坦化技术	447
19.6	本章小结	448
	参考文献	449
第 20 章	热处理技术	450
20.1	热处理设备	450
20.1.1	控制系统	451
20.1.2	气体输送系统	451
20.1.3	排气系统	452
20.1.4	处理管	452
20.2	氧化过程	452
20.2.1	预氧化清洗	453
20.2.2	干式氧化	453
20.2.3	湿式氧化	453
20.2.4	高压氧化	454
20.2.5	氧化膜的质量与检测	455
20.3	退火过程	457
20.4	快速热处理	458
20.4.1	RTP 系统	458
20.4.2	快速热退火技术演变	459
20.4.3	快速热氧化	460
20.5	本章小结	461
	参考文献	462
第 21 章	电镀工艺	463
21.1	电镀工艺的发展进程	463
21.2	电镀工艺的原理	464

21.3	影响电镀的因素	466
21.3.1	溶质、溶剂和沉积电解质	466
21.3.2	电解液的 pH	467
21.3.3	沉积温度	467
21.3.4	沉积电流密度	467
21.3.5	沉积时间和厚度	468
21.4	电镀工艺的优缺点	468
21.4.1	电镀的优点	468
21.4.2	电镀的缺点	469
21.5	全电沉积光伏器件	469
21.6	电镀工艺在半导体领域的应用	472
21.6.1	大马士革电镀铜	473
21.6.2	硅通孔电镀铜	474
21.6.3	电镀铜柱	475
21.7	本章小结	476
	参考文献	477
第 22 章	清洗	478
22.1	清洗技术介绍	478
22.2	湿式化学清洗过程	479
22.2.1	湿式化学清洗概述	479
22.2.2	湿式化学清洗前端处理	480
22.2.3	湿式化学清洗后端处理	482
22.2.4	湿式化学清洗的缺点	483
22.3	干式清洗和表面处理过程	484
22.3.1	气相清洗	484
22.3.2	等离子体清洗	485
22.3.3	低温气溶胶清洗	486
22.4	清洗的未来发展	487
	参考文献	487
 第五部分 芯片工艺集成		
第 23 章	芯片工艺集成基本原理	491
23.1	芯片集成工艺简介	491

23.1.1	集成电路发展历程	491
23.1.2	芯片集成的关键流程	492
23.2	晶圆准备	493
23.2.1	晶圆取向	494
23.2.2	掺杂工艺	494
23.2.3	外延生长	495
23.3	隔离工艺	496
23.3.1	包层场氧化物	496
23.3.2	局部硅氧化	497
23.3.3	浅槽隔离	498
23.4	阱区形成	500
23.4.1	单阱区	501
23.4.2	自对准双阱区	501
23.4.3	多阱区	503
23.5	晶体管形成	504
23.5.1	早期金属栅极工艺	504
23.5.2	自对准源/漏工艺	506
23.5.3	微掺杂漏极	507
23.5.4	阈值调节	508
23.5.5	抗穿通注入	509
23.6	HKMG MOSFET	509
23.6.1	栅极先加工	510
23.6.2	栅极后加工	510
23.7	互连	514
23.7.1	局部互连	514
23.7.2	早期互连	515
23.7.3	铝互连与铜互连	516
23.7.4	低 κ 电介质	518
23.7.5	互连整体工艺	518
23.8	钝化处理	519
23.9	本章小结	520
	参考文献	520
第 24 章	逻辑芯片工艺集成	522
24.1	逻辑芯片导引	522

24.1.1	逻辑芯片简介	523
24.1.2	逻辑芯片分类	523
24.1.3	逻辑芯片工作原理	524
24.2	CPU 的组成	525
24.2.1	算术与逻辑单元	526
24.2.2	存储体系与控制器	529
24.2.3	不同存储的比较	530
24.3	CPU 的制造工艺	532
24.3.1	基本单元：互补金属-氧化物-半导体	532
24.3.2	晶圆准备：绝缘底上硅	533
24.3.3	双阱工艺与虚拟栅、侧壁垫片	535
24.3.4	源/漏工艺	537
24.3.5	HKMG 后栅工艺	537
24.3.6	后段工序	539
24.4	本章小结	542
	参考文献	542
第 25 章	存储芯片工艺集成	543
25.1	存储芯片导引	543
25.1.1	闪存器件基本结构	544
25.1.2	NOR 与 NAND 存储器	545
25.1.3	阵列区域布局	547
25.1.4	NAND 闪存的可靠性分析	550
25.1.5	其他存储芯片	552
25.2	从平面到立体：3D NAND 技术	555
25.2.1	3D NAND 与平面 NAND 的比较	556
25.2.2	3D NAND 的优势	556
25.2.3	3D NAND 单元设计与制作	557
25.2.4	3D NAND 的挑战	558
25.3	3D NAND 加工过程	559
25.3.1	移动外围模块	559
25.3.2	多层堆积与台阶结构	561
25.3.3	通道模块	563
25.3.4	隔离模块	564

25.3.5 互连模块	565
25.4 本章小结	567
参考文献	567
第 26 章 模拟芯片工艺集成	568
26.1 模拟芯片概述	568
26.1.1 模拟芯片分类与应用	569
26.1.2 模拟芯片与数字芯片的比较	570
26.1.3 模拟集成电路加工工艺简述	570
26.2 GaAs 异质结双极型晶体管	571
26.2.1 双极结型晶体管	571
26.2.2 异质结双极型晶体管	572
26.2.3 GaAs HBT 简述	573
26.2.4 器件结构	573
26.2.5 GaAs HBT 工艺流程	574
26.3 BiCMOS 工艺	575
26.3.1 BiCMOS 的结构	576
26.3.2 SiGe HBT	577
26.3.3 SiGe BiCMOS	578
26.4 BCD 工艺	580
26.4.1 DMOS 的基本原理	580
26.4.2 DMOS 的器件结构	581
26.4.3 BCD 工艺	585
26.5 宽禁带半导体器件	588
26.5.1 GaN 和 SiC 的基本工艺	588
26.5.2 GaN HEMT	589
26.5.3 SiC 器件	591
26.6 本章小结	592
参考文献	592

第六部分 芯片先进封装与测试技术

第 27 章 芯片封装技术	597
27.1 封装工艺要点	597

27.1.1	衬底	597
27.1.2	输入/输出	598
27.1.3	硅中介层	599
27.2	封装工艺步骤	600
27.2.1	传统封装	600
27.2.2	晶圆级封装	604
27.3	芯片封装技术的评估指标	605
27.3.1	尺寸与密度	605
27.3.2	强度与可靠性	605
27.3.3	寄生参数	605
27.3.4	散热性	605
27.4	封装容错方式	606
27.4.1	硬件冗余	606
27.4.2	时间冗余	606
27.4.3	信息冗余	607
27.5	常见芯片封装类型	607
27.5.1	双列直插式封装	608
27.5.2	小外形封装	608
27.5.3	方型扁平式封装	609
27.5.4	针栅阵列封装	609
27.5.5	球栅阵列封装	610
27.5.6	多芯片模块封装	610
27.6	先进封装技术	611
27.6.1	倒装芯片	611
27.6.2	2.5D 封装	612
27.6.3	3D 封装	613
27.7	封装测试	619
27.7.1	封装前测试	619
27.7.2	预烧测试	619
	参考文献	620
第 28 章	芯片测试技术	621
28.1	测试环节	621
28.1.1	晶圆接受测试	621

28.1.2	晶圆测试	622
28.1.3	成品测试	623
28.2	常见失效类型和原理	624
28.2.1	常见失效类型	624
28.2.2	常见失效原理	626
28.3	测试原理	629
28.3.1	静态测试/动态测试	629
28.3.2	IDDQ 测试	630
28.3.3	连通性测试	630
28.3.4	I_{DD}/I_{CC} 测试	630
28.3.5	漏电测试	630
28.3.6	混合信号测试	631
28.4	可测试性设计	631
28.4.1	常见的可测试性设计方法	631
28.4.2	测试成本优化	635
28.5	测试设备	636
	参考文献	637

第一部分

芯片简介

芯片发展简史

人工智能、量子计算、大数据、物联网、5G 通信都是当下耳熟能详的新兴科技，这些科技的诞生得益于日渐提高的计算机算力，芯片则是支撑算力发展的核心技术。芯片的发明不仅开启了以个人计算机与互联网为代表的工业革命 3.0 时代，同时也是当下追求产业数字化、智能化的工业革命 4.0 的底层技术核心。正是由于芯片在信息领域中的重要地位，芯片产业近几年越发成为各国政府高度重视的战略产业。本章将从芯片的概念讲起，分别介绍芯片的分类、起源、发展规律与关键技术指标，最后也会讨论现代芯片发展越来越困难的原因。

1.1 芯片的概念与分类

芯片(集成电路)指的是将一定数量的晶体管、二极管等有源器件、电阻、电容器等无源器件以及器件间的连线，经过一系列氧化、光刻、刻蚀等半导体制造工艺，集成在半导体晶圆上，封装在一个外壳内，以使其高效地执行设计的特定功能。

按照芯片的功能可以将芯片分为数字芯片、模拟芯片与数模混合芯片。数字芯片通常指通过布尔代数处理数字信号的芯片，常用于执行如逻辑计算、信号存储等功能，一般可再细分为微处理器、数字信号处理器、数据存储器等。数字芯片占据了整个芯片产业 70% 的产值。模拟芯片则是通过处理连续信号工作，执行放大、有源滤波、解码、混合等功能。数模混合芯片则指既包含数字芯片功能，也包含模拟芯片功能的芯片，典型的数模混合芯片如 A/D 转换器和 D/A 转换器等。后两种芯片种类共占据了芯片产业剩余 30% 的产值。在第五部分会详细介绍这两种芯片类型。

芯片作为底层硬件技术支撑起了一个非常庞大的信息产业,范围涵盖电子产品、通信运营以及其他增值服务。因此芯片具有很强的倍增撬动效应,1 元的芯片产值可以撬动 100 元的 GDP 增长。深入学习芯片技术是了解现代信息产业底层构成的必经之路。下面将从一切故事的原点开始。

1.2 芯片的诞生

1.2.1 芯片与晶体管的发明

故事还要从 1906 年美国科学家李·德弗雷斯特发明真空三极管说起。真空三极管由栅极与两个被栅极分开的电极在密闭真空中构成,如图 1.2.1.1 所示。

真空三极管最重要的两个特性分别是开关与放大,开关指真空三极管可以控制电路的导通与关断,放大则指真空三极管可以将小信号在保证信号特征的情况下放大。1946 年,宾夕法尼亚大学利用电子管制造了第一台电子数字积分计算机(ENIAC)。该计算机占地 170m^2 ,质量达到 30t,总共包含了 17468 支真空管。该计算机每秒可进行 5000 次加法或 400 次乘法,计算速度是手工计算的 20 万倍。真空管的缺点在于极易烧毁,并且由于灯丝需要预热,所以计算机可运行时间有限。这些问题使得科学家迫切地想要寻求一种新的技术替代真空管。1947 年,美国贝尔实验室的巴丁和布拉顿成功制造出第一支点接触型锗三极管。由于它具有电阻变换特性,故以单词“transfer”和“resistor”组合成“transistor”。1948 年,威廉·肖克利提出了 pn 结型晶体管理论,并在 1950 年与斯帕克斯和戈登·K. 蒂尔共同研制了锗 npn 三极管。第一支锗基晶体管的照片如图 1.2.1.2 所示。由于他们在研究晶体管方面的贡献,三个人共享了 1956 年的诺贝尔物理学奖。图 1.2.1.3 为三位发明者的照片。

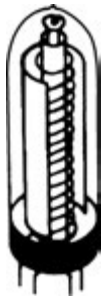


图 1.2.1.1 真空三极管示意图

(《芯片制造——半导体工艺制程实用教程》图 1.2)

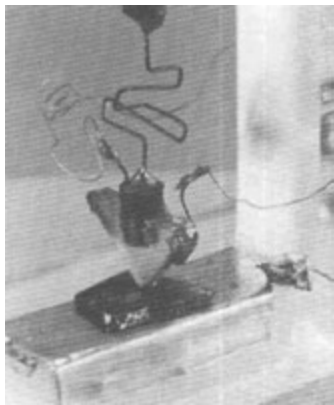


图 1.2.1.2 第一支锗基晶体管照片

(《集成电路产业全书》图 1.2)



图 1.2.1.3 三位发明者的照片

(正前方: 肖克利; 左后方: 巴丁; 右后方: 布拉顿)(*Introduction to Semiconductor Manufacturing Technology*, 图 1.2)

继锗合金晶体管发明后, 贝尔实验室的塔尼巴恩等于 1954 年成功研制出了全球第一支可以工作的硅晶体管雏形, 这奠定了硅晶体管商业化的基础。

芯片概念是由英国科学家达默在 1952 年英国皇家信号和雷达机构的电子元器件会议上首先提出的, 他构想未来的电子设备将是一种没有连接线的固体组件。这一构想的初步雏形由时任德州仪器(Texas Instruments, TI)工程师的杰克·基尔比在 1959 年率先完成。他将锗基器件和铂线连接在一起(可以使用硅器件, 但成本较高, 故以锗代替), 实现了单晶体管振荡器, 制成了世界上第一块集成电路, 如图 1.2.1.4 所示。

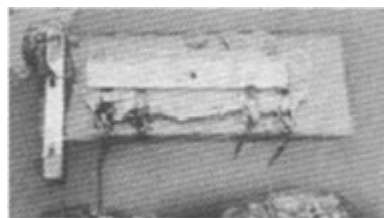


图 1.2.1.4 第一块集成电路照片

(《集成电路产业全书》图 1.4)



图 1.2.1.5 杰克·基尔比
(*Introduction to Semiconductor Manufacturing Technology*, 图 1.5)

基尔比(图 1.2.1.5)本人由于这一发明在 2000 年获诺贝尔物理学奖, 并被誉为“集成电路之父”。由于实际芯片应是所有元件在同一块材料上加工制造, 并相互连接成为一体的完整电路, 因此, 基尔比的发明实际上应该被称为混合集成电路(Hybrid IC), 这一发明仍由外部电线连接, 但难以批量生产。

同年, 罗伯特·诺伊斯在仙童半导体公司(Fairchild)发明了一种新的芯片, 它是第一个真正的单片式 IC 芯片。诺伊斯的设计是由硅基半导体材料制成的, 并且使用了其同事珍·贺尼于 1959 年提出的平面工艺制

作晶体管。该工艺利用了硅易于在高温氧化过程中形成二氧化硅的特点,利用生成的二氧化硅解决晶体管之间绝缘的问题。此外,诺伊斯放弃了通过外部导线连接实现器件间的互连,而是使用铝蒸气镀膜实现了器件间的互连。相比于基尔比的芯片,诺伊斯的芯片使用平面工艺将器件和导线合为一体,这一创新为后续半导体芯片工艺和量产奠定了坚实的基础。诺伊斯研发的集成电路如图 1.2.1.6 所示。

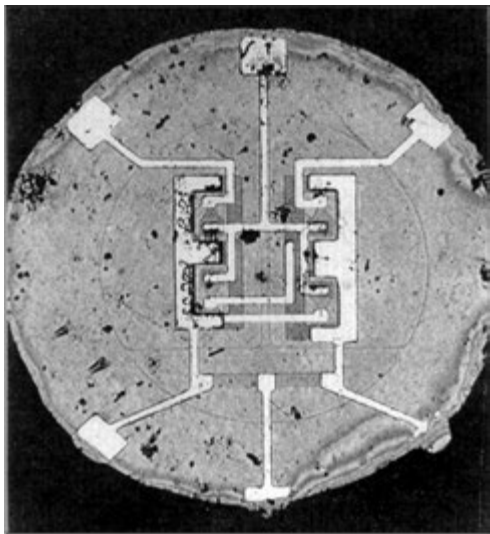


图 1.2.1.6 诺伊斯研发的集成电路

(*Introduction to Semiconductor Manufacturing Technology*, 图 1.4)

1.2.2 器件与技术的改进

贝尔实验室在发明点接触晶体管之后又成功研制了双极型晶体管。双极型晶体管具有高速的优点,但缺点是其静态功耗限制了集成在一枚芯片上的晶体管数目。场效应晶体管则具有能耗低的特点,适用于大多数逻辑电路。场效应管有两种类型,分别是结场效应管(JFET)与金属-氧化物-半导体场效应管(MOSFET)。JFET 的结构构想是由德国科学家朱利叶斯·利连菲尔德在 1925 年提出的, MOSFET 器件结构则是由奥斯卡·黑尔在 1935 年提出的。但由于半导体材料表面效应的影响,早期无法制作出可工作的器件,直到 1960 年贝尔实验室的马丁·阿特拉发明了可以实用的场效应管。同年,仙童半导体公司的萨支唐和美国无线电公司(Radio Corporation of America)的卡尔·扎宁格及查尔斯·穆勒制造了可以量产的场效应管。

MOSFET 按照导电载流子类型的不同分为 n 型 MOSFET 与 p 型 MOSFET, 它们又分别简称为 nMOS 与 pMOS。同时使用 nMOS 与 pMOS 构成电路则是互补金属-氧化物-半导体(CMOS)技术。这一概念是由任职于仙童半导体公司的工程师弗兰克·万拉斯和萨支唐(C. T. Sah)在 1963 年首次提出的。CMOS 的最大优点是工作电流很小, 因此低功耗、高效率的 CMOS 逐渐替代了传统的晶体管-晶体管逻辑(transistor-to-transistor logic, TTL)电路。如今绝大多数数字逻辑芯片是基于 CMOS 技术, 可以说没有 CMOS 就没有后续集成电路的发展。CMOS 集成电路的问世开创了微功耗电子学的先河, 为如今大规模集成电路的发展奠定了坚实基础, 具有里程碑意义。

1.3 集成电路的发展规律与核心指标

1.3.1 摩尔定律与集成度水平

英特尔(Intel)创始人之一的戈登·摩尔发现芯片上的晶体管数量与发表年份近似成线性关系。他在 1965 年 4 月 19 日的《电子学》杂志上撰写了著名论文《让集成电路填满更多的元件》(“Cramming more Components onto Integrated Circuits”)。文章中戈登·摩尔预测, 在价格不变的前提下, 集成电路上可容纳的元器件数目, 每隔 18~24 个月便会增加一倍。换言之, 每一美元所能买到的计算机性能, 将每隔 18~24 个月翻一倍以上, 这一定律揭示了信息技术进步的速度。为什么新一代技术需要 18~24 个月才能完成呢? 一般来说, 工厂需要 3 个月时间确定芯片规格与制程工艺, 然后利用 1~1.5 年的时间开发工艺, 最后利用 3 个月实现芯片的量产, 提高流片良率。随着芯片产业的发展, 摩尔定律已经成为芯片行业一条默认的规律, 毕竟每一家公司都不想落后于竞争对手。但因为晶体管的缩小具有物理极限, 目前晶体管的缩放已经逐渐逼近物理极限, 所以新一代芯片设计与器件开发所需的时间与成本不断增加, 因此摩尔定律的步伐也出现了放缓的趋势。未来如何延续摩尔定律仍是一个未知的问题, 许多科学家与工程师都正在向这一方向不断努力。

芯片上元器件的密度按照摩尔定律增加, 产生了一个新的衡量指标, 称作集成度水平。按照集成规模分为从小规模集成(SSI)到甚大规模集成(ULSI)五个等级, 具体可以参考表 1.3.1.1。

表 1.3.1.1 IC 集成度

集成度等级	缩 写	每个芯片上的器件数
小规模	SSI	2~50
中规模	MSI	50~5000

续表

集成度等级	缩 写	每个芯片上的器件数
大规模	LSI	5000~100000
超大规模	VLSI	100000~1000000
甚大规模	ULSI	>1000000

注：表格摘自《芯片制造——半导体工艺制程实用教程》图 1.9。

1.3.2 集成电路的关键技术指标

芯片生产过程中的两个关键技术指标分别是硅晶圆的尺寸与晶圆的工艺节点。在晶圆上制造方形或长方形的管芯往往会产生许多不可用的区域。一般来讲,晶圆面积越大,可制造的管芯数量也会增加,晶圆上的不可用面积将减少,制造经济性可以得到提高。此外,另一个驱动晶圆直径不断增大的动力是在同一工艺流程下,采用更大的晶圆可以增加生产效率,并且提高良率。目前主要使用的晶圆尺寸为 300mm、200mm 与 150mm,其中 300mm 占 60% 以上,主要用在高性能芯片应用上。

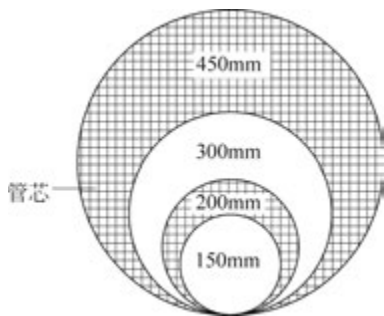


图 1.3.2.1 晶圆相对尺寸大小
(Introduction to Semiconductor Manufacturing Technology, 图 1.11)

随着硅晶圆直径变大,制造工艺难度也将越来越高。2011 年,IBM、Intel、格芯、台积电、三星成立全球 450 联盟(G450C),致力于 450mm 晶圆技术开发。然而在 2014 年与 2016 年,Intel 与台积电均由于企业战略问题,退出了 G450C。至此,450mm 晶圆的发展基本陷入停滞。未来,450mm 的晶圆是否会重新成为制造厂商采用的主流尺寸仍犹未可知。晶圆相对尺寸大小如图 1.3.2.1 所示。

晶圆的工艺节点指的是半导体的制程。一般来讲,工艺节点越小意味着芯片的性能越

强,功耗越低。在 20 世纪 60 年代到 90 年代末,工艺节点是具有实际意义的。当时工艺节点指的是晶体管栅极的长度。但在 1997 年后,由于芯片中的晶体管不再使用按照比例缩小的方法,而是通过引入新材料与新器件结构实现芯片性能的提高与功耗的降低,因此从此时开始,工艺节点不再具有实际意义,而是仅仅作为不同技术代的名称。目前各家半导体制造商所处工艺节点统计如图 1.3.2.2 所示。

具有先进逻辑芯片制造厂的半导体制造商数量										
SilTerra										
X-FAB										
Dongbu HiTek										
ADI	ADI									
Atmel	Atmel									
Rohm	Rohm									
Sanyo	Sanyo									
Mitsubishi	Mitsubishi									
ON	ON									
Hitachi	Hitachi									
Cypress	Cypress	Cypress								
Sony	Sony	Sony								
Infineon	Infineon	Infineon								
Sharp	Sharp	Sharp								
Freescale	Freescale	Freescale								
Renesas(NEC)	Renesas	Renesas	Renesas	Renesas						
Toshiba	Toshiba	Toshiba	Toshiba	Toshiba						
Fujitsu	Fujitsu	Fujitsu	Fujitsu	Fujitsu						
TI	TI	TI	TI	TI						
Panasonic	Panasonic	Panasonic	Panasonic	Panasonic	Panasonic					
STMicroelectronics	STM	STM	STM	STM	STM					
HLMC	HLMC		HLMC	HLMC	HLMC					
IBM	IBM	IBM	IBM	IBM	IBM	IBM				
UMC	UMC	UMC	UMC	UMC	UMC		UMC			
SMIC	SMIC	SMIC	SMIC	SMIC	SMIC		SMIC			
AMD	AMD	AMD	Globalfoundries	GF	GF	GF	GF			
Samsung	Samsung	Samsung	Samsung	Samsung	Samsung	Samsung	Samsung	Samsung	Samsung	Samsung
TSMC	TSMC	TSMC	TSMC	TSMC	TSMC	TSMC	TSMC	TSMC	TSMC	TSMC
Intel	Intel	Intel	Intel	Intel	Intel	Intel	Intel	Intel	Intel	Intel
180nm	130nm	90nm	65nm	45nm/40nm	32nm/28nm	22nm/20nm	16nm/14nm	10nm	7nm	5nm

图 1.3.2.2 各家半导体制造商所处工艺节点统计图

(https://en.wikichip.org/wiki/technology_node)

1.4 现代芯片发展之难

芯片作为现代高端制造业“皇冠上的明珠”，它的研发与生产仍存在许多技术难关。本节简要总结现代芯片技术发展的四个难点。

第一个难点是现代芯片对于材料纯度要求极高。现代芯片需要单晶硅的纯度达到 11 个 9，也就是 99.99999999% 的纯度。作为对比，光伏所用的硅材料纯度要求则只有 4~6 个 9。

第二个难点是芯片内部晶体管数量极多，互连结构极其复杂，如英伟达最新的 GPU A100 中总共有 540 亿枚晶体管，超过 10 层互连结构。因此，这对芯片结构

设计以及芯片制造工艺提出了极高的要求。

第三个难点在于芯片制造所需要的设备极其复杂,如光刻工艺使用的极紫外光刻机。其中的极紫外光是利用激光连续两次轰击锡滴,从而产生波长仅为 13.5nm 的极紫外光。并且极紫外光光线产生后还需要经过十几面反射镜的连续反射。因此,如何设计并制造出满足芯片制造所需的先进设备也成为芯片产业发展的难点。

第四个难点是芯片生产流程极其繁复,仅芯片制造的前道工序就超过 2000 道。除此以外,一枚芯片的诞生还涉及芯片的设计与封测,不管哪一道工序出现问题,最终芯片流片的良率都会受到严重的影响。

综上所述,正是由于芯片行业技术难度高的特点,因此芯片技术的迭代升级,尤其是当下芯片的制程已经发展至逼近物理极限的情况下,绝非朝夕之功可以完成的。现在,一项全新的芯片技术往往需要 10 年以上的周期才能实现从研发到实际应用的转变。

1.5 本章小结

芯片(集成电路)是指将有源器件、无源器件与互连线通过一定加工工艺集成在半导体晶圆上,并经过封装工艺形成的具有特定功能的电路或系统。按照芯片功能与结构,芯片可以分为数字芯片、模拟芯片与数模混合芯片。芯片中最基础的器件之一是晶体管,它是由布拉顿与巴丁在 1947 年率先制造完成。目前主流 CMOS 电路技术则是由科学家万拉斯与萨支唐在 1963 年首次提出并沿用至今。

1971 年 Intel 研发出了第一款微处理器芯片 4004 之后,芯片一直遵循着摩尔定律的规律发展。衡量芯片厂商芯片生产能力的核心指标是晶圆尺寸与工艺节点。芯片发展至今,在材料、结构、制造设备与生产流程四个方面均面临着人类前所未见的技术难关,因此一个国家的芯片行业是这个国家制造业与科技实力最好的象征。

参考文献

- [1] Van Zant P. 芯片制造: 半导体工艺制程实用教程[M]. 韩郑生, 译. 6 版. 北京: 电子工业出版社, 2015.
- [2] 钱纲. 芯片改变世界[M]. 北京: 机械工业出版社, 2019.
- [3] 谢志峰, 陈大明. 芯事: 一本书读懂芯片产业[M]. 上海: 上海科学技术出版社, 2018.
- [4] 王阳元. 集成电路产业全书[M]. 北京: 电子工业出版社, 2018.
- [5] Xiao H. Introduction to semiconductor manufacturing technology[M]. 2nd ed. Washington: SPIE Press, 2012.
- [6] 萧宏. 半导体制程技术导论[M]. 2 版. 新北: 全华图书股份有限公司, 2013.

芯片产业演进

本章将首先介绍芯片的生产与分工。芯片的生产是一个极其复杂的系统性过程,主要包括芯片设计环节、芯片制造环节以及封装测试环节。硅谷的建立为半导体产业的兴起点燃了一把火,并使其态势蔓延全球,硅谷内外的芯片产业相关内容详见 2.2 节。接下来,将介绍芯片产业的三种运作模式:集成器件制造商(Integrated Device Manufacturer, IDM)、无晶圆厂(Fabless)以及混合型公司(Hybrids)。目前,无晶圆厂的商业模式一直在扩大、发展和繁荣。随着无晶圆厂半导体公司的制造需求不断增加,代工厂也在不断扩大,大型供应商能够产生与 IDM 相媲美的产量。最后,将简要分析我国芯片产业发展所面临的挑战。

2.1 芯片的生产与分工

芯片设计环节位于芯片产业上游,具有极高的技术壁垒,需要高端人才的投入以及经验技术的沉淀。随着摩尔定律走向经济和物理极限,芯片设计业也面临巨大挑战,政府及产业界均在探寻多种路径来继续满足芯片更低功耗、更低成本和更高性能的需求。目前,芯片设计业发展迅猛,规模已经超过千亿美元,占芯片产业总规模的 25% 以上。美国是全球芯片设计业的主要领跑者。芯片设计软件是芯片公司设计芯片的关键工具,当下主流软件是电子设计自动化(EDA)软件。其中,美国公司在全球范围内的 EDA 市场份额占 70% 以上。芯片对操作系统进行运作还需要拥有高效的指令集,中国芯片在此领域的占有率不足 3%。

芯片制造环节位于芯片产业中游,具有重资产性,需要大量资金的投入以及较长的建设周期。全球四大晶圆代工厂,即台积电、格罗方德、台联电以及中芯国际,

2018 年平均晶圆价格整体上涨约 2 美元,涨至 1138 美元。晶圆制造的产品类型主要分为模拟、存储、逻辑、微组件等。存储产品包括动态随机存储器(DRAM)、静态随机存储器(SRAM)、只读存储器(ROM)以及可擦写可编程只读存储器(EPROM)等。逻辑产品包括通用逻辑器件、门阵列和标准单元、可编程逻辑器件(PLD)和现场可编程门阵列(EPGA)等。微组件产品包括微控制器(MCU)、微处理器(MPU)以及数字信号处理器(DSP)。模拟产品包括各种标准模拟器件,以及模拟和混合信号器件。代工类产品主要指根据外部客户要求制造的产品。

芯片封装、测试环节位于芯片产业下游,作为半导体行业的传统领域,伴随着半导体的发展而推陈出新。如图 2.1.0.1 所示,根据 2021 年国际半导体技术路线图(ITRS)明确提出的未来芯片技术发展的两个方向:延续摩尔(More Moore)定律以及拓展摩尔(More than Moore)定律,沿拓展摩尔定律方向发展的技术路线,以及转向下一代工艺节点技术的高成本因素将改变电子行业中封装的地位和作用。

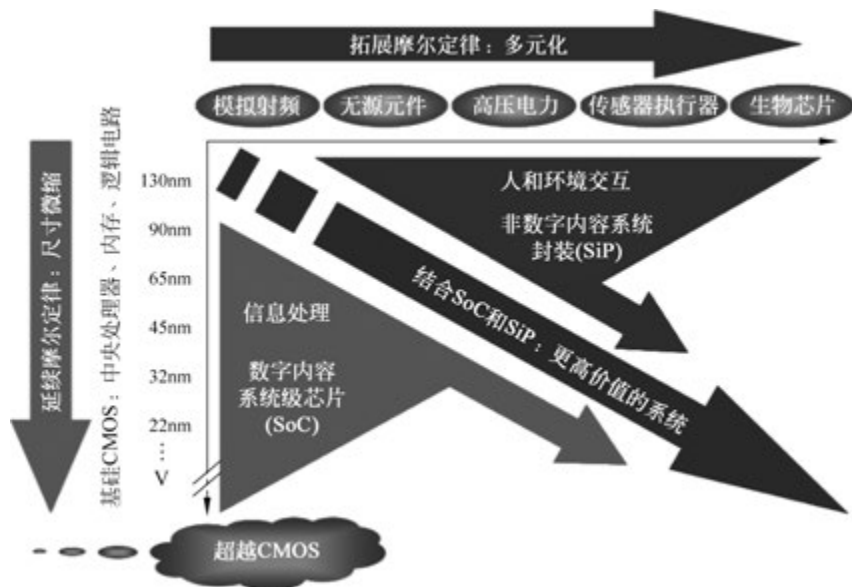


图 2.1.0.1 延续摩尔定律以及拓展摩尔定律

2.2 硅谷的诞生

2.2.1 硅谷之内的竞争

人们对硅谷的起源众说纷纭,一派认为其诞生源于斯坦福大学的建立,另一派

则归因于惠普公司(HP)的创立。其实,这两种起源之间也存在奇妙的联系。19世纪中期,时任斯坦福大学副校长的弗雷德·特曼教授主持建成了斯坦福工业园,而后其学生戴维·帕卡和比尔·休利特将创立的惠普公司由车库搬到斯坦福工业园,为硅谷步入历史舞台拉开了序幕。

HP的创立虽在一定程度上揭示了硅谷的诞生,但真正让工业园“硅”味十足的还要归功于另一历史人物,即“半导体教父”——肖克利,肖克利博士于1955年创立了肖克利实验室股份有限公司,并于1956年因晶体管的发现而被授予诺贝尔物理学奖。但由于公司管理问题,八名主力军于1957年集体离职并成立了仙童半导体公司。后因公司经营问题,仙童半导体公司也面临解体危机,并最终衍生出92家新的半导体公司,其中就包括当下IT产业巨头Intel和美国超威半导体公司(AMD)。前者由集成电路创始人之一的罗伯特·诺伊斯和摩尔定律的提出者戈登·摩尔共同建立,后者由仙童公司销售部高管杰里·桑德斯创立。根据创始人的专业背景,读者应能预想到两家公司成立的初期定位,即前者是以技术为导向,后者则以市场为导向。

上文讲述了Intel和AMD“本是同根生”的渊源,下面我们就着眼于两巨头“相煎何太急”的竞争。1980年年初,二者同为IBM的供应商,Intel负责开发技术并授权AMD生产x86系列处理器。1985年,前者突然终止了所签订的技术合作协议并开始独家生产处理器,后者只能无奈提出诉讼。最终虽然AMD胜诉,但却错失了CPU发展的黄金时期。由于技术受限,此时的AMD只能跟在Intel身后亦步亦趋,通过生产兼容Intel PC的低价处理器而勉强生存。转眼至世纪交点的1999年,这一年AMD不仅推出了基于K7的Athlon处理器,而且发布了1GHz CPU,自此撕下了“Intel代工厂”的标签,使二者的世纪大战进入高潮。紧接着于2003年,AMD一鼓作气又发布了基于K8的Athlon处理器。面对AMD发起的挑战,Intel随即于2005年部署了“钟摆战略”(Tick-Tock),力图每两年完成一次制程升级。得益于上述战略部署,Intel于2006年再次扳回了局面。与此同时,AMD由于难以跻身技术金字塔顶端,决定再次走高性价比的路线,并察觉到了Intel在GPU上的软肋,于是开始暗暗蓄力。时间快进到2017年,锐龙7的横空出世为AMD打了一场完美的翻身仗,锐龙7基于最新的Zen架构,且采用14nm鳍式场效应晶体管(FinFET)工艺,在性能和吞吐率上提升显著,大幅领先Intel同价位的酷睿i7处理器。放眼未来,硅谷两巨头的较量孰胜孰负尚未可知,但唯一确定的是核心技术与市场战略是决胜的关键。

2.2.2 硅谷之外的角逐

1960年,洁净室的诞生为全球第一枚集成式芯片的诞生做好了铺垫。1965

年,戈登·摩尔提出的摩尔定律为全球半导体技术的发展指明了方向。1967年,为了解决早期接触式光刻机良率低、成本高的问题,光学厂商 PerkinElmer 受美国军方资助开始研发扫描投影式光刻机,其随后推出的 Micralign100 光刻机获得了巨大的商业成功。然而,为了延续摩尔定律,芯片制程也随之急剧缩小,PerkinElmer 虽然对 Micralign 系列光刻机的光学系统进行了不断优化,但仍无法满足更精密制程的要求。1978年,美国 GCA 推出了步进式扫描投影光刻机,使光刻精度得以提高。然而,上述光刻机仍采用干式工艺,即在物镜的下表面与晶圆表面的光刻胶之间填充的介质是空气(折射率近似为 1),但采用干式技术难以维系摩尔定律的演进,使光刻步伐最终停滞在 193nm 波长处。为解决上述问题,尼康、佳能等公司主张继续采取缩减光源波长的思路,即采用 157nm 波长光源。与此同时,荷兰公司阿斯麦(ASML)在台积电的帮助下另辟蹊径,虽仍采用 193nm 波长光源,但将介质从空气换为纯水。随后,ASML 凭借浸润式光刻机一战成名,号称“日本双雄”的尼康和佳能却因这场 157nm 干刻法与 193nm 湿刻法的技术之争而逐渐衰落。

同一时间进程下,我国也开启了芯片产业发展的追赶之路。1949年,美国贝尔实验室研制出锗合金晶体管,中国科学院上海应用物理研究所紧随其后,于 1956 年也研制出锗合金晶体管。1959年,美国成功研制出平面型扩散晶体管,中国科学院半导体研究所紧随其后,于 1963 年也研制出平面型扩散晶体管。可见在二十世纪五六十年代,我国与美国的差距只有不到 7 年的时间差。改革开放后,我国芯片制造产业由自力更生阶段转向技术引进阶段。然而,当华晶公司进行技术引进时,资金不再由国家全部投资,即部分资金需要企业另行向银行贷款,这导致华晶公司在执行 908 工程引进 6in($\text{lin}=2.54\text{cm}$)线之后,债务缠身,但这也给中外合资带来了契机。但是,中外合资也并非万全之策,原因是中方无法主导企业经营方向,难以采取有力的措施应对瞬息万变的芯片市场。

2.3 集成电路产业链与运作模式

2.3.1 集成电路产业链

完整的集成电路产业链主要包括芯片的设计、制造、封测三个核心环节。

20 世纪 80 年代,早期的芯片制造厂商需要独立完成包括集成电路设计程序编写、电路设计以及电路制造、封装和测试在内的全部工作。然而,随着工艺尺寸不断微缩、集成电路复杂度增加、制造成本成指数增长,这种整合制造的模式难以维系。因此,设计业、制造业、封测业单独运行的模式开始兴起,垂直分工模式走向繁荣。其中,垂直分工模式发展最具有代表性的事件是 1987 年晶圆代工厂商台积电

电的成立。目前,美国是集成电路设计业最发达的国家,不仅掌握了大量高端集成电路的知识产权,而且汇聚了大批经验丰富的研发人才。在2017年统计的全球十大集成电路设计企业销售收入排名中,以美国企业高通公司为首,其他分别为博通、英伟达、苹果、超微半导体、赛灵思和美满电子;海思半导体和紫光集团,联发科也列其中。上述前十大企业的销售额约占芯片设计行业总销售额的3/4。高昂的研发成本将继续提高芯片设计业的门槛,例如,28nm平面器件的平均集成电路设计成本为3000万美元,16/14nm芯片的平均设计成本约为其2.7倍,即8100万美元左右。当尺寸缩小至7nm,则平均需要2.71亿美元。未来,继消费电子、移动智能终端和计算机之后,汽车电子、人工智能、云计算、物联网等新业态引发的产业变革正在兴起,新工艺、新架构、新需求将成为推动集成电路设计业发展的新动力。

当前,世界各国都在积极扩大集成电路制造产业规模,提升工艺技术水平,抢夺市场份额。纯晶圆代工厂在集成电路行业中发挥着越来越重要的作用。就增长率而言,台积电、格罗方德、台联电和中芯国际的300mm晶圆产能增幅最大。300mm晶圆主要用于生产大规模器件,如DRAM、闪存、图像传感器、复杂逻辑器件等,是目前晶圆尺寸的主流,占晶圆总产能的份额持续上升。就增长率而言,300mm产能的增长将主要来自台积电、格罗方德、台联电和中芯国际四个纯晶圆代工厂。预计这四家厂商的总计月产能将由2018年年底的143.7万片增加到2022年年底的200.5万片,增长率达到40%。但就总表面积和实际晶圆数量而言,200mm晶圆仍有较大生存空间,因为并非所有的半导体器件都可以利用300mm晶圆来解决成本问题。200mm晶圆厂可用于制造多种类型的集成电路,如专用存储器、显示驱动器、微控制器、射频和模拟产品,还可制造基于微机电系统(MEMS)的非集成电路产品,如加速度计、压力传感器、功率分立半导体和LED等,且可以用集成电路产品淘汰的200mm晶圆生产线来制造非集成电路产品。

随着芯片设计的复杂度愈加繁复,封测的作用也愈加凸显,沿着拓展摩尔定律方向发展的技术路线推进了新型封装方式的发展。芯片封装已经从双列直插式封装(DIP)等通孔型封装演变为包括超薄小外形封装(SOP)、芯片级封装、球栅阵列封装、多芯片封装(MCP)等多种类型的封装。图像传感器、DRAM和部分闪存继续使用基于硅通孔(TSV)连接方式的3D集成电路,具有数千个焊球的系统级封装(SiP)通常采用球栅阵列封装(BGA)等封装形式。

2.3.2 集成电路运作模式

根据集成电路产业链和生产策略,半导体产品公司可分为三类:集成器件制造商、无晶圆厂以及混合型公司。

IDM拥有自己的半导体制造工厂和资源,因此可以直接控制其产能,如英特

尔、三星等。这些公司将所有的半导体制造外包给台积电(TSMC)、台联电(UMC)和中芯国际(SMIC)等代工厂。IDM 完全拥有和控制半导体制造所需的所有资源：设计自动化工具、工艺库、工艺技术、制造和装配设备、测试设备，以及所有必要的设施和基础设施资源。因此，IDM 需要持续关注资本支出，以满足其不断增长的生产需求、技术变革以及在需求下降时产能利用率不足的成本。随着 300mm 晶圆设施的成本增长至接近 50 亿美元，再加上工艺开发和集成电路设备的价格飙升，如果 IDM 要在控制其成本的同时跟上摩尔定律的步伐，与代工厂进行更紧密的合作是一个必要的选择。

21 世纪初，如果没有足够的资源来建立一个 IDM，启动一个半导体企业是无法想象的。新兴公司需要具备将其技术推向市场所需的所有能力，从架构和电路设计的创新概念到工艺化学和程序，再到营销眼光、分销和准入。无晶圆厂模式的出现是为了挑战这种模式，促使半导体行业的变革步伐。无晶圆厂的例子有英伟达、博通等。维基百科将无晶圆厂定义为专门设计和销售在半导体芯片上实现的硬件设备的公司，它通过将设备的制造外包给称为半导体代工厂或晶圆厂的专业半导体制造商来实现优势。这种模式在 20 世纪 80 年代开始出现，因为从成本和资源的角度来看，从头开始创建和建立一个 IDM 业务所需的投入巨大。

混合制造战略主要由 IDM 使用，可获得没有计划在内部开发的制造技术。在需求周期上升时，补充其内部产能限制，从而避免或推迟额外的资本支出；在需求周期下降时，利用其过剩的产能获得额外的收入，同时仍然保留其 IDM 模式。

除了半导体产品公司，代工厂的业务模式是为上述所有产品公司提供 100% 的半导体制造服务。由于无晶圆厂先驱的成功，出现了纯粹的晶圆代工厂，如台积电和台联电，以及中芯国际等，并为专门的纯设计半导体公司创造长期的供应来源。图 2.3.2.1 显示了代工厂的内部，工人们在洁净室内穿着工作服，以避免任何颗粒污染。



图 2.3.2.1 代工厂内部图

(Understanding Fabless IC Technology, 图 1.6)

2.4 国产芯片发展之难

集成电路产业发展已上升为国家战略,政府从政策、资本等多方面推动产业攻坚克难。为响应政府号召,全国各省市及部分产业园区纷纷结合当地产业发展实际,有针对性地制定集成电路产业扶持政策,掀起了集成电路产业发展热潮。

总体来看,中国的集成电路设计业发展迅猛,以海思半导体和紫光集团为领跑企业,产业规模在全球占比超过 20%,位居世界第二,但大部分产品聚焦中低端市场,在中央处理器(CPU)、存储器、现场可编程门阵列等高端通用领域与国际先进水平差距巨大。晶圆代工业相对薄弱,以中芯国际、上海华虹等为龙头企业,产业规模在全球占比超过 10%,但较国际先进水平仍存在两代以上技术代差。封测业是我国目前发展情况最好的集成电路产业环节,以长电科技、通富微电等为代表企业,产业规模在全球占比接近 20%,位居世界第三,基本不存在技术代差,发展速度显著高于其他竞争对手。

然而需要注意的是,集成电路支撑产业的产业规模以及技术水平较国外差距巨大。具体来讲,产业整体规模较大,但领跑企业实力较弱;产品以中低端为主,技术水平差距巨大。目前,中国在高端集成电路领域仍主要依赖进口,如高端 CPU、高速模拟芯片、高端通用芯片等。除此之外,所用材料主要被日本垄断,中国仅在靶材、抛光液等个别领域达到国际水平,而设备主要由欧洲、美国和日本垄断,中国仅在金属有机化合物化学气相沉积等个别领域达到国际水平。

2.5 本章小结

本章我们从芯片的生产与分工出发,简要介绍了芯片设计环节、芯片制造环节以及封装测试环节,这是贯穿本章的主线。半导体产业发展的星星之火在硅谷内点燃,在硅谷外燎原,相关行业竞争的故事见 2.2 节。芯片产业的三种运作模式,即 IDM、Fabless 以及 Hybrids 的运作特点和代表企业读者需要知晓。本章最后对我国芯片产业发展所面临的困难进行了分析。

参考文献

- [1] 冯园园. 2018 年美国集成电路产业发展概览[M]//尹丽波. 工业和信息化蓝皮书: 集成电路产业发展报告(2018—2019). 北京: 社会科学文献出版社, 2019: 31-47.
- [2] 苏建南. 全球集成电路设计业发展概况[M]//尹丽波. 工业和信息化蓝皮书: 集成电路产业发展报告(2018—2019). 北京: 社会科学文献出版社, 2019: 112-122.

- [3] 苏建南. 全球集成电路制造业发展概况[M]//尹丽波. 工业和信息化蓝皮书: 集成电路产业发展报告(2018—2019). 北京: 社会科学文献出版社, 2019: 123-143.
- [4] 贾丹. 全球集成电路封装测试业发展概况[M]//尹丽波. 工业和信息化蓝皮书: 集成电路产业发展报告(2018—2019). 北京: 社会科学文献出版社, 2019: 144-161.
- [5] Acikgoz C, Hempenius M A, Huskens J, et al. Polymers in conventional and alternative lithography for the fabrication of nanostructures[J]. Eur Polym J., 2011, 47(11): 2033-2052.
- [6] 高佳兴, 陈龙, 玉佳婷, 等. 高分辨率极紫外光刻胶的研究进展[J]. 应用化学, 2021, 38(9): 1138.

芯片生产流程

本章主要包括芯片制程和芯片工厂两部分。芯片制程包括芯片设计、制造以及封测。芯片制造有许多不同的过程,总体上可归纳为以下四种基本操作:添加、去除、图案化和加热。芯片制造需要在洁净室内进行,晶圆加工区处于最高等级的洁净室内,而芯片测试和封装通常在更低等级的洁净室中进行,因为这些工艺处理的特征尺寸大得多,所以对颗粒的敏感性要低得多。晶圆加工区通常分成湿法清洗区、扩散区、光照区、刻蚀区、离子注入区、薄膜沉积区和化学机械抛光(CMP)区。

3.1 芯片制程

3.1.1 制程简介

集成电路芯片的制造是一个非常复杂和耗时的过程。图 3.1.1.1 显示了一个芯片制程的工艺流程,流程始于 IC 设计,在强大的电子设计自动化软件的帮助下完成,然后对设计的布局进行验证和录入。在掩模车间,光刻胶(PR)层被涂在铬玻璃板上,然后用电子束写入器或激光写入器打印出设计的图案。在 PR 显影之后,使用铬刻蚀工艺将 PR 图案转移到铬玻璃上,以形成掩模或网纹。在清洗和检查之后,掩模就可以运往集成电路工厂了。一块集成电路芯片需要 20~30 个掩模,这取决于设备的类型和技术节点。

晶圆供应商从石英砂中获得粗糙的硅,然后提纯硅,将其拉成单晶硅锭,并将硅锭切成晶圆,然后经过边缘倒角、湿法刻蚀、表面抛光,有时还有外延硅生长步骤,这些晶圆就可以运到半导体工厂了。在芯片的制造过程中,需要消耗大量的具有超高纯度的化学材料,对于气体,如氧气、氮气和氢气;液体,如去离子水、硫酸、

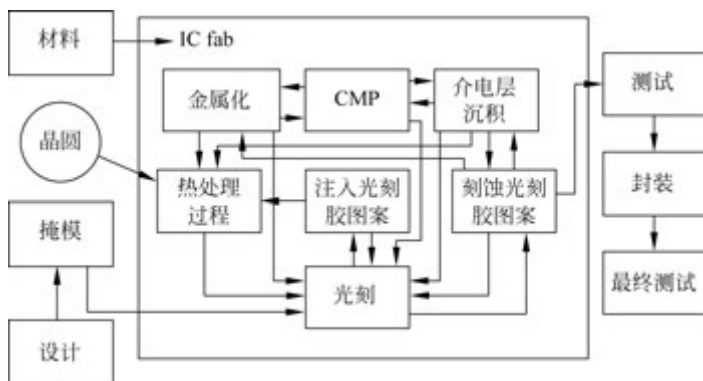


图 3.1.1.1 芯片制程工艺流程图

(Introduction to Semiconductor Manufacturing Technology, 图 2.1)

硝酸和氢氟酸；以及固体，如磷、硼、铝和铜等。当晶圆被运到集成电路工厂后，首先被清洗，然后将经过许多加工步骤，如热工艺、光刻、刻蚀、离子注入、电介质薄膜沉积、化学机械抛光、金属化等步骤。

芯片制造完成后，加工好的晶圆被运到封测厂，在那里进行封装以及最终测试。需要注意的是，晶圆总是被保存在一个洁净室中，室内自由颗粒的大小和数量被严格控制并保持在非常低的水平。即使在洁净室中，晶圆通常也被储存在专门设计的容器中，以尽量减少可能的污染。对于 200mm 或更小的晶圆，许多晶圆厂使用带有载物盒的开放式盒体，该盒体可以在垂直方向上容纳槽内的晶圆。另外，一些先进的 200mm 晶圆厂使用称为标准机械接口 (SMIF) 盒的容器。如图 3.1.1.2 所示，300mm 晶圆厂还会使用称为前开式统一舱 (FOUP) 的容器。

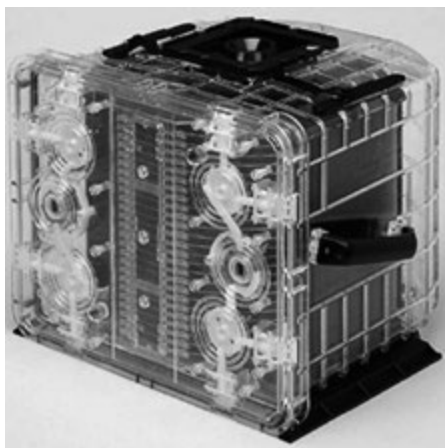


图 3.1.1.2 FOUP 示意图

(Handbook of Semiconductor Manufacturing Technology, 图 33.2)

3.1.2 产量控制

产量是集成电路制造的最重要因素之一,可以决定一个工厂是盈利还是亏损,其与许多因素有关,包括环境、材料、设备、工艺和在工厂工作的人员。芯片制造的显著进步,在很大程度上可以归功于过去几十年来在提高产量和产量管理方面的进步。这种进步不仅在晶圆制造界得到了认可,而且也得到了晶圆封装界的认可。因为对于产业界来说,最好的赞美即效仿。例如,来自制造“前端”的产量管理方法正在被调整并应用于“后端”工艺,如封装环节等。无污染制造(CFM)作为一个术语起源于20世纪80年代末。它的目的是描述在超净条件下进行芯片制造的做法,从而获得最优产量。然而,最优产量和超净工艺是人们努力追求的目标,但在时间和金钱的双重限制下,上述目标难以同时实现。

在芯片制造环节中,将主要使用三种参数对产量进行描述。晶圆产量:工艺完成后良好晶圆数量与用于集成电路芯片制造的晶圆总数的比率。芯片产量:工艺完成后每块好的晶圆上的良好芯片数量与晶圆上的芯片总数之间的比率。封装产量:封装完成后的良好芯片数量与封装后的芯片总数之间的比率。在一个新的加工技术发展初期,一个全新产品的推出或一套新的工具的引入,整体产量通常不是很高。然而,经过几个晶圆生产周期后,影响良率的系统性因素被挖掘出来并消除,则产量会不断提高并稳定下来。由于一些不可预见的问题,如加工设备的轻微不匹配、人为错误等,产量的偏离时有发生。当新工艺、新产品或新工具被引入时,这个循环就会重新开始。图3.1.2.1说明了芯片制造技术的典型产量曲线。

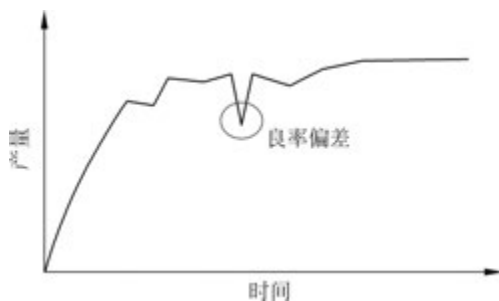


图 3.1.2.1 典型产量曲线

(Introduction to Semiconductor Manufacturing Technology, 图 2.2)

离子、金属和有机杂质以及微量的水分或氧气经常造成污染。污染几乎可以来自芯片制造的所有方面,包括工艺、设备、原材料(化学品、气体、晶圆等)、液体储存和输送系统、晶圆运输和储存(存储器和晶圆盒等)、洁净室和操作人员。产量管理计划的作用是在最短的时间内通过预测、检查,减少和避免产量损失进而提高产

量。这些作用的效果根据制造过程的成熟度而不同。图 3.1.2.2 显示了产量提升的阶段示意图,第一阶段指开发和早期产品化时期,第二阶段指最终产品化时期,第三阶段指技术转让和制造厂的启动时期,第四阶段指制造厂的产量提升时期,第五阶段指产量趋于稳定时期。

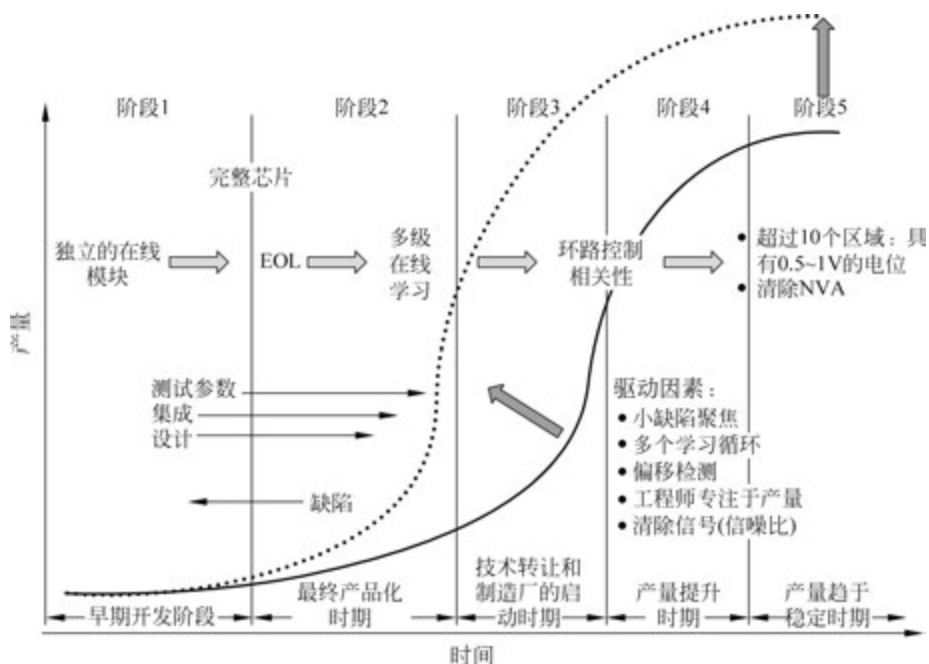


图 3.1.2.2 新技术的产量提升阶段示意图

(Handbook of Semiconductor Manufacturing Technology, 图 27.4)

在新工艺开发和早期产品化阶段,产量管理计划的作用是制订和实施检查计划,以诊断系统的工艺集成问题。人们定义了缺陷检查和分析的要求,评估和选择新设备。在这个阶段,预测性的产量模型被开发出来,工厂的产量得到估计。

当产品化进展到第二阶段时,工艺配方变得稳定,重点从减少系统性缺陷转移到随机性缺陷。此时,人们在工艺流程中引入大量高灵敏度的缺陷检测步骤,以确定每个工艺环节的缺陷特征。第二阶段的衡量标准包括电气产量、产量模型准确性、工艺/设备缺陷水平和项目进度。

第三阶段从开发现场转移到制造现场。在生产中复制相同的检测设备组很重要,这可以使检测配方、缺陷基线和产量模型的转移达到最小的修改。

在第四阶段,工艺设备的数量和生产线上的批次数量急剧增加。其目的是提高产量,并在第三阶段展示的产量的基础上加以改进,同时对新设备和工艺进行鉴定。

在第五阶段,工厂已经完成了产量提升,产量曲线开始趋于稳定。

3.2 芯片工厂

3.2.1 洁净室

第一批洁净室是为医院手术室建造的,以控制空气中的细菌污染,减少手术后的感染。由于微小的颗粒会在微电子装置和电路上造成缺陷,进而影响芯片良率,因此芯片必须在洁净室内制造。洁净室家具、防护服和穿戴程序的发展都有助于提高芯片良率,严格的洁净室协议有助于防止污染物进入,减少或避免因微粒和其他污染而导致产量下降的问题。对洁净室的要求是 IC 工厂如此昂贵的原因之一,且越小的特征尺寸要求洁净室的洁净度等级越高。

对于洁净室等级的标准定义,10 级被定义为每立方英尺内直径大于 $0.5\mu\text{m}$ 的颗粒少于 10 个。1 级被定义为每立方英尺内直径大于 $0.5\mu\text{m}$ 的颗粒少于 1 个。一家生产最小特征尺寸为 $0.25\mu\text{m}$ 的集成电路芯片的工厂需要一个 1 级洁净室来达到可接受的产量。图 3.2.1.1 说明了不同洁净室等级的每立方英尺空气中的颗粒个数,根据美国联邦标准 209E 的定义,M-1 级洁净室允许每立方米中大于 $0.5\mu\text{m}$ 的颗粒少于 10 个,或每立方英尺中大于 $0.5\mu\text{m}$ 的颗粒少于 0.28 个。

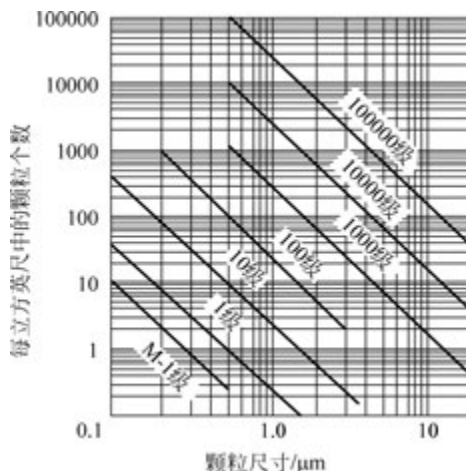


图 3.2.1.1 洁净室空气中的颗粒数量

(Introduction to Semiconductor Manufacturing Technology, 图 2.5)

图 3.2.1.2 说明了 300mm 晶圆厂洁净室的基本结构。洁净室通常位于带有网格板的高架地板上,允许气流从天花板垂直流向洁净室下面的设施区。气流通过高效微粒空气(HEPA)过滤器返回洁净室,该过滤器可以去除气流携带的大部

分微粒。为了达到优于 100 级的清洁度,需要保持线性气流(层流)和避免空气湍流。空气湍流会把粘在墙壁、天花板、桌子和工具表面的颗粒赶出去,导致它们成为空气中的微粒。在层流状态下,空气中的颗粒会被气流迅速带走。100 级是层流和湍流的分界线,这一选择是决定洁净室成本的一个非常重要的因素。洁净室总是保持比非洁净区更高的压力,这允许存在持续的向外气流,防止在开门时人、工具或其他材料进入洁净室时,外面非洁净区空气中的颗粒进入洁净室。同样的原则也适用于洁净室内部的不同等级区域,高等级区域的压力比低等级区域的压力高。另外,温度、气流速度和湿度的变化也会干扰表面的颗粒,使其成为空气中的颗粒。因此,温度、气流速度和湿度在洁净室中也需要得到严格控制。

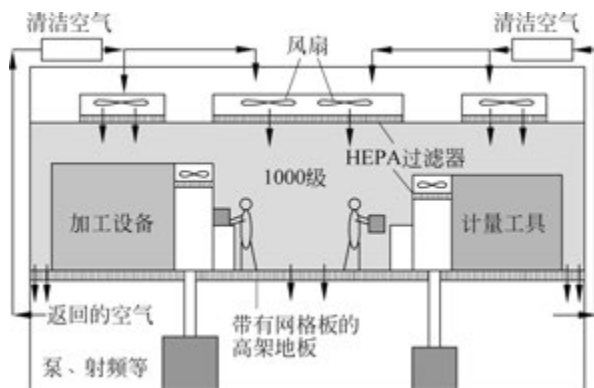


图 3.2.1.2 洁净室结构图

(Introduction to Semiconductor Manufacturing Technology, 图 2.8)

3.2.2 生产区

芯片制造包含了许多不同的过程,总体上可归纳为以下四种基本操作:添加、去除、图案化和加热。掺杂、层生长和沉积属于添加过程;刻蚀、清洁和抛光属于去除过程;光刻属于图案化过程;退火、合金化则属于加热过程。一家 IC 工厂通常由办公区、存储区、设备区以及加工区组成。另外,有些工厂还拥有专属的芯片测试和封装设施区域。晶圆加工区所属洁净室具备最高等级洁净度。大量的加工设备被安装在较低等级的洁净室中,同时仍与高等级洁净室相连接,以便晶圆可以被转移到其中进行加工。芯片测试和封装通常在更低等级的洁净室中进行,因为与晶圆加工相比,这些工艺处理的特征尺寸大得多,对颗粒的敏感性要低得多。晶圆加工区通常被分成湿法清洗区、扩散区、光照区、刻蚀区、离子注入区、薄膜沉积区和化学机械抛光区,下面将分别介绍这些加工区。

在湿法清洗区内,主要进行以下三个核心步骤:处理、冲洗和干燥。湿法清洗

通常采用批量加工工具,具体流程是:机器人从装载站拿起装有晶圆的盒状物,将其浸入处理液中。在规定的加工时间后,机器人将盒拿起,并将其放入冲洗池中。然后,盒被拾起并送入一个干燥器。最后,盒被拾起,并送回装载站进行晶圆卸载。根据工艺中使用的化学品,有时需要将晶圆从盒中拿起,放在石英舟上进行湿法处理和冲洗。

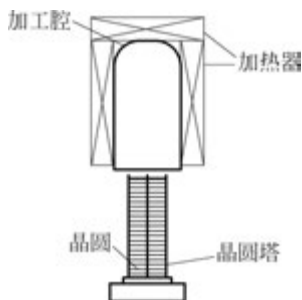


图 3.2.2.1 垂直炉示意图
(Introduction to Semiconductor Manufacturing Technology, 图 2.14)

扩散区是进行热加工的地方,可以进行添加过程(如氧化、低压化学气相沉积和扩散掺杂),或加热过程(如植入后退火、掺杂剂驱入、合金退火和电介质回流)等。尽管在先进的 IC 加工中很少进行扩散掺杂过程,但由于历史原因,仍然沿用扩散区这个名称。图 3.2.2.1 给出了一个垂直炉的示意图。采用批量加工方式,能够一次加工 100 多块晶圆,由于占地面积较小,污染控制较好,在先进的 200mm 和 300mm 的集成电路工厂中只使用垂直炉。

光刻工艺是芯片制造中最重要的工艺之一,光照区里有集成的轨道步进系统,负责执行涂底漆和光刻胶涂层、烘烤、对准和曝光以及光刻胶显影处理步骤。在光照区还有许多计量工具(如椭偏仪和反射仪系统),用于测量透明薄膜的厚度和厚度均匀性。另外,还有用于视觉检查的光学显微镜,以及用于关键尺寸测量的散射测量系统,扫描电子显微镜(SEM)也被广泛用于关键尺寸测量,光学叠加系统则被用于测量不同掩模层之间的排列。

在刻蚀区,只有等离子体刻蚀机被用于图案刻蚀,因为湿法刻蚀不能用于刻蚀小于 $3\mu\text{m}$ 的特征图案。等离子体刻蚀机通常由一个真空室、射频系统、晶圆传输机制和气体输送系统组成。许多刻蚀系统都有原位光刻胶剥离室,允许在将晶圆暴露在大气中之前系统在系统内剥离光刻胶。

在离子注入区,有几种不同类型的离子注入设备用于不同的工艺。例如,CMOS 工艺中的阱形成需要一个高能量、小电流的离子注入设备。形成金属-氧化物-半导体场效应晶体管的源极和漏极需要低能量、大电流的离子注入设备。离子注入区中常用的计量工具有四点探针测试仪、热波系统和光学测量系统(OMS)等。

在薄膜沉积区进行的主要工艺是用于互连应用的电介质和金属薄膜沉积。化学气相沉积(chemical vapor deposition, CVD)工艺被广泛用于金属/电介质薄膜沉积,比如 W 和 TiN 的沉积。另外,由于多级互连应用中对电介质层的温度要求较低,所以通常使用等离子体增强 CVD(PECVD)。基于 O_3 -TEOS 的 CVD 工艺也

被广泛用于沉积硅酸盐玻璃,因为它具有出色的间隙填充能力。氩气溅射刻蚀过程也在薄膜区进行,以帮助电介质沉积的间隙填充。薄膜沉积区通常具备包含 PECVD、 O_3 -TEOS 和氩气溅射室的集群工具。而物理气相沉积(physical vapor deposition, PVD)工具,尤其是溅射沉积工具,则被用来沉积 AlCu、Ti、TiN、Ta 或 TaN 阻挡层和 Cu 种子层。需要注意的是,PVD 工艺通常在真空室中进行,具有非常高的基础真空度,以避免真空中水分带来的不利影响,并尽量减少金属氧化。图 3.2.2.2 展示了一个带有 PVD 室的集成工具,可用于 Ta 或 TaN 阻挡层和 Cu 种子层的沉积。

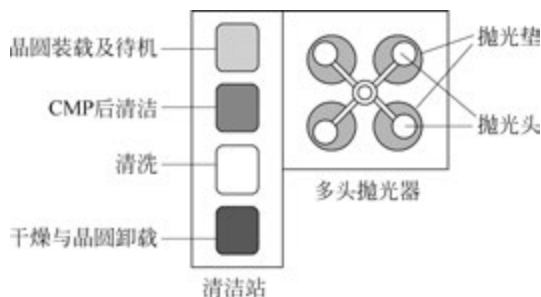


图 3.2.2.2 带有 PVD 室的集成工具示意图

(Introduction to Semiconductor Manufacturing Technology, 图 2.19)

CMP 是一种去除过程,通过机械研磨结合湿化学反应将材料从晶圆表面移走。常用的 CMP 工艺有硅酸盐玻璃 CMP、钨 CMP 和最近开始使用的铜 CMP。CMP 后的清洗步骤是确保 CMP 加工产量的关键步骤。因此,一些 CMP 工具与湿式清洁工具相结合,可以形成所谓的干进干出 CMP 系统。如图 3.2.2.3 所示是一个带有多抛光头的干进干出 CMP 系统。

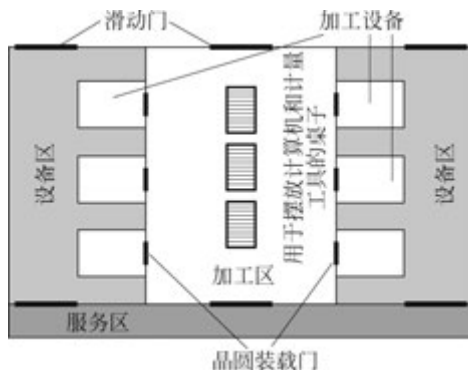


图 3.2.2.3 带有多抛光头的干进干出 CMP 系统

(Introduction to Semiconductor Manufacturing Technology, 图 2.20)

3.3 本章小结

本章主要介绍了芯片制程和芯片工厂两部分。芯片制程包括芯片设计、制造以及封测。芯片制造可归纳为添加、去除、图案化和加热四种基本操作,读者应能回忆起上述基本操作所对应的实例。芯片良率的提升离不开对污染物和颗粒的控制,因此洁净室的设计起到了至关重要的作用。晶圆加工区通常被分成湿法清洗区、扩散区、光照区、刻蚀区、离子注入区、薄膜沉积区和 CMP 区,读者应掌握洁净室和加工区的设计特点及原因。

参考文献

- [1] Xiao H. Introduction to semiconductor manufacturing technology[M]. 2nd ed. Washington: SPIE Press, 2012.
- [2] Doering R, Nishi Y. Handbook of semiconductor manufacturing technology[M]. 2nd ed. New York: CRC Press, 2017.
- [3] Campbell A S. Fabrication engineering at the micro- and nanoscale[M]. 3rd ed. New York: Oxford University Press, 2007.

芯片发展展望

随着芯片工艺节点的演进,芯片随摩尔定律的演进遇到了新一轮的危机,在功耗、性能、成本方面均遇到了发展障碍,这是否意味着摩尔定律的终结?芯片行业是否已经成为夕阳产业?本章将从新材料、新器件、新集成体系与新计算架构四个方面介绍芯片未来的可能发展方向。

4.1 摩尔定律会终结么

摩尔定律作为集成电路产业发展规划的蓝图,在 50 余年集成电路的发展过程中得到了充分的验证。但这个过程并非是一帆风顺的,从 90nm 技术代便有了“摩尔定律终结”的说法。然而科学家通过新工艺、新材料、新结构的引入一次次让摩尔定律“起死回生”。如今台积电的芯片制程节点已经推进到了 3nm,并且 2nm 制程节点芯片的开发也已经全面展开,预计于 2025 年将会实现量产。

一般来讲,我们将 16nm 非经典 CMOS 作为基础器件之后的时代称为“后摩尔时代”。在后摩尔时代,虽然摩尔定律仍然有效,但芯片在设计、制造等方面遇到了许多挑战,导致技术代演进周期增长,摩尔定律速度明显放缓。现代芯片发展具有以下特征。

首先,由于制程不断减小,芯片上器件的特征尺寸缩小到纳米尺度,经典器件物理理论已经无法精准描述其工作原理;需要进一步考虑量子力学效应,如量子限域效应、量子隧穿效应等,这使得传统基于经典理论的器件物理模型将不再完全适用,需要引入量子理论与准经典理论。

其次,由于晶体管演进过程不再按照等比例缩小的方式进行,因此晶体管的功耗无法随着节点同步减小,而芯片集成度仍在不断增加。最终,芯片遇到了“散热

壁垒”。目前工程师采用的解决方法是不再增加单核的时钟频率,转而增加逻辑核数量,从而控制芯片的功耗,如图 4.1.0.1 所示。

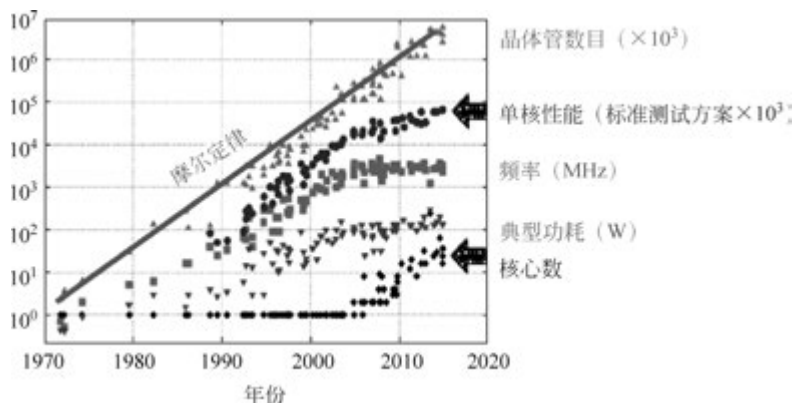


图 4.1.0.1 微处理器参数 50 年变化趋势图(2021 IRDS)

在工艺方面,由于材料进入介观尺度,统计平均性不再适用。在制造工艺中的随机统计涨落会对器件性能产生影响,并且随着器件尺寸的减小,影响越来越大。

此外,由于芯片的集成度不断增加,而器件加工尺寸不断缩小,芯片制造工艺越来越复杂,芯片生产的成本也越来越高。表 4.1.0.1 展示了具有相同晶体管数量的不同工艺节点芯片的成本,从总成本一行可以看出,5nm 工艺节点芯片的成本首次超过了 7nm 工艺节点芯片。这意味着在后摩尔时代芯片的发展在成本方面同样面临着非常严峻的挑战。

表 4.1.0.1 5nm 等效晶体管数量下不同工艺节点芯片的成本

节点/nm	90	65	40	28	20	16/12	10	7	5
量产年份	2004	2006	2009	2011	2014	2015	2017	2018	2020
代工厂卖给设计公司每个芯片的价格(成本+加价)/美元	2433	1428	713	453	399	331	274	233	238
500 万个芯片生产量平均每个芯片的设计成本/美元	630	392	200	135	119	136	121	110	108
每个芯片组装、测试和封装的成本/美元	815	478	239	152	134	111	92	78	80
每个芯片的总生产成本/美元	3877	2298	1152	740	652	577	487	421	426
芯片每年工作的能源成本/美元	9667	7733	3867	2320	1554	622	404	242	194

注:表格摘自 CSET: AI Chips: What They Are and Why They Matter, 表 3。

“芯片每年工作的能源成本”是基于等效晶体管规模计算的。该模型假设各节点芯片拥有与 5nm 节点服务器级 AI 芯片相同的晶体管总数。

综上所述,后摩尔时代的芯片在功耗、性能、面积、成本(power、performance、area、cost,PPAC)四个维度均面临了一定的发展障碍。

未来芯片演进的方向分为新材料、新器件、新集成体系、新计算架构四个主要方向。

4.2 新材料

在芯片发展的黄金年代,晶体管可以只由硅与硅的氧化物制成。然而,节点演进过程不断对器件的功耗与性能提出了更高的要求,单一的硅材料体系无法继续满足这些要求。因此在 90nm 制程时,SiC 与 SiGe 材料被引入,通过对沟道施加应力的方式制造高迁移率沟道;在 45nm 制程时,高 κ 栅介质材料被引入栅介质层以减小栅漏电流、降低功耗。这些成功经验证明,非硅材料体系的引入是后摩尔时代推动芯片发展的重要驱动力之一。

4.2.1 晶体管新材料

随着芯片集成度的上升,晶体管特征尺寸不断缩小,高迁移率半导体材料与栅介质材料获得了越来越多的关注和研究。

高迁移率材料包括以 Ge、SiGe、Ⅲ-V 族化合物为代表的半导体材料与以石墨烯为代表的二维材料家族,它们统一的特征是在纳米尺度下有极高的迁移率。以电子迁移率为例,图 4.2.1.1 展示了不同材料的电子迁移率。

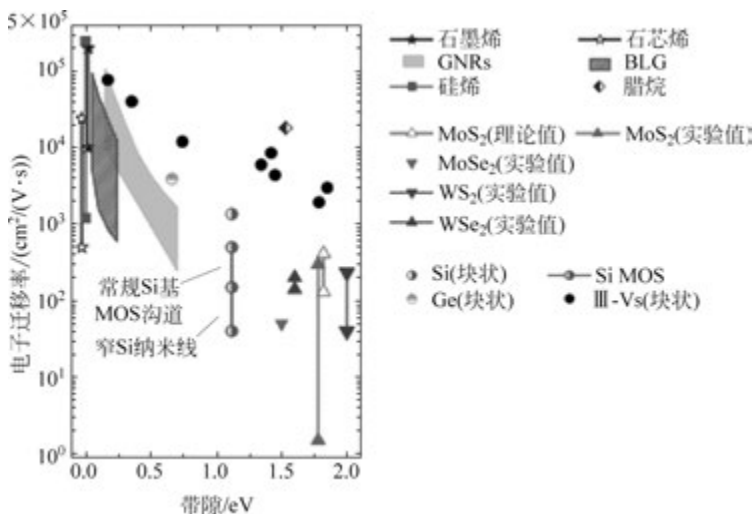


图 4.2.1.1 不同材料的电子迁移率

(<https://pubs.rsc.org/en/content/articlehtml/2015/nr/c5nr01052g>)

更进一步,沟道新材料的引入同时也可以带来载流子输运机制的改变,如在碳纳米管(carbon nanotube,CNT)或硅纳米线场效应管中,由于极致的量子限域效应,载流子发生弹道输运,也即载流子在CNT中不经散射地穿梭于源漏之间。这也体现了材料进入纳米尺度后,材料的性能往往会呈现出不同于宏观体材料的新现象。这些新现象可以被用于构建新的晶体管效应,并由此用来形成新一类量子电子器件与量子芯片,以求突破传统芯片的发展框架。

在栅介质材料方面也不断有新材料涌现。栅介质新材料的关键评价指标是介电常数。材料的介电常数越大,相同厚度材料的等效氧化层厚度越小,因此器件可以在保持较小栅漏电流的情况下增加栅控能力。目前器件中采用的高 κ 材料是 HfO_2 ,未来可能会引入超高 κ 栅介质材料,如 TiO_2 或 SrTiO_2 。

此外,在栅介质材料方面还有一个发展趋势是引入铁电材料,如 $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$ 、 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 、 BiFeO_3 等铁电材料作为栅介质构成负电容(negative capacitance FET,NCFET)。这种器件的优势在于可以实现超过理论极限的亚阈值摆幅,实现超低电源电压,降低电路功耗。该器件会在第13章详细介绍。

4.2.2 化合物半导体材料

以硅基半导体为核心的第一代半导体是芯片中主流的半导体材料,但是低载流子迁移率、间接带隙与带隙较窄的物理性质阻碍了它在射频器件、光电器件与功率器件领域的应用。目前这些器件应用主要被以GaAs、InP为代表的第二代半导体材料与以GaN、SiC为代表的第三代半导体材料所占据。

第二代半导体材料最鲜明的性质是高载流子迁移率与直接带隙,因此是制造高性能微波、毫米波以及发光器件的优良材料,在卫星通信、GPS导航方面有广泛的应用。

第三代半导体材料又被称为宽禁带半导体材料,它的特点是禁带宽度宽、击穿场强大、功率密度大,适合制作大功率器件,在新能源汽车、智能电网等电能变换领域有广泛的应用。

正是由于第二代、第三代半导体在高频器件、光电器件、功率器件等应用方面的巨大优势,有学者提出可以将第二代、第三代半导体材料芯片与硅基芯片通过先进封装的手段进行功能集成,可以实现芯片功能多样化。这一路径被称为“拓展摩尔”,其尝试通过跳出延续摩尔定律不断缩小工艺节点的路线,转而通过功能集成使芯片实现新的价值,从而延续芯片的迭代。

4.2.3 其他材料

芯片中新材料的革新绝不仅仅是停留在器件材料上的,而是涉及芯片的方

面面。在芯片互连技术上,目前主流使用的是芯片铜互连技术。然而随着芯片互连线线宽的降低,铜将不再成为线电阻率最低的材料,钴互连、钌互连、钼互连材料由于更低的电子平均自由程和更小的尺寸效应、更好的抗电迁移性能将成为下一代互连材料。互连层中的层间介质也不断有新材料涌现,如纳米多孔层间介质、介孔层间介质、新型高聚物以及气隙材料。不断引入介电常数更小的材料可以减小芯片的互连串扰与位线电容,提高芯片的工作速度。

在异构集成、芯片组装与芯片封装中,以衬底材料、模塑料、底部填充胶、引线框架、芯片焊接材料为代表的封装材料也在不断突破传统材料体系,迸发创新的星星之火。相关内容将在第 8 章介绍。

4.3 新器件

在芯片发展历史上,一个重要的时间节点是 2011 年,Intel 推出了商业化的 FinFET 技术,并应用于 22nm 制程。直至今日,台积电的 3nm 制程仍使用这一器件结构。可以说 FinFET 器件结构的发明挽救了“摩尔定律的终结”。由此可见,器件结构的创新是后摩尔时代芯片研究与发展核心命题之一。

4.3.1 CMOS 器件

FinFET 器件发展至今也遇到一定的瓶颈,如 FinFET 的栅控能力已经无法满足节点继续演进的需求,因此研究人员提出了 GAA 结构,又称环绕式栅极技术。FinFET 与 GAAFET 结构如图 4.3.1.1 所示。

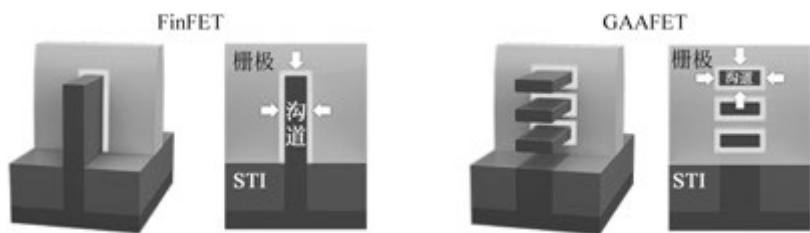


图 4.3.1.1 FinFET 与 GAAFET 结构示意图

(Lam Research, <https://blog.lamresearch.com/finfets-give-way-to-gate-all-around/>)

GAA 结构通过栅对沟道的完全包围实现对短沟道效应更强的控制能力,从而进一步减小漏电流。目前,台积电宣布在 2nm 制程晶体管将会从 FinFET 结构转变为 GAA 结构,三星则宣布在 3nm 制程便会使用 GAA 结构。

GAA 结构后,晶体管的演进可能会聚焦于减小 nMOS 与 pMOS 间距的研究,如 Forksheet 器件结构以及 CFET 器件结构均是这一思路的延续。Forksheet 技术是通

过介质墙将 nMOS 与 pMOS 进行物理隔离,缩小 np 间距,如图 4.3.1.2 所示。图中纵向深灰色的结构即介质墙,其左右两侧深灰色结构分别为 nMOS 与 pMOS。

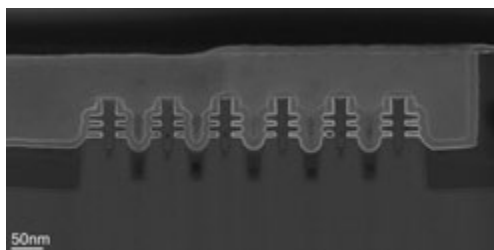


图 4.3.1.2 IMEC 制备的 Forksheet 器件结构

(<https://www.imec-int.com/en/press/imec-reports-first-electrical-demonstration-integrated-forksheet-devices-extend-nanosheets>)

CFET 则是通过将 nMOS 与 pMOS 垂直堆叠,实现 np 间距的最小化,因此 CFET 结构被认为是助力芯片工艺节点进入埃级时代的重要技术之一。CFET 器件示意图如图 4.3.1.3 所示。

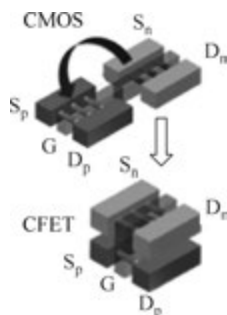


图 4.3.1.3 CFET 器件示意图

(<https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=9265073>)

4.3.2 新型器件

除了上述器件,许多非硅基的超越 CMOS 的新型器件也不断被研究人员提出。对于逻辑器件来说,新型器件按照状态变量可以分为基于电荷的器件与基于其他状态变量的器件。基于电荷的器件包括超快速开通晶体管(如隧穿场效应管、负电容场效应管等),它们的特点在于仍然使用电荷作为信息载体,不过相比于常规 CMOS 器件,它们的优势是有着更小的亚阈值摆幅,因此开关速度更快,开关损耗更低。

基于其他状态变量的器件依靠各式各样的其他信息载体实现逻辑运算与信息

处理。信息载体具体有自旋电子、光子、激子等。相关内容将在第 13 章介绍。

而对于新型存储器件,研究热点主要集中于非电荷存储器,如阻变存储器(RRAM)、自旋转移矩存储器(STT-MRAM)、铁电存储器(FeRAM)等。RRAM 通过材料在电激励下发生高电阻状态与低电阻状态的切换实现信息存储。STT-MRAM 是一种磁存储技术,通过自旋电流写入改变磁隧道结(MTJ)中自由层的磁矩状态,进而影响磁隧道结的电阻状态,实现信息存储。FeRAM 则利用铁电材料的铁电效应实现信息存储。

值得注意的是,上述许多器件的确具有独特的优势与应用潜力,但是相比于传统器件,它们在器件原理的理解深度与器件制造与集成的成熟度上仍有一定的差距,有待进一步研究以弥补这些差距。

4.4 新集成体系

经典芯片集成方式采用的是系统级芯片(system-on-chip, SoC),通过在单一芯片上集成各种功能形成一个片上系统。但随着现代芯片功能越来越复杂,芯片尺寸也越来越大,芯片的设计成本与制造成本越来越高。因此未来发展的方向是将原有的 IP 核转变为单个芯粒,然后通过系统级封装将芯粒集成形成一个封装结构。

引入芯粒技术有以下三点优势:首先,芯粒可以降低设计的难度与风险,加快芯片设计的周期,部分芯粒设计还可以通过模块化实现芯粒的重复使用。其次,芯粒通过拆分不同功能模块可以使不同功能模块使用合适的制程制造,传统的 SoC 在整枚芯片均需使用相同的制程制造,但是往往只有逻辑单元与存储单元性能受制程影响较大,泛模拟单元对制程要求并不高。因此 SoC 芯粒化后可以使不同单元选用合适的制程制造,降低制造成本。最后,芯粒增加了芯片功能的可扩展性,利于芯片功能的多样化,并且为后续应对定制芯片提供了技术路径。

芯粒集成方法目前比较成熟的是 2.5D 封装,台积电的 CoWoS 技术已经在赛灵思的 V7-200T、英伟达的 GP100 等芯片上使用,Intel 的嵌入式多裸片互连接桥(EMIB)技术则在 Stratix 10 上获得了应用。更进一步,芯粒集成方式将转向 3D 封装。不同于 2.5D 封装,3D 封装将芯粒通过硅通孔与微米级片上凸点阵列将多个芯粒垂直堆叠在一起形成芯片。因此 3D 封装会使芯片拥有更高的集成度,提升芯片的性能。目前 3D 封装技术已经得到了初步的应用,2020 年 Intel 在 Lakefield 芯片上即采用了 3D 封装技术——Foveros。未来,芯粒集成技术将会真正转向 3D 集成,不再通过后道工艺使用凸点实现芯粒互连,而是通过前道工艺将不同芯粒中的 Cu 互连线直接键合形成三维电路。台积电的 SoIC 技术与 Intel 的 Foveros

Direct 技术均是采用的这一技术路径。

4.5 新计算架构

目前所有的计算系统都是基于冯·诺依曼架构,也即存储器与处理器在物理上是分开的,数据通过总线在存储器与处理器之间进行传输。但随着数据量的激增以及处理器与存储器性能差距的放大,冯·诺依曼架构计算机出现“内存墙”与“功耗墙”的问题,也即数据在处理器与存储器之间的传输存在较大的时延与能耗问题。这一问题严重限制了现代芯片算力的增长。未来实现算力突破的一个重要途径是采用存算一体技术,从而彻底消除冯·诺依曼架构的算力瓶颈。

传统冯·诺依曼架构与存算一体架构的示意图如图 4.5.0.1 所示,可以看到当数据 D 需要执行操作 f 时,传统架构需要将 D 转移至处理单元中进行,存算一体架构的数据 D 处理则在存储器阵列及其外围电路中进行即可。

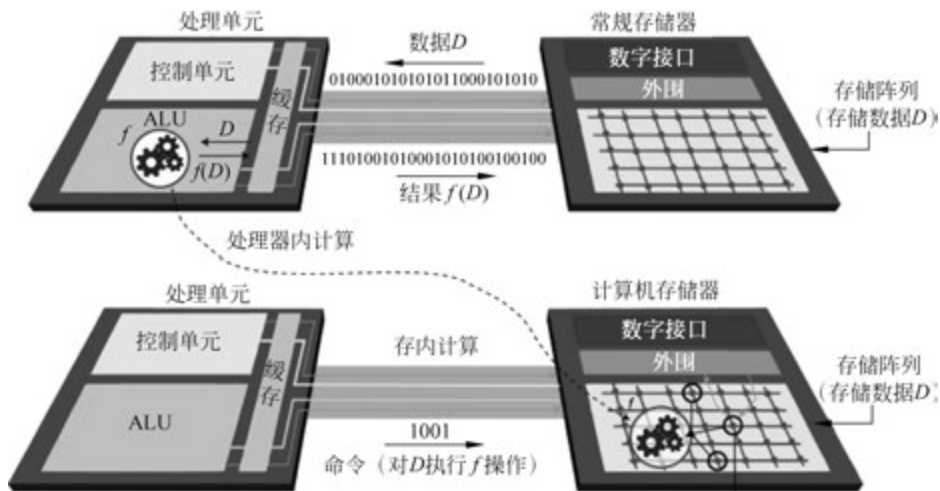


图 4.5.0.1 传统冯·诺依曼架构与存算一体架构的示意图

(改自 <https://www.nature.com/articles/s41565-020-0655-z>)

存内计算既可以通过在现有 DRAM、SRAM 和闪存等存储器中加入逻辑计算电路实现,也可以通过使用新型非易失性存储器实现。第一枚采用存内计算的商用芯片是 UPMEM 于 2019 年发布的产品,如图 4.5.0.2 所示。该产品通过将数据流处理单元(dataflow processing unit,DPU)置于 DRAM 芯片中实现了大数据与 AI 应用运行速度的 20 倍提升,并将时延降低至原来的 1%,能耗降低至原来的 10%,充分显示了存内计算的优越性。

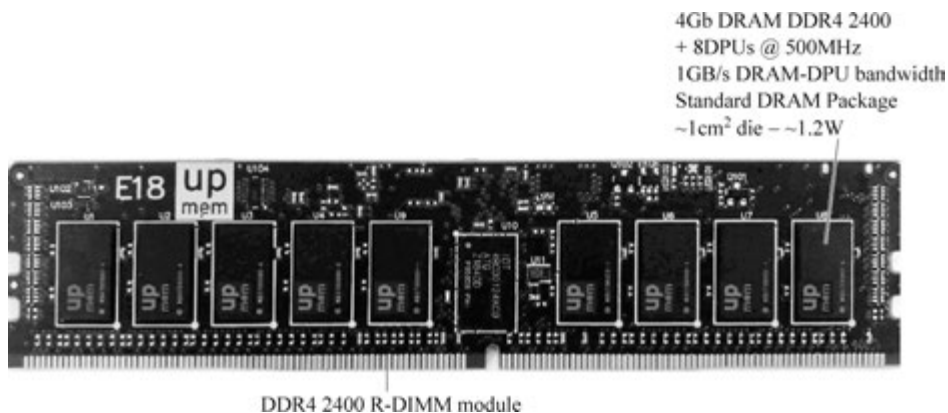


图 4.5.0.2 UPMEM 的存内计算产品图

(<https://www.upmem.com/nextplatform-com-2019-10-03-accelerating-compute-by-cramming-it-into-dram/>)

新型存储器包括 MRAM、PCM 与 RRAM。其中 RRAM 由于高存储密度、低功耗的优点被视为最有潜力的深度神经网络加速方案之一。目前基于 RRAM 的存内计算也是学术界的热点研究方向之一。2022 年 8 月,清华大学集成电路学院的吴华强教授与高滨教授团队利用 RRAM 构建了 Neu RRAM 神经形态芯片。研究人员通过跨层协同优化设计使 Neu RRAM 具备了高效率、高精度、高度通用的优势。这一工作使人工智能离边缘设备应用更近了一步。

未来,以存内计算为代表的非冯·诺依曼芯片架构将成为人工智能时代的重要基石,推动人工智能算法硬件加速,实现后摩尔时代的算力飞跃。

4.6 本章小结

本章首先介绍了后摩尔时代芯片发展遇到的物理障碍、功耗障碍、工艺障碍与成本障碍。之后从新材料、新器件、新集成体系与新计算架构几个方面预测未来芯片的发展。在新材料方面,芯片发展的趋势是材料体系多元化,越来越多的高性能材料将会引入晶体管与芯片工艺中。在新器件方面,未来芯片晶体管虽然在很大程度上会继续按照 CMOS 的路线发展,但同时许多新型器件也会逐渐趋于成熟,有潜力替代 CMOS 器件成为芯片中的主流器件。在集成体系方面,芯片会打破原有 SoC 的集成方式,通过后道乃至前道工艺将芯粒 3D 集成,实现芯片性能的进一步提升。在计算架构方面,未来芯片可能会突破冯·诺依曼架构,通过存算一体的方式提高芯片算力,助力人工智能时代的到来。

参考文献

- [1] 国家自然科学基金委员会,中国科学院.“后摩尔时代”微纳电子学[M].北京:科学出版社,2019.
- [2] 张臣雄. AI 芯片: 前沿技术与创新未来[M]. 北京: 人民邮电出版社,2021.
- [3] 梁新夫. 集成电路系统级封装[M]. 北京: 电子工业出版社,2021.
- [4] Tu L,Wang X,Wang J,et al. Ferroelectric negative capacitance field effect transistor[J]. Advanced Electronic Materials,2018,4(11): 1800231.
- [5] WAN W,Kubendran R,Schaefer C,et al. A compute-in-memory chip based on resistive random-access memory[J]. Nature,2022,608: 504-512.
- [6] Sebastian A,Le Gallo M,Khaddam-Aljameh R,et al. Memory devices and applications for in-memory computing[J]. Nat. Nanotechnol. ,2020,15: 529-544.

第二部分

芯片中的新材料

半导体材料

半导体材料作为信息科学技术最重要的物质基础之一,它的发展与创新是推动信息产业发展的重要引擎。按照三代半导体材料兴起时间的差异,我们将半导体材料分为第一代半导体材料(Si、Ge)、第二代半导体材料(GaAs、InP)、第三代半导体材料(SiC、GaN)。由于材料结构的差异,导致它们的物理性能各有不同,而相异的物理性能则决定了不同的实际应用场景。本章将分别讨论三代半导体材料的结构性能特征、制备加工工艺与实际应用场景。此外,近些年来,许多新兴半导体材料也逐渐崭露头角,如超宽带隙半导体材料、有机半导体材料、铁磁材料、二维材料等,它们的物理性能与潜在应用前景也会在本章介绍。

5.1 第一代半导体材料

5.1.1 硅基半导体材料

1. 硅的基本性质

世界上第一个集成电路是在单晶锗衬底上制成的,但是在 20 世纪 60 年代,硅基半导体迅速替代锗基半导体成为主流半导体材料。时至今日,绝大多数芯片仍采用硅基半导体作为衬底材料。下面首先对硅的基本性质进行介绍。

硅的化学元素符号是 Si,原子序数为 14,相对原子质量是 28.0855,位于元素周期表第 3 周期ⅣA 族。硅在自然界中极少以单质存在,而通常以硅酸盐或二氧化硅的形式广泛存在于岩石、沙砾、尘土中。单质硅表面在室温下很容易被氧化,发生表面自钝化现象,即室温时硅晶体表面容易产生 2.0~3.0nm 的 SiO_2 层。该氧化层易形成且稳定的性质使硅在半导体芯片应用中有非常明显的优势。

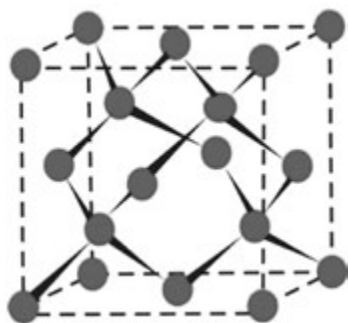


图 5.1.1.1 单晶硅晶体结构基本单元

单质硅最稳定的晶体结构是金刚石结构。金刚石结构是由两个面心立方点阵沿立方晶胞体对角线平移 $1/4$ 嵌套而成的晶体结构,晶格常数为 $5.431\text{\AA}$,属于面心立方布拉维点阵,为立方晶系。图 5.1.1.1 展示了一个单晶硅晶体结构基本单元。

我们将穿过晶体的原子面称为晶面,连接晶体中任意原子列的直线方向称为晶向。一般晶面用 $(m\ n\ p)$ 的形式表示,而晶向用 $[a\ b\ c]$ 的形式表示。在芯片制程中,(100)与(111)是单晶硅晶圆最常用的两个晶面。(100)面常作为 MOSFET 芯片的制作表面,而原子密排的(111)面则由于具有更高的强度,更适于制作需承载较大功率的双极型器件。

在实际制造尺寸为 150mm 以下的晶圆中,常使用一条较长的平边来标识 $[110]$ 晶向,有时也会标记第二条稍短的水平边。根据长边与短边的相对位置,可以判断晶圆的晶面指数以及掺杂类型,如图 5.1.1.2 所示。

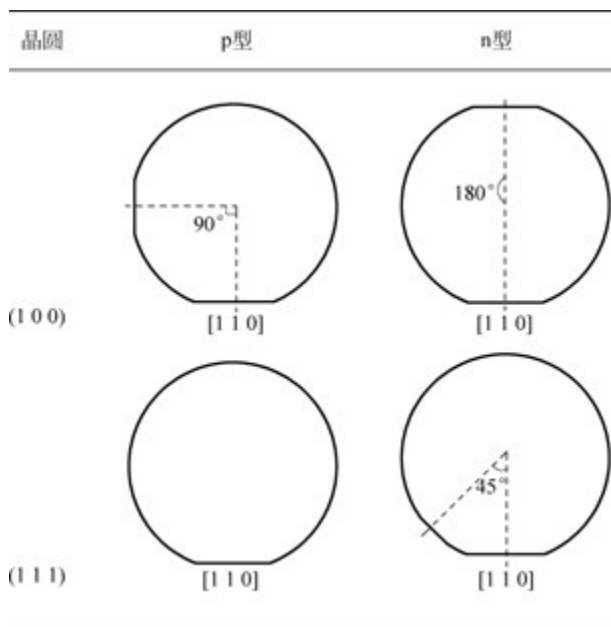


图 5.1.1.2 小晶圆平边晶向标注方法示意图

(Wafer Manufacture, 表 1-3)

对于 200mm 以上的大晶圆来说,常用 V 字切口的方式标记 $[110]$ 晶向,但这种表示方法不会记录晶圆的掺杂类型等信息,如图 5.1.1.3 所示。

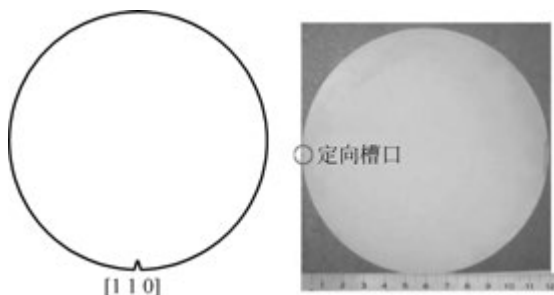


图 5.1.1.3 大晶圆切口晶向标注方法示意图

(Wafer Manufacture, 图 1.3)

晶体会存在各种各样的缺陷,这些缺陷是在晶体生长和晶圆制造过程中引入的。最简单的缺陷类型是点缺陷,而点缺陷又可以分为间隙原子、空位和杂质原子三种类型。间隙原子指的是硅原子进入了晶格中正常点阵格点之间的间隙位置带来的缺陷。独立的空位也称作肖特基(Schottky)缺陷,指的是点阵格点处没有原子占据形成的空位。而如果一个间隙原子和一个空位相距非常近,则将这一对缺陷整体称为弗仑克尔(Frenkel)缺陷。杂质原子则是指外来原子进入晶体内产生的缺陷。根据杂质原子占据的位置不同,又可以分为间隙型杂质和替换型杂质。前者杂质原子位于点阵格点之间,而后者则是杂质原子替代晶体中的原子占据点阵格点。在硅中进行掺杂形成 n 型硅和 p 型硅的过程就是掺杂剂杂质原子在硅中形成替换型杂质原子缺陷。以上提及的点缺陷形式可以参考图 5.1.1.4。

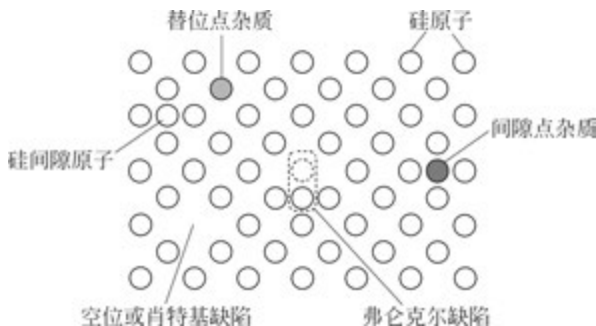


图 5.1.1.4 晶体中的点缺陷示意图

(Introduction to Semiconductor Manufacturing Technology, 图 4.6)

除了点缺陷,晶体中还可能存在线缺陷。位错就是一种典型的线缺陷。在晶圆制造过程中,位错的出现往往还伴随着额外的应力产生,包括温度不均引起的热

应力、外力导致的机械应力或者掺杂剂扩散不均引起的晶格失配,等等。位错可分为刃位错、螺位错和混合位错三类。其中刃位错与螺位错的形成方式如图 5.1.1.5 所示。混合位错则是将螺位错与刃位错特点相互结合形成的位错类型。

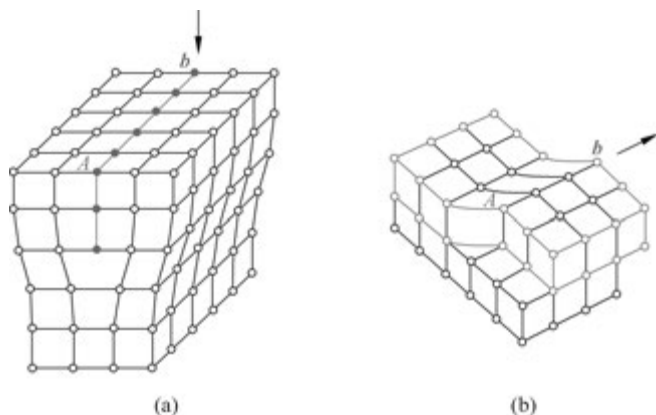


图 5.1.1.5 刃位错与螺位错形成示意图

(Semiconductor Devices: Physics and Technology, 图 11.15)

此外,晶体中还存在面缺陷,但是由于具有面缺陷的晶圆无法用于制作芯片,因此关于面缺陷本书不多加讨论。相关内容可以参考材料科学教材。

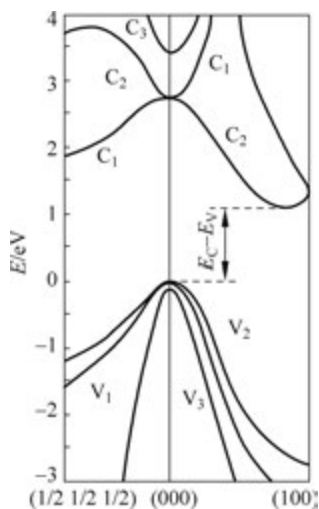


图 5.1.1.6 硅的能带结构

(半导体材料 <https://lib-tsinghua.wqxuetang.com/read/pdf?bid=3211714>)

在芯片制造过程中,点缺陷和线缺陷的密度都需要最小化,因为这些缺陷会使硅中载流子发生散射,增加材料的电阻率,从而影响器件的性能。由于硅表面的缺陷会形成悬垂键,而杂质原子会被这些悬垂键固定,所以在晶圆背面刻意制造缺陷可以将杂质在晶圆背面捕获,防止其移动到抛光面影响正常器件工作。

硅的能带结构如图 5.1.1.6 所示。

硅中导带最小值与价带最大值的差值为 1.12eV,这是硅的禁带宽度。但是硅中导带最小值与价带最大值并不处于同一个波矢位置处,因此硅是间接带隙半导体。当硅发生电子跃迁时需要声子的参与,这导致硅不适于制作光电器件。

硅基半导体材料的物理参数归纳见表 5.1.1.1。

表 5.1.1.1 硅基半导体材料的物理性质参数

物 理 参 数	硅基半导体材料
对称群	O_h^7 -Fd3m
德拜温度/K	374
密度/(g/cm ³)	2.329
相对介电常数	16.2
点阵常数/Å	5.431
带隙/eV	1.12
本征电阻率/(Ω·cm)	2.3×10^5
电子迁移率/(cm ² /(V·s))	1350
空穴迁移率/(cm ² /(V·s))	480
比热/(J/(g·K))	0.31
热膨胀系数/ $\times 10^{-6}$ K ⁻¹	5.9

2. 硅晶圆的制造

半导体工业使用的硅晶圆以石英砂为原料,经还原、纯化,冶炼为高纯硅后再经熔化、结晶、切割、抛光等步骤生产而成。

高纯硅的冶炼工艺流程如图 5.1.1.7 所示。

如图 5.1.1.7 所示,第一步,在高温下用碳还原石英砂制备粗硅:



因为二氧化硅中的硅氧键十分稳定,因此碳还原反应需要在很高的温度下进行。该过程生产的硅的纯度在 98%~99%。在这种纯度范围里的硅称为粗硅,即冶金级硅(metallurgical-grade silicon, MGS)。冶金级硅不能满足芯片的纯度要求,需要对其进一步提纯形成电子级硅。

第二个步骤需要将冶金级硅研磨为细密的粉末,加入反应器中,通过下述化学反应式,在 300℃ 下生成三氯硅烷气体。之后再经过一系列过滤、冷凝、纯化,最终形成浓度在 99.9999999% 的极高纯液态三氯硅烷。



下一个步骤便是将高纯三氯硅烷在氢气中还原为高纯电子级硅(electronic-grade silicon, EGS)。过程的化学反应式如下:



该过程生产的多晶硅棒直径在几十厘米左右,如图 5.1.1.8 所示。

下一道工艺流程是将多晶硅棒熔化并重新结晶制造高纯单晶硅,目前成熟的单晶硅生产方法有两种,分别是提拉(Czochralski, CZ)法和区熔(floating zone, FZ)法。大多数芯片中使用的硅晶圆都是使用提拉法制成的,因为这种方法可以

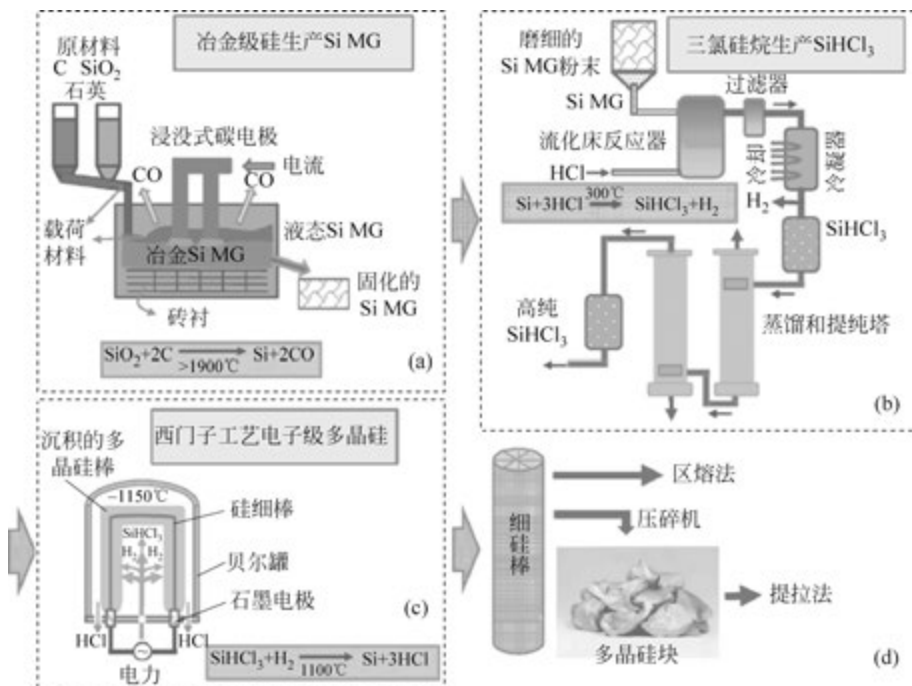


图 5.1.1.7 高纯硅的工艺流程与原理示意图

(a) 冶金级硅的生产过程；(b) 三氯硅烷的生产过程；(c) 多晶电子级硅的生产过程；(d) 多晶高纯硅单晶生长方法
(*Nanoelectric Material、Device、Application*, 图 9.2)



图 5.1.1.8 电子级硅照片

(*Introduction to Semiconductor Manufacturing Technology*, 图 4.10)

制造直径大于 200mm 的硅晶圆并且制造成本低。图 5.1.1.9 展示的是提拉法工艺流程示意图。该过程需要在充满氩气的腔体内进行,以避免污染。

在提拉法中使用射频或电阻加热线圈,将置于缓慢转动的石英坩埚中的高纯硅在 1415°C 熔化,这一温度恰好高于硅的熔点(1414°C),然后将一个安装在慢速转动的夹具上的单晶硅籽晶逐渐降低到熔融的硅液中,之后籽晶表面开始熔化。

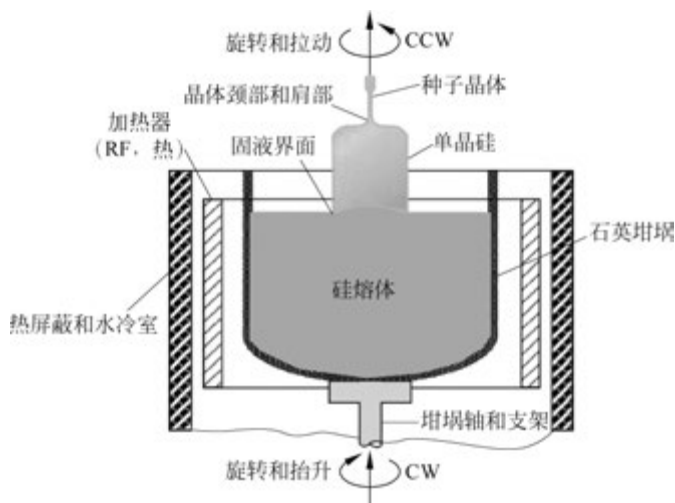


图 5.1.1.9 提拉法工艺流程图

(Wafer Manufacture, 图 2.2)

籽晶的温度被精准控制在刚好略低于硅的熔点。当系统达到热平衡时,籽晶被缓慢提拉出来,同时会有熔融状态的硅被拉出来,并且沿着籽晶的晶向重新结晶。整条单晶硅棒需要经过 48h 的提拉才能最终形成。籽晶的旋转和熔化可以促进掺杂剂在单晶硅棒中均匀分布。在有些情况中(对于 $40\sim 100\Omega\cdot\text{cm}$ 的 n 型晶圆与 $100\sim 200\Omega\cdot\text{cm}$ 的 p 型晶圆),可以通过施加磁场的方式进一步提高掺杂剂的径向均匀性。图 5.1.1.10(a)~(e)展示了晶体垂直提拉工艺过程,熔炼完成的单晶硅棒如图 5.1.1.10(f)所示。

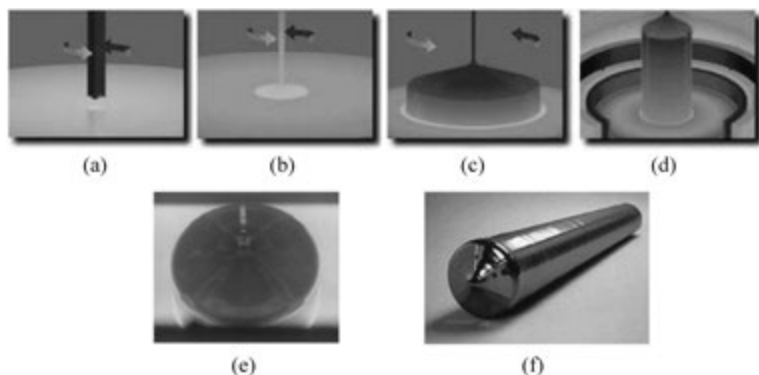


图 5.1.1.10 单晶硅棒及其提拉法生长流程

(Introduction to Semiconductor Manufacturing Technology, 图 4.12)

通过这种方法生产的硅棒直径可通过温度和提拉速度控制。目前我们可以使用自动直径控制(automatic diameter control, ADC)系统对单晶直径进行控制,但是自动化控制系统会由于传感器测量的缘故在晶棒表面留下一系列沟槽,这些沟槽需要在后续工序中打磨去除。此外,通过提拉法生长的硅单晶棒会含有微量的氧杂质和碳杂质,这是由于坩埚材料导致的。提拉法生长的硅单晶氧杂质浓度一般在 $1.0 \times 10^{16} \sim 1.5 \times 10^{18} \text{ cm}^{-3}$,而碳杂质浓度则一般在 $2.0 \times 10^{16} \sim 1.0 \times 10^{17} \text{ cm}^{-3}$ 。硅中氧杂质浓度与碳杂质浓度是单晶硅生长环境气压、提拉速度、旋转速度与单晶半径长度比的复合函数。

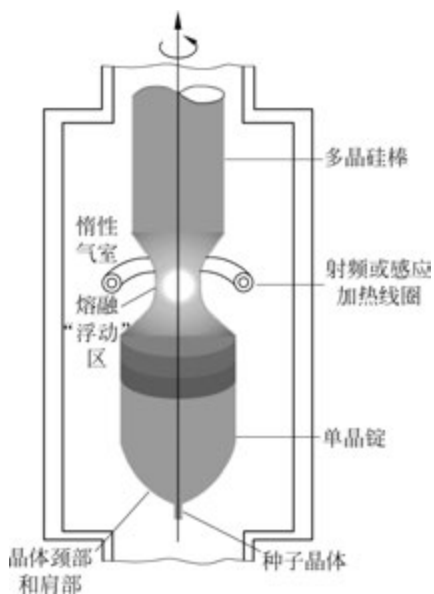


图 5.1.1.11 区熔法示意图
(Wafer Manufacture, 图 2.5)

图 5.1.1.11 是 FZ 法的示意图。与提拉法相同,区熔法也需要在充满氩气的密封环境中进行。

区熔法是将一根多晶硅棒垂直放在反应室中。通过加热线圈将多晶硅棒的底部熔化,然后将籽晶植入已经熔化的区域。熔化硅液会通过表面张力而悬浮在籽晶和多晶硅棒之间。之后将加热线圈缓慢升高,将熔融的硅液上方的多晶硅棒熔化,此时靠近籽晶的熔融硅液重新结晶凝固,并且晶向与籽晶保持一致。当加热线圈扫过整个多晶硅棒时,整条硅棒便转变为单晶硅棒。

区熔法可以制造的最大的晶圆直径为 150mm(提拉法可以制造的最大晶圆直径为 450mm),晶圆直径通过顶部和底部旋转的相对速率控制。

区熔法的优点在于不使用坩埚,因此生产的单晶硅棒中氧杂质和碳杂质含量很低,所以这种方法可以生产纯度很高的硅单晶。但是这种方法也有两个主要的弊端:一是熔融部分与晶体之间的界面很复杂,很难制造没有位错的晶体;二是这种方法的成本更高昂,因为它预制高纯多晶硅棒作为原料,而提拉法可以使用任何高纯硅原料,包括晶圆切割过程中的边角料、硅锭末端的切块等。

无论是哪一种方法生长的单晶硅棒,待硅锭冷却后即可进行机械加工。先将晶圆的两端切除,然后去除由于自动化直径控制系统带来的表面沟槽。之后需要通过平切或者 V 字切口对单晶硅棒的晶向进行标定,如图 5.1.1.12 所示。

完成取向标记的硅锭即可进行切割。因为硅是典型的脆性材料,所以传统的

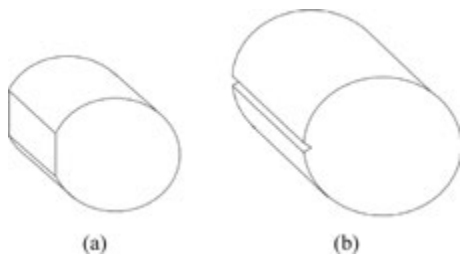


图 5.1.1.12 单晶硅锭晶向标定示意图

(Introduction to Semiconductor Manufacturing Technology, 图 4.14)

金属切割工具并不适用。目前主流的切割工具有内径锯与线锯。内径锯的示意图如图 5.1.1.13 所示,其同心圆环的内部分布有锯刀用于硅锭的切割,因此称为内径锯。

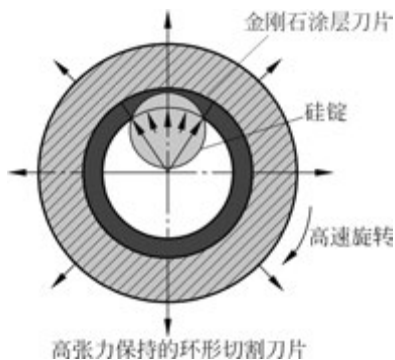


图 5.1.1.13 晶圆切割用内径锯示意图

(Wafer Manufacture, 图 2.11)

内径锯的锯刀上分布有金刚石粉末用于切割硅晶。当内径锯快速转动时,锯刀的运动速度在 $18 \sim 21 \text{ m/s}$ 。当锯刀旋转切过单晶硅棒的横截面时,便完成一次切割。切割过程中必须保持锯刀的稳定,以防止刮伤晶圆表面,造成后续研磨抛光困难。此外,在切割完成后锯刀拉回的过程也要严防锯刀伤害硅晶圆表面。

然而随着晶圆尺寸不断增大,内径锯切割的效率逐渐下降,因此产生了线锯切割的方法。目前线锯切割由于切割效率高、切割得到的晶圆质量好的优势,逐渐取代内径锯切割,成为晶圆切割的主流方法。线锯切割的示意图如图 5.1.1.14 所示。

在完成晶圆的切割后,晶圆的边缘需要经过倒角,形成的圆边可以有效防止后续机械处理过程中发生碎裂的情况。图 5.1.1.15 展示了边缘倒角过程以及倒角效果。

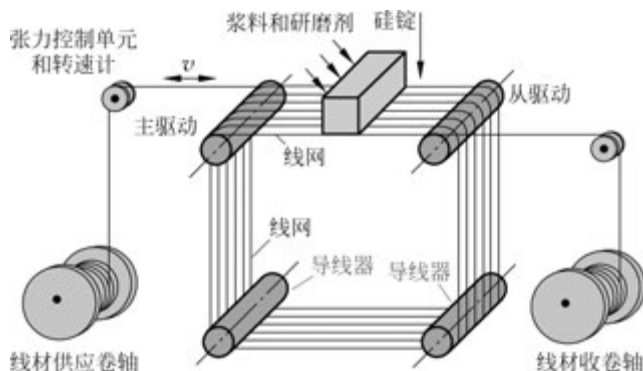


图 5.1.1.14 线锯切割示意图

(Wafer Manufacture, 图 2.11)

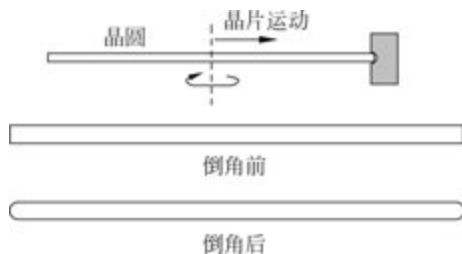


图 5.1.1.15 边缘倒角过程以及倒角效果的展示图

(Introduction to Semiconductor Manufacturing Technology, 图 4.16)

完成切割的晶圆需要经过多道打磨抛光工序以提升表面平整度。首先,使用传统的研磨料进行粗磨抛光,以去除大部分在晶圆切割过程中造成的损伤且创造一个可以进行光刻的平坦表面。这种机械双面研磨过程在加压下进行,使用的研磨液是悬浮有极细氧化铝微粒的甘油。经过这道研磨工序,晶圆的表面平整度在 $2\mu\text{m}$ 左右。

下一道工序是采用湿法刻蚀去除在晶圆切割、边缘倒角与粗磨过程中产生的颗粒与损伤。因为有的切割损伤可能有 $10\mu\text{m}$ 深,因此湿法刻蚀需要在晶圆两侧去除 $10\mu\text{m}$ 深度的硅。常用的刻蚀剂是硝酸(HNO_3)、氢氟酸(HF)以及醋酸(CH_3COOH)组成的混合物。其中硝酸可以将硅氧化为二氧化硅,氢氟酸可以溶解并去除二氧化硅,而醋酸可以辅助控制反应速率。因为含有较高浓度硝酸的溶液可以各向同性地刻蚀硅晶圆表面。发生的化学反应式为



湿法刻蚀后进行化学机械研磨。化学机械研磨过程如图 5.1.1.16 所示。