

第3章 STM32F1 系列 微控制器



本章首先概述 STM32F1 系列微控制器产品,然后介绍 STM32F1 系列微控制器的典型产品 STM32F103ZET6 的内部结构、时钟以及最小系统等内容。

3.1 STM32F1 系列微控制器简介

2007 年 6 月,意法半导体(ST)公司发布了第一款基于 Cortex-M3 并内嵌 32~128KB 闪存的 STM32 微控制器系列产品。STM32 F1 系列基础型 MCU 满足了工业、医疗和消费类市场的各种应用需求。凭借该产品系列,意法半导体在全球 ARM Cortex-M 微控制器领域处于领先地位。该系列产品利用一流的外设和低功耗、低电压操作实现了高性能,同时还可以接受的价格、简单的架构和简便易用的工具得到了开发者认可。该系列包含 5 个产品线,它们的引脚、外设和软件均兼容。

STM32 系列产品命名规则如图 3-1 所示。

各系列的基本特点如下:

- 超值型 STM32F100-24MHz CPU,具有电机控制和 CEC 功能。
- 基本型 STM32F101-36MHz CPU,具有高达 1MB 的 Flash。
- 连接型 STM32F102-48MHz CPU,具备 USB FS device 接口。
- 增强型 STM32F103-72MHz CPU,具有高达 1MB 的 Flash、电机控制、USB 和 CAN。
- 互联型 STM32F105/107-72MHz CPU,具有以太网 MAC、CAN 和 USB 2.0 OTG。

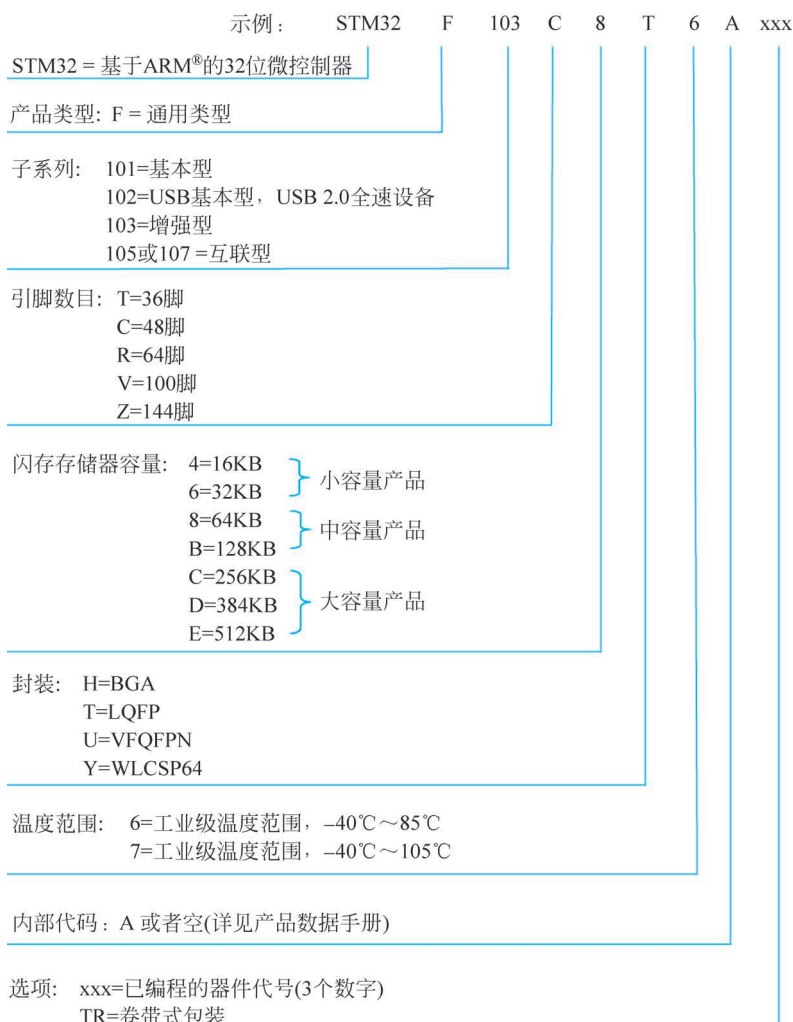


图 3-1 STM32 系列产品命名规则

3.2 STM32F1 系列产品系统构架和 STM32F103ZET6 内部结构

3.2.1 STM32F1 系列产品系统架构

STM32F1 系列产品的系统架构如图 3-2 所示。

STM32F1 系列产品主要由以下部分构成:

- Cortex-M3 内核、ICode 总线、DCode 总线(D-bus)和系统总线(S-bus)。
- 通用 DMA1 和通用 DMA2。
- 内部 SRAM。
- 内部闪存(Flash)存储器。
- FSMC。
- AHB 到 APB 的桥(AHB-APB 桥 1 和 AHB-APB 桥 2),它连接所有的 APB 设备。

上述部件都是通过一个多级的 AHB 总线构架相互连接的。



微课视频

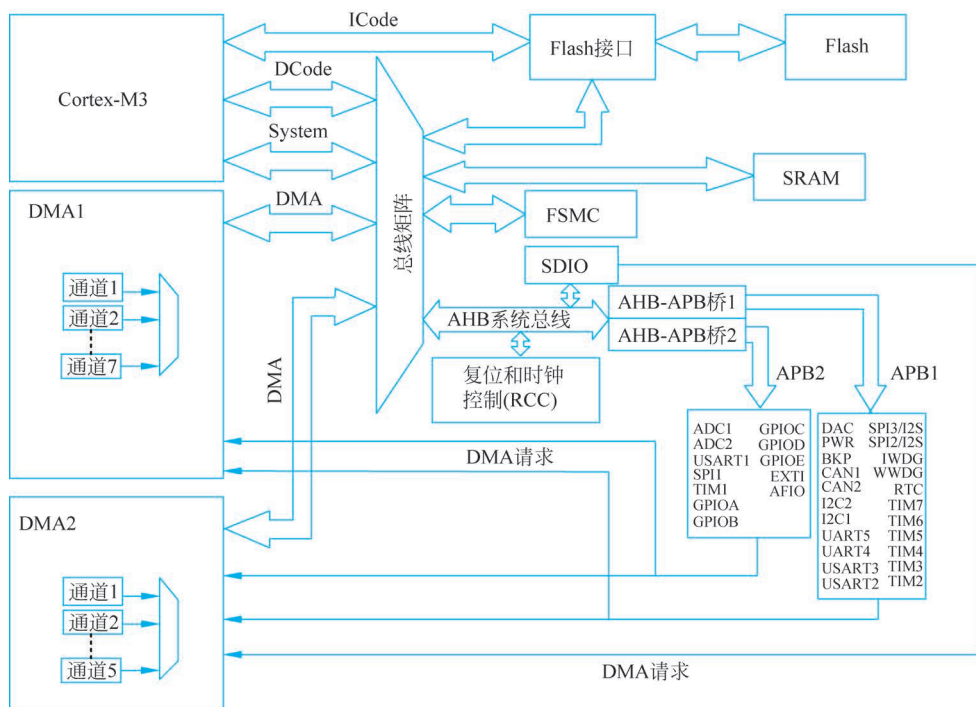


图 3-2 STM32F1 系列产品的系统架构

ICode 总线：该总线将 Cortex-M3 内核的指令总线与闪存指令接口相连接。指令预取在此总线上完成。

DCode 总线：该总线将 Cortex-M3 内核的 DCode 总线与闪存存储器的数据接口相连接(常量加载和调试访问)。

系统总线：此总线连接 Cortex-M3 内核的系统总线(外设总线)到总线矩阵,总线矩阵协调着内核和 DMA 间的访问。

DMA 总线：此总线将 DMA 的 AHB 主控接口与总线矩阵相连,总线矩阵协调着 CPU 的 DCode 和 DMA 到 SRAM、闪存和外设的访问。

总线矩阵：总线矩阵协调内核系统总线和 DMA 主控总线之间的访问仲裁,仲裁采用轮转算法。总线矩阵包含 4 个主动部件(CPU 的 DCode、系统总线、DMA1 总线和 DMA2 总线)和 4 个被动部件(闪存存储器接口、SRAM、FSMC 和两个 AHB-APB 桥)。

AHB 外设通过总线矩阵与系统总线相连,允许 DMA 访问。

AHB-APB 桥：两个 AHB-APB 桥在 AHB 和两个 APB 总线间提供同步连接。APB1 操作速度限于 36MHz,APB2 操作于全速(最高 72MHz)。

上述模块由 AMBA 总线连接到一起。AMBA 总线是 ARM 公司定义的片上总线,已成为一种流行的工业片上总线标准。它包括 AHB 和 APB,前者作为系统总线,后者作为外设总线。

3.2.2 STM32F103ZET6 的内部架构

STM32F103ZET6 的内部架构如图 3-3 所示。STM32F103ZET6 包含以下特性。

(1) 内核。

① ARM 32 位的 Cortex-M3 CPU,最高 72MHz 工作频率,在存储器的 0 等待周期访问

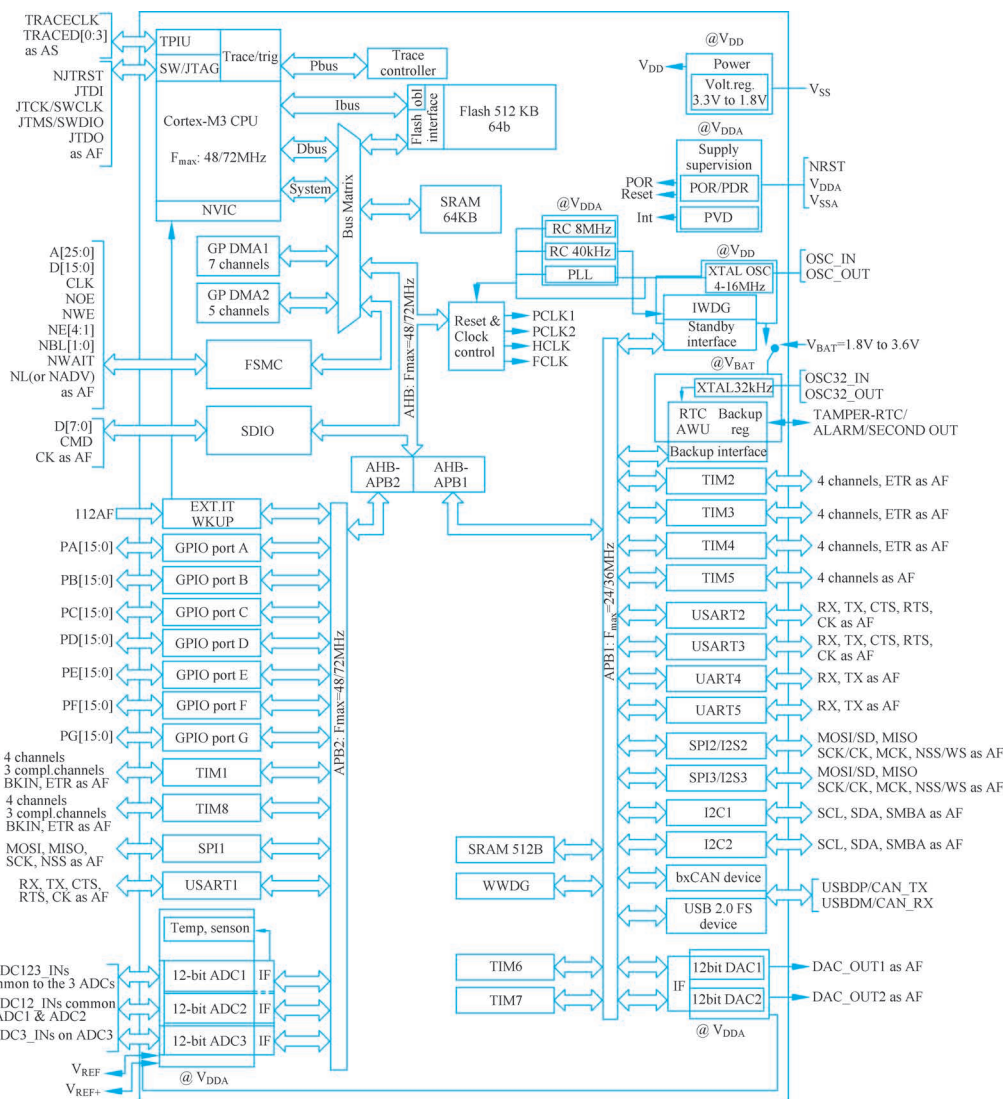


图 3-3 STM32F103ZET6 的内部架构

时可达 1.25DMips/MHz(Dhrystone 2.1)。

② 单周期乘法和硬件除法。

(2) 存储器。

① 512KB 的闪存程序存储器。

② 64KB 的 SRAM。

③ 带有 4 个片选信号的灵活的静态存储器控制器,支持 Compact Flash、SRAM、PSRAM、NOR 和 NAND 存储器。

(3) LCD 并行接口,支持 8080/6800 模式。

(4) 时钟、复位和电源管理。

① 芯片和 I/O 引脚的供电电压为 2.0~3.6V。

② 上电/断电复位(POR/PDR)、可编程电压监测器(PVD)。

③ 4MHz~16MHz 晶体振荡器。

- ④ 内嵌经出厂调校的 8MHz 的 RC 振荡器。
- ⑤ 内嵌带校准的 40kHz 的 RC 振荡器。
- ⑥ 带校准功能的 32kHz RTC 振荡器。
- (5) 低功耗。
 - ① 支持睡眠、停机和待机模式。
 - ② V_{BAT} 为 RTC 和后备寄存器供电。
- (6) 3 个 12 位模数转换器(ADC), $1\mu s$ 转换时间(多达 16 个输入通道)。
 - ① 转换范围: $0\sim 3.6V$ 。
 - ② 采样和保持功能。
 - ③ 温度传感器。
- (7) 2 个 12 位数模转换器(DAC)。
- (8) DMA。
 - ① 12 通道 DMA 控制器。
 - ② 支持的外设包括定时器、ADC、DAC、SDIO、 I^2S 、SPI、 I^2C 和 USART。
- (9) 调试模式。
 - ① 串行单线调试(SWD)和 JTAG 接口。
 - ② Cortex-M3 嵌入式跟踪宏单元(ETM)。
- (10) 快速 I/O 端口(PA~PG)。

多达 7 个快速 I/O 端口,每个端口包含 16 根 I/O 口线,所有 I/O 口可以映像到 16 个外部中断;几乎所有端口均可容忍 5V 信号。

- (11) 多达 11 个定时器。

① 4 个 16 位通用定时器,每个定时器有多达 4 个用于输入捕获/输出比较/PWM 或脉冲计数的通道和增量编码器输入。

- ② 2 个 16 位带死区控制和紧急刹车,用于电机控制的 PWM 高级控制定时器。
- ③ 2 个看门狗定时器(独立看门狗定时器 IWDG 和窗口看门狗定时器 WWDG)。
- ④ 系统滴答定时器: 24 位自减型计数器。
- ⑤ 2 个 16 位基本定时器用于驱动 DAC。

- (12) 多达 13 个通信接口。

- ① 2 个 I^2C 接口(支持 SMBus/PMBus)。
- ② 5 个 USART 接口(支持 ISO7816 接口、LIN、IrDA 兼容接口和调制解调控制)。
- ③ 3 个 SPI 接口(18M 位/秒), 2 个带有 I^2S 切换接口。
- ④ 1 个 CAN 接口(支持 2.0B 协议)。
- ⑤ 1 个 USB 2.0 全速接口。
- ⑥ 1 个 SDIO 接口。

- (13) CRC 计算单元, 96 位的芯片唯一代码。

- (14) LQFP144 封装形式。

- (15) 工作温度: $-40^{\circ}C\sim +105^{\circ}C$ 。

以上特性,使得 STM32F103ZET6 在电机驱动、应用控制、医疗和手持设备、PC 和游戏外设、GPS 平台、工业应用、PLC、逆变器、打印机、扫描仪、报警系统、空调系统等领域非常实用。

3.3 STM32F103ZET6 的存储器映像

STM32F103ZET6 的存储器映像如图 3-4 所示。

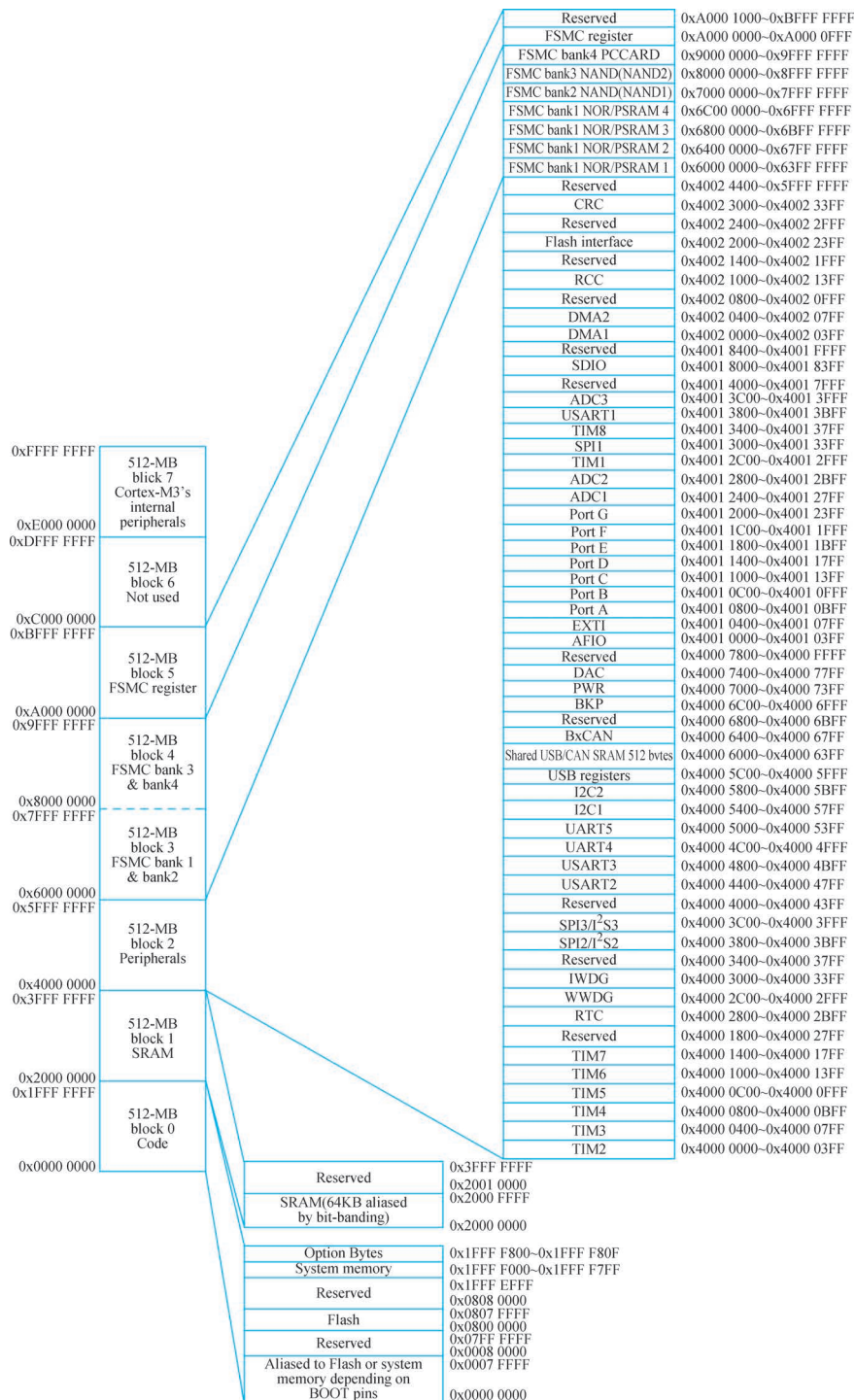


图 3-4 STM32F103ZET6 的存储器映像

程序存储器、数据存储器、寄存器和输入/输出端口被组织在同一个 4GB 的线性地址空间内。可访问的存储器空间被分成 8 个主要的块,每块为 512MB。

数据字节以小端格式存放在存储器中。一个字中的最低地址字节被认为是该字的最低有效字节,而最高地址字节是最高有效字节。

1. STM32F103ZET6 内置外设的地址范围

STM32F103ZET6 中内置外设的地址范围如表 3-1 所示。

表 3-1 STM32F103ZET6 中内置外设的起始范围

地 址 范 围	外 设	所 在 总 线
0x5000 0000~0x5003 FFFF	USB OTG 全速	AHB
0x4002 8000~0x4002 9FFF	以太网	
0x4002 3000~0x4002 33FF	CRC	
0x4002 2000~0x4002 23FF	闪存存储器接口	AHB
0x4002 1000~0x4002 13FF	复位和时钟控制(RCC)	
0x4002 0400~0x4002 07FF	DMA2	
0x4002 0000~0x4002 03FF	DMA1	
0x4001 8000~0x4001 83FF	SDIO	
0x4001 3C00~0x4001 3FFF	ADC3	
0x4001 3800~0x4001 3BFF	USART1	
0x4001 3400~0x4001 37FF	TIM8 定时器	APB2
0x4001 3000~0x4001 33FF	SPI1	
0x4001 2C00~0x4001 2FFF	TIM1 定时器	
0x4001 2800~0x4001 2BFF	ADC2	
0x4001 2400~0x4001 27FF	ADC1	
0x4001 2000~0x4001 23FF	GPIO 端口 G	
0x4001 1C00~0x4001 1FFF	GPIO 端口 F	
0x4001 1800~0x4001 1BFF	GPIO 端口 E	
0x4001 1400~0x4001 17FF	GPIO 端口 D	
0x4001 1000~0x4001 13FF	GPIO 端口 C	
0x4001 0C00~0x4001 0FFF	GPIO 端口 B	
0x4001 0800~0x4001 0BFF	GPIO 端口 A	
0x4001 0400~0x4001 07FF	EXTI	
0x4001 0000~0x4001 03FF	AFIO	
0x4000 7400~0x4000 77FF	DAC	APB1
0x4000 7000~0x4000 73FF	电源控制(PWR)	
0x4000 6C00~0x4000 6FFF	后备寄存器(BKP)	
0x4000 6400~0x4000 67FF	bxCAN	
0x4000 6000~0x4000 63FF	USB/CAN 共享的 512B SRAM	
0x4000 5C00~0x4000 5FFF	USB 全速设备寄存器	
0x4000 5800~0x4000 5BFF	I2C2	
0x4000 5400~0x4000 57FF	I2C1	
0x4000 5000~0x4000 53FF	UART5	

续表

地 址 范 围	外 设	所 在 总 线
0x4000 4C00~0x4000 4FFF	UART4	APB1
0x4000 4800~0x4000 4BFF	USART3	
0x4000 4400~0x4000 47FF	USART2	
0x4000 3C00~0x4000 3FFF	SPI3/I2S3	
0x4000 3800~0x4000 3BFF	SPI2/I2S2	
0x4000 3000~0x4000 33FF	独立看门狗(IWDG)	
0x4000 2C00~0x4000 2FFF	窗口看门狗(WWDG)	
0x4000 2800~0x4000 2BFF	RTC	
0x4000 1400~0x4000 17FF	TIM7 定时器	
0x4000 1000~0x4000 13FF	TIM6 定时器	
0x4000 0C00~0x4000 0FFF	TIM5 定时器	
0x4000 0800~0x4000 0BFF	TIM4 定时器	
0x4000 0400~0x4000 07FF	TIM3 定时器	
0x4000 0000~0x4000 03FF	TIM2 定时器	

以下没有分配给片上存储器和外设的存储器空间都是保留的地址空间：

0x4000 1800~0x4000 27FF、0x4000 3400~0x4000 37FF、0x4000 4000~0x4000 43FF、0x4000 6800~0x4000 6BFF、0x4000 7800~0x4000 FFFF、0x4001 4000~0x4001 7FFF、0x4001 8400~0x4001 FFFF、0x4002 0800~0x4002 0FFF、0x4002 1400~0x4002 1FFF、0x4002 2400~0x4002 2FFF、0x4002 4400~0x5FFF FFFF。

其中每个地址范围的第一个地址为对应外设的首地址，该外设的相关寄存器地址都可以用“首地址+偏移量”的方式找到其绝对地址。

2. 嵌入式 SRAM

STM32F103ZET6 内置 64KB 的静态 SRAM。它可以以字节、半字(16 位)或字(32 位)访问。SRAM 的起始地址是 0x2000 0000。

Cortex-M3 存储器映像包括两个位带区。这两个位带区将别名存储器区中的每个字映射到位带存储器区的一个位，在别名存储区写入一个字具有对位带区的目标位执行读-改-写操作的相同效果。

在 STM32F103ZET6 中，外设寄存器和 SRAM 都被映射到位带区里，允许执行位带的写和读操作。

下面的映射公式给出了别名区中的每个字是如何对应位带区的相应位：

$$\text{bit_word_addr} = \text{bit_band_base} + (\text{byte_offset} \times 32) + (\text{bit_number} \times 4)$$

其中：

bit_word_addr 是别名存储器区中字的地址，它映射到某个目标位。

bit_band_base 是别名区的起始地址。

byte_offset 是包含目标位的字节在位带中的序号。

bit_number 是目标位所在位置(0~31)。

下面的例子说明如何映射别名区中 SRAM 地址为 0x20000300 的字节中的位 2：

$$0x22006008 = 0x22000000 + (0x300 \times 32) + (2 \times 4)$$

对 0x22006008 地址的写操作与对 SRAM 中地址为 0x20000300 的字节的位 2 执行读-改-写操作有着相同的效果。

读 0x22006008 地址返回 SRAM 中地址为 0x20000300 的字节的位 2 的值(0x01 或 0x00)。

3. 嵌入式闪存

高达 512KB 闪存存储器,由主存储块和信息块组成:主存储块容量为 64K×64 位,每个存储块划分为 256 个 2KB 的页。信息块容量为 258×64 位。

闪存模块的组织如表 3-2 所示。

表 3-2 闪存模块的组织

模 块	名 称	地 址	大小/B
主存储块	页 0	0x0800 0000~0x0800 07FF	2K
	页 1	0x0800 0800~0x0800 0FFF	2K
	页 2	0x0800 1000~0x0800 17FF	2K
	页 3	0x0800 1800~0x0800 1FFF	2K
	...	...	...
	页 255	0x0807 F800~0x0807 FFFF	2K
信息块	系统存储器	0x1FFF F000~0x1FFF F7FF	2K
	选择字节	0x1FFF F800~0x1FFF F80F	16
闪存存储器接口寄存器	FLASH_ACR	0x4002 2000~0x4002 2003	4
	FALSH_KEYR	0x4002 2004~0x4002 2007	4
	FLASH_OPTKEYR	0x4002 2008~0x4002 200B	4
	FLASH_SR	0x4002 200C~0x4002 200F	4
	FLASH_CR	0x4002 2010~0x4002 2013	4
	FLASH_AR	0x4002 2014~0x4002 2017	4
	保留	0x4002 2018~0x4002 201B	4
	FLASH_OBR	0x4002 201C~0x4002 201F	4
	FLASH_WRP	0x4002 2020~0x4002 2023	4

闪存存储器接口的特性为:

- 带预取缓冲器的读接口(每字为 2×64 位)。
- 选择字节加载器。
- 闪存编程/擦除操作。
- 访问/写保护。

闪存的指令和数据访问是通过 AHB 总线完成的。预取模块通过 ICode 总线读取指令。仲裁作用在闪存接口,并且 DCode 总线上的数据访问优先。读访问可以有以下配置选项。

- 等待时间:可以随时更改的用于读取操作的等待状态的数量。
- 预取缓冲区(2 个 64 位):在每一次复位以后被自动打开,由于每个缓冲区的大小(64 位)与闪存的带宽相同,因此只需通过一次读闪存的操作即可更新整个缓冲区的内容。由于预取缓冲区的存在,CPU 可以工作在更高的主频。CPU 每次取指最多为 32 位的字,取一条指令时,下一条指令已经在缓冲区中等待。

3.4 STM32F103ZET6 的时钟结构



微课视频

STM32 系列微控制器中,有 5 个时钟源:高速内部时钟(High Speed Internal, HSI)、高速外部时钟(High Speed External, HSE)、低速内部时钟(Low Speed Internal, LSI)、低速外部时钟(Low Speed External, LSE)、锁相环倍频输出(Phase Locked Loop, PLL)。STM32F103ZET6 的时钟系统呈树状结构,因此也称为时钟树,如图 3-5 所示。

STM32F103ZET6 具有多个时钟频率,分别供给内核和不同外设模块使用。高速时钟供中央处理器等高速设备使用,低速时钟供外设等低速设备使用。HSI、HSE 或 PLL 可用于驱动系统时钟(SYSCLK)。

LSI、LSE 作为二级时钟源。40kHz 低速内部 RC 时钟可以用于驱动独立看门狗和通过程序选择驱动 RTC。RTC 用于从停机/待机模式下自动唤醒系统。

32.768kHz 低速外部晶体也可用来通过程序选择驱动 RTC(RTCCLK)。

当某个部件不被使用时,任一个时钟源都可被独立地启动或关闭,由此优化系统功耗。

用户可通过多个预分频器配置 AHB、高速 APB(APB2)和低速 APB(APB1)的频率。AHB 和 APB2 的最大频率是 72MHz。APB1 的最大允许频率是 36MHz。SDIO 接口的时钟频率固定为 HCLK/2。

RCC 通过 AHB 时钟(HCLK)8 分频后作为 Cortex 系统定时器(Systick)的外部时钟。通过对 Systick 控制与状态寄存器的设置,可选择上述时钟或 Cortex(HCLK)时钟作为 Systick 时钟。ADC 时钟由高速 APB2 时钟经 2、4、6 或 8 分频后获得。

定时器时钟频率分配由硬件按以下两种情况自动设置:

- (1) 如果相应的 APB 预分频系数是 1,定时器的时钟频率与所在 APB 总线频率一致。
- (2) 否则,定时器的时钟频率被设为与其相连的 APB 总线频率的 2 倍。

FCLK 是 Cortex-M3 处理器的自由运行时钟。

STM32 处理器因为低功耗的需要,各模块需要分别独立开启时钟。因此,当需要使用某个外设模块时,务必要先使能对应的时钟。否则,这个外设不能工作。

1. HSE 时钟

高速外部时钟信号(HSE)可以由外部晶体/陶瓷谐振器产生,也可以由用户外部时钟产生。一般采用外部晶体/陶瓷谐振器产生 HSE 时钟。在 OSC_IN 和 OSC_OUT 引脚之间连接 4MHz~16MHz 外部振荡器为系统提供精确的主时钟,具体连接方式如图 3-6 所示。

为了减少时钟输出的失真和缩短启动稳定时间,晶体/陶瓷谐振器和负载电容器必须尽可能地靠近振荡器引脚。负载电容值必须根据所选择的振荡器来调整。

2. HSI 时钟

HSI 时钟信号由内部 8MHz 的 RC 振荡器产生,可直接作为系统时钟或在 2 分频后作为 PLL 输入。

HSI RC 振荡器能够在不需要任何外部器件的条件下提供系统时钟。它的启动时间比 HSE 晶体振荡器短。然而,即使在校准之后它的时钟频率精度仍较差。如果 HSE 晶体振荡器失效,HSI 时钟会被作为备用时钟源。

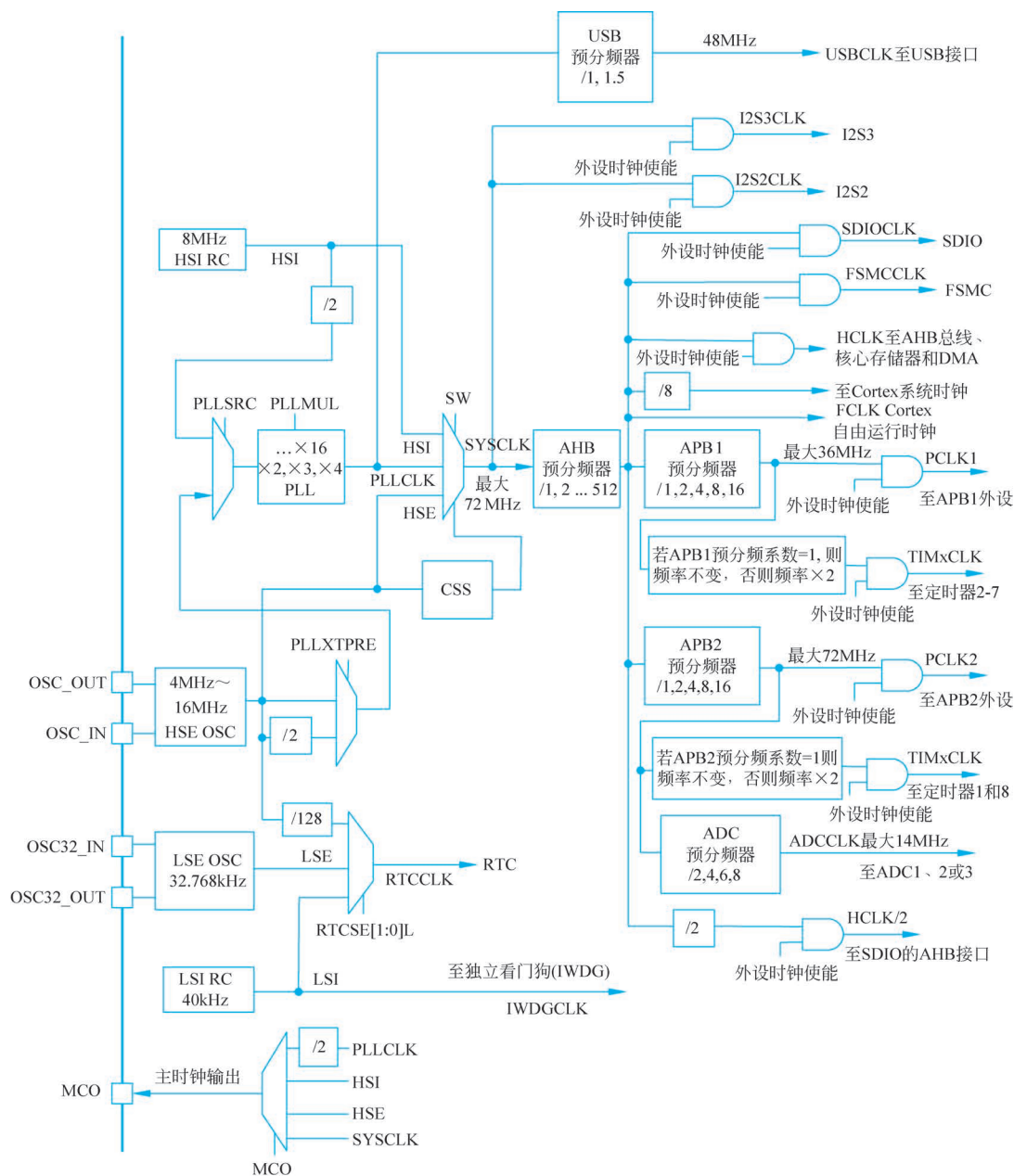


图 3-5 STM32F103ZET6 的时钟树*

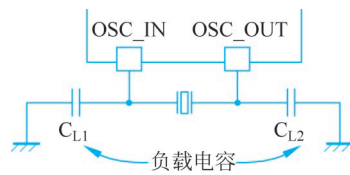


图 3-6 外部晶体的电路连接

* 本书电路符号采用国际符号,与国标符号的对应请见附录 B。

3. PLL

内部 PLL 可以用于倍频 HSI RC 的输出时钟或 HSE 晶体输出时钟。PLL 的设置(选择 HSI 振荡器除 2 或 HSE 振荡器为 PLL 的输入时钟,并选择倍频因子)必须在其被激活前完成。一旦 PLL 被激活,这些参数就不能被改动。

如果需要在应用中使用 USB 接口,PLL 必须被设置为输出 48 或 72MHz 时钟,用于提供 48MHz 的 USBCLK 时钟。

4. LSE 时钟

LSE 晶体是一个 32.768kHz 的低速外部晶体或陶瓷谐振器。它为实时时钟或者其他定时功能提供一个低功耗且精确的时钟源。

5. LSI 时钟

LSI RC 担当着低功耗时钟源的角色,它可以在停机和待机模式下保持运行,为独立看门狗和自动唤醒单元提供时钟。LSI 时钟频率大约 40kHz(在 30kHz 和 60kHz 之间)。

6. 系统时钟(SYSCLK)选择

系统复位后,HSI 振荡器被选为系统时钟。当时钟源被直接或通过 PLL 间接作为系统时钟时,它将不能被停止。只有当目标时钟源准备就绪了(经过启动稳定阶段的延迟或 PLL 稳定),从一个时钟源到另一个时钟源的切换才会发生。在被选择时钟源没有就绪时,系统时钟的切换不会发生。直至目标时钟源就绪,才发生切换。

7. RTC 时钟

通过设置备份域控制寄存器(RCC_BDCR)里的 RTCSEL[1:0]位,RTCCLK 时钟源可以由 HSE/128、LSE 或 LSI 时钟提供。除非备份域复位,此选择不能被改变。LSE 时钟在备份域里,但 HSE 和 LSI 时钟不是。因此:

(1) 如果 LSE 被选为 RTC 时钟,只要 VBAT 维持供电,尽管 VDD 供电被切断,RTC 仍可继续工作。

(2) LSI 被选为自动唤醒单元(AWU)时钟时,如果切断 VDD 供电,不能保证 AWU 的状态。

(3) 如果 HSE 时钟 128 分频后作为 RTC 时钟,VDD 供电被切断或内部电压调压器被关闭(1.8V 域的供电被切断)时,RTC 状态不确定。必须设置电源控制寄存器的 DPB 位(取消后备区域的写保护)为 1。

8. 看门狗时钟

如果独立看门狗已经由硬件选项或软件启动,LSI 振荡器将被强制在打开状态,并且不能被关闭。在 LSI 振荡器稳定后,时钟供应给 IWDG。

9. 时钟输出

微控制器允许输出时钟信号到外部 MCO 引脚。相应的 GPIO 端口寄存器必须被配置为相应功能。可被选作 MCO 时钟的时钟信号有 SYSCLK、HSI、HSE、PLL 时钟/2。

3.5 STM32F103VET6 的引脚

STM32F103VET6 比 STM32F103ZET6 少了两个口: PF 口和 PG 口,其他资源一样。为了简化描述,后续的内容以 STM32F103VET6 为例进行介绍。STM32F103VET6 采用

LQFP100 封装,引脚图如图 3-7 所示。

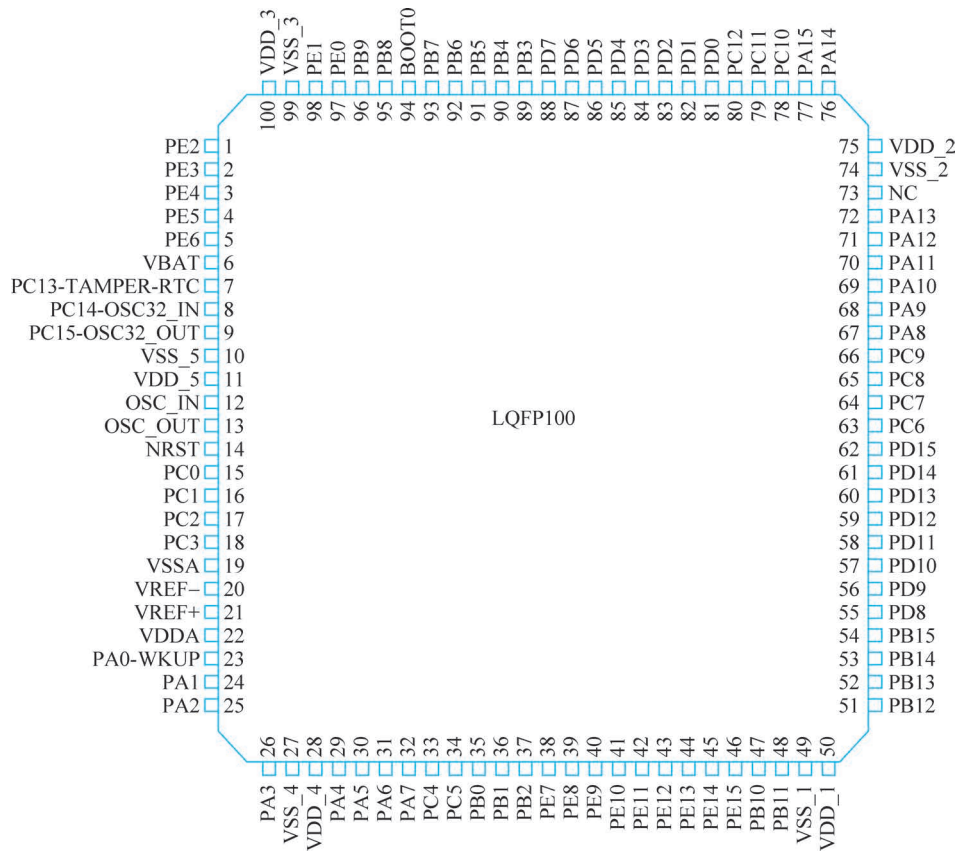


图 3-7 STM32F103VET6 的引脚图

1. 引脚定义

STM32F103VET6 的引脚定义如表 3-3 所示。

表 3-3 STM32F103VET6 的引脚定义

引脚 编号	引 脚 名 称	类型	I/O 电平	复位后的 主要功能	复 用 功 能	
					默 认 情 况	重映射后
1	PE2	I/O	FT	PE2	TRACECK/FSMC_A23	
2	PE3	I/O	FT	PE3	TRACED0/FSMC_A19	
3	PE4	I/O	FT	PE4	TRACED1/FSMC_A20	
4	PE5	I/O	FT	PE5	TRACED2/FSMC_A21	
5	PE6	I/O	FT	PE6	TRACED3/FSMC_A22	
6	VBAT	S		V _{BAT}		
7	PC13-TAMPER-RTC	I/O		PC13	TAMPER-RTC	
8	PC14-OSC32_IN	I/O		PC14	OSC32_IN	
9	PC15-OSC32_OUT	I/O		PC15	OSC32_OUT	
10	VSS_5	S		VSS_5		
11	VDD_5	S		VDD_5		

续表

引脚 编号	引 脚 名 称	类型	I/O 电平	复位后的 主要功能	复 用 功 能	
					默 认 情 况	重映射后
12	OSC_IN	I		OSC_IN		
13	OSC_OUT	O		OSC_OUT		
14	NRST	I/O		NRST		
15	PC0	I/O		PC0	ADC123_IN10	
16	PC1	I/O		PC1	ADC123_IN11	
17	PC2	I/O		PC2	ADC123_IN12	
18	PC3	I/O		PC3	ADC123_IN13	
19	VSSA	S		VSSA		
20	VREF—	S		VREF—		
21	VREF+	S		VREF+		
22	VDDA	S		VDDA		
23	PA0-WKUP	I/O		PA0	WKUP/USART2_CTS/ADC123_IN0/TIM2_CH1_ETR/TIM5_CH1/TIM8_ETR	
24	PA1	I/O		PA1	USART2_RTS/ADC123_IN1/TIM5_CH2/TIM2_CH2	
25	PA2	I/O		PA2	USART2_TX/TIM5_CH3/ADC123_IN2/TIM2_CH3	
26	PA3	I/O		PA3	USART2_RX/TIM5_CH4/ADC123_IN3/TIM2_CH4	
27	VSS_4	S		VSS_4		
28	VDD_4	S		VDD_4		
29	PA4	I/O		PA4	SPI1_NSS/USART2_CK/DAC_OUT1/ADC12_IN4	
30	PA5	I/O		PA5	SPI1_SCK/DAC_OUT2/ADC12_IN5	
31	PA6	I/O		PA6	SPI1_MISO/TIM8_BKIN/ADC12_IN6/TIM3_CH1	TIM1_BKIN
32	PA7	I/O		PA7	SPI1_MOSI/TIM8_CH1N/ADC12_IN7/TIM3_CH2	TIM1_CH1N
33	PC4	I/O		PC4	ADC12_IN14	
34	PC5	I/O		PC5	ADC12_IN15	
35	PB0	I/O		PB0	ADC12_IN8/TIM3_CH3/TIM8_CH2N	TIM1_CH2N
36	PB1	I/O		PB1	ADC12_IN9/TIM3_CH4/TIM8_CH3N	TIM1_CH3N
37	PB2	I/O	FT	PB2/BOOT1		
38	PE7	I/O	FT	PE7	FSMC_D4	TIM1_ETR
39	PE8	I/O	FT	PE8	FSMC_D5	TIM1_CH1N
40	PE9	I/O	FT	PE9	FSMC_D6	TIM1_CH1
41	PE10	I/O	FT	PE10	FSMC_D7	TIM1_CH2N

续表

引脚 编号	引 脚 名 称	类型	I/O 电平	复位后的 主要功能	复 用 功 能	
					默 认 情 况	重映射后
42	PE11	I/O	FT	PE11	FSMC_D8	TIM1_CH2
43	PE12	I/O	FT	PE12	FSMC_D9	TIM1_CH3N
44	PE13	I/O	FT	PE13	FSMC_D10	TIM1_CH3
45	PE14	I/O	FT	PE14	FSMC_D11	TIM1_CH4
46	PE15	I/O	FT	PE15	FSMC_D12	TIM1_BKIN
47	PB10	I/O	FT	PB10	I2C2_SCL/USART3_TX	TIM2_CH3
48	PB11	I/O	FT	PB11	I2C2_SDA/USART3_RX	TIM2_CH4
49	VSS_1	S		VSS_1		
50	VDD_1	S		VDD_1		
51	PB12	I/O	FT	PB12	SPI2_NSS/I2S2_WS/I2C2_SMBA/ USART3_CK/TIM1_BKIN	
52	PB13	I/O	FT	PB13	SPI2_SCK/I2S2_CK/USART3_ CTS/TIM1_CH1N	
53	PB14	I/O	FT	PB14	SPI2_MISO/TIM1_CH2N/ USART3_RTS/	
54	PB15	I/O	FT	PB15	SPI2_MOSI/I2S2_SD/TIM1_CH3N	
55	PD8	I/O	FT	PD8	FSMC_D13	USART3_TX
56	PD9	I/O	FT	PD9	FSMC_D14	USART3_RX
57	PD10	I/O	FT	PD10	FSMC_D15	USART3_CK
58	PD11	I/O	FT	PD11	FSMC_A16	USART3_CTS
59	PD12	I/O	FT	PD12	FSMC_A17	TIM4_CH1/ USART3_RTS
60	PD13	I/O	FT	PD13	FSMC_A18	TIM4_CH2
61	PD14	I/O	FT	PD14	FSMC_D0	TIM4_CH3
62	PD15	I/O	FT	PD15	FSMC_D1	TIM4_CH4
63	PC6	I/O	FT	PC6	I2S2_MCK/TIM8_CH1/SDIO_D6	TIM3_CH1
64	PC7	I/O	FT	PC7	I2S3_MCK/TIM8_CH2/SDIO_D7	TIM3_CH2
65	PC8	I/O	FT	PC8	TIM8_CH3/SDIO_D0	TIM3_CH3
66	PC9	I/O	FT	PC9	TIM8_CH4/SDIO_D1	TIM3_CH4
67	PA8	I/O	FT	PA8	USART1_CK/TIM1_CH1/MCO	
68	PA9	I/O	FT	PA9	USART1_TX/TIM1_CH2	
69	PA10	I/O	FT	PA10	USART1_RX/TIM1_CH3	
70	PA11	I/O	FT	PA11	USART1_CTS/USBDM/CAN_ RX/TIM1_CH4	
71	PA12	I/O	FT	PA12	USART1_RTS/USBDP/CAN_ TX/TIM1_ETR	
72	PA13	I/O	FT	JTMS-SWDIO		PA13
73	NC					
74	VSS_2	S		VSS_2		
75	VDD_2	S		VDD_2		
76	PA14	I/O	FT	JTCK-SWCLK		PA14

续表

引脚 编号	引 脚 名 称	类型	I/O 电平	复位后的 主要功能	复 用 功 能	
					默 认 情 况	重映射后
77	PA15	I/O	FT	JTDI	SPI3_NSS/I2S3_WS	TIM2_CH1_ETR PA15/SPI1_NSS
78	PC10	I/O	FT	PC10	UART4_TX/SDIO_D2	USART3_TX
79	PC11	I/O	FT	PC11	UART4_RX/SDIO_D3	USART3_RX
80	PC12	I/O	FT	PC12	UART5_TX/SDIO_CK	USART3_CK
81	PD0	I/O	FT	PD0	FSMC_D2	CAN_RX
82	PD1	I/O	FT	PD1	FSMC_D3	CAN_TX
83	PD2	I/O	FT	PD2	TIM3_ETR/UART5_RX/SDIO_CMD	
84	PD3	I/O	FT	PD3	FSMC_CLK	USART2_CTS
85	PD4	I/O	FT	PD4	FSMC_NOE	USART2_RTS
86	PD5	I/O	FT	PD5	FSMC_NWE	USART2_TX
87	PD6	I/O	FT	PD6	FSMC_NWAIT	USART2_RX
88	PD7	I/O	FT	PD7	FSMC_NE1/FSMC_NCE2	USART2_CK
89	PB3	I/O	FT	JTDO	SPI3_SCK/I2S3_CK	PB3/TRACESWO TIM2_CH2/SPI1_SCK
90	PB4	I/O	FT	NJTRST	SPI3_MISO	PB4/TIM3_CH1 SPI1_MISO
91	PB5	I/O		PB5	I2C1_SMBA/SPI3_MOSI/I2S3_SD	TIM3_CH2/SPI1_MOSI
92	PB6	I/O	FT	PB6	I2C1_SCL/TIM4_CH1	USART1_TX
93	PB7	I/O	FT	PB7	I2C1_SDA/FSMC_NADV/TIM4_CH2	USART1_RX
94	BOOT0	I		BOOT0		
95	PB8	I/O	FT	PB8	TIM4_CH3/SDIO_D4	I2C1_SCL/CAN_RX
96	PB9	I/O	FT	PB9	TIM4_CH4/SDIO_D5	I2C1_SDA/CAN_TX
97	PE0	I/O	FT	PE0	TIM4_ETR/FSMC_NBL0	
98	PE1	I/O	FT	PE1	FSMC_NBL1	
99	VSS_3	S		VSS_3		
100	VDD_3	S		VDD_3		

注：(1) I=输入(input),O=输出(output),S=电源(supply)。

(2) FT=可忍受 5V 电压。

2. 启动配置引脚

在 STM32F103VET6 中,可以通过 BOOT[1:0]引脚选择 3 种不同的启动模式。STM32F103VET6 的启动配置如表 3-4 所示。

表 3-4 STM32F103VET6 的启动配置

启动模式选择引脚		启动模式	说明
BOOT1	BOOT0		
X	0	主闪存存储器	主闪存存储器被选为启动区域
0	1	系统存储器	系统存储器被选为启动区域
1	1	内置 SRAM	内置 SRAM 被选为启动区域

系统复位后,在 SYSCLK 的第 4 个上升沿,BOOT 引脚的值将被锁存。用户可以通过设置 BOOT1 和 BOOT0 引脚的状态,选择在复位后的启动模式。

在从待机模式退出时,BOOT 引脚的值将被重新锁存;因此,在待机模式下 BOOT 引脚应保持为需要的启动配置。在启动延迟之后,CPU 从地址 0x0000 0000 获取堆栈顶的地址,并从启动存储器的 0x0000 0004 指示的地址开始执行代码。

因为固定的存储器映像,代码区始终从地址 0x0000 0000 开始(通过 ICode 和 DCode 总线访问),而数据区(SRAM)始终从地址 0x2000 0000 开始(通过系统总线访问)。Cortex-M3 的 CPU 始终从 ICode 总线获取复位向量,即启动仅适合于从代码区开始(典型地从 Flash 启动)。STM32F103VET6 微控制器实现了一个特殊的机制,系统可以不仅仅从 Flash 存储器或系统存储器启动,还可以从内置 SRAM 启动。

根据选定的启动模式,主闪存存储器、系统存储器或 SRAM 可以按照以下方式访问。

- 从主闪存存储器启动:主闪存存储器被映射到启动空间(0x0000 0000),但仍然能够在它原有的地址(0x0800 0000)访问它,即闪存存储器的内容可以在两个地址区域访问,0x00000000 或 0x0800 0000。
- 从系统存储器启动:系统存储器被映射到启动空间(0x0000 0000),但仍然能够在它原有的地址(互联型产品原有地址为 0x1FFF B000,其他产品原有地址为 0x1FFF F000)访问它。
- 从内置 SRAM 启动:只能在 0x2000 0000 开始的地址区访问 SRAM。从内置 SRAM 启动时,在应用程序的初始化代码中,必须使用 NVIC 的异常表和偏移寄存器,重新映射向量表到 SRAM 中。

内嵌的自举程序:内嵌的自举程序存放在系统存储区,由 ST 在生产线上写入,用于通过串行接口 USART1 对闪存存储器进行重新编程。

3.6 STM32F103VET6 最小系统设计

STM32F103VET6 最小系统是指能够让 STM32F103VET6 正常工作的包含最少元器件的系统。STM32F103VET6 片内集成了电源管理模块(包括滤波复位输入、集成的上电复位/掉电复位电路、可编程电压检测电路)、8MHz 高速内部 RC 振荡器、40kHz 低速内部 RC 振荡器等部件,外部只需 7 个无源器件就可以让 STM32F103VET6 工作。然而,为了方便,在最小系统中加入了 USB 转 TTL 串口、发光二极管等功能模块。在最小系统中,包含以下几部分。

1. 最小系统核心电路原理图

最小系统核心电路原理图如图 3-8 所示。其中包括复位电路、晶体振荡电路和启动设

置电路。

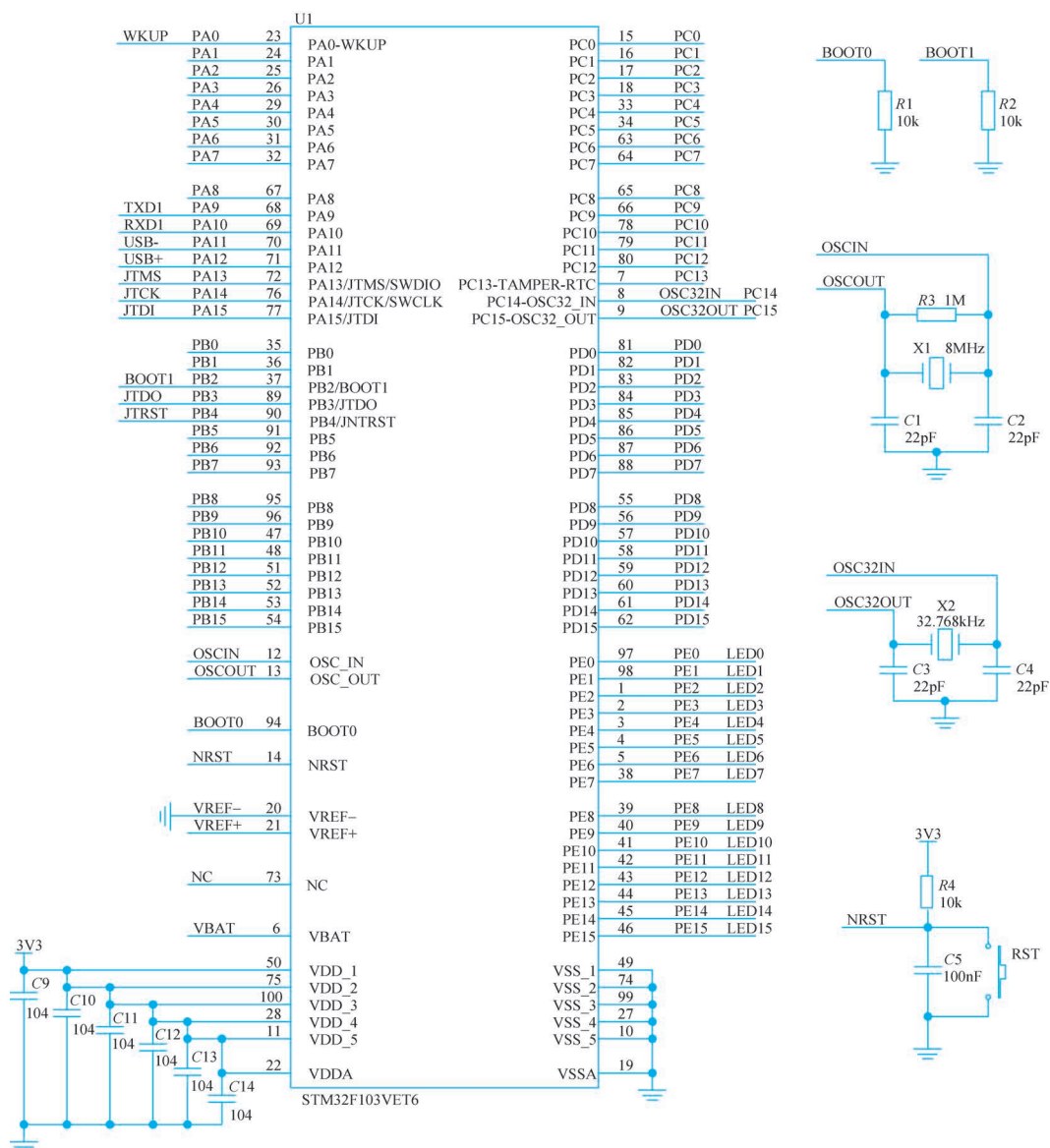


图 3-8 STM32F103VET6 的最小系统核心电路原理图

1) 复位电路

STM32F103VET6 的 NRST 引脚输入驱动使用 CMOS 工艺,它连接了一个不能断开的上拉电阻 R_{pu} ,其典型值为 $40k\Omega$ 。外部连接了一个上拉电阻 R_4 、按键 RST 及电容 C_5 ,当 RST 按键按下时 NRST 引脚电位变为 0,通过这种方法实现手动复位。

2) 晶体振荡电路

STM32F103VET6 一共外接了两个晶振:一个 8MHz 的晶振 X1 提供给高速外部时钟(HSE),一个 32.768kHz 的晶振 X2 提供给低速外部时钟(LSE)。

3) 启动设置电路

启动设置电路有启动设置引脚 BOOT1 和 BOOT0 构成。二者均通过 $10k\Omega$ 的电阻接

地。从用户 Flash 启动。

4) JTAG 接口电路

为了方便系统采用 JLink 仿真器进行下载和在线仿真,在最小系统中预留了 JTAG 接口电路,用于实现 STM32F103VET6 与 J-Link 仿真器进行连接。JTAG 接口电路原理图如图 3-9 所示。当然,也可以只使用由 VDD、SWDIO、SWCLK 和 GND 共 4 个引脚构成 SWD 仿真接口。

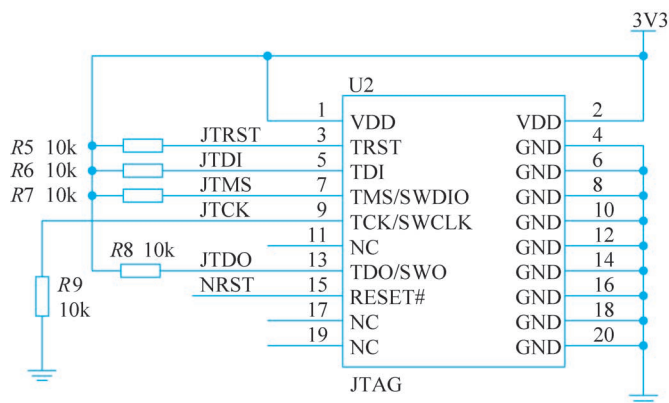


图 3-9 JTAG 接口电路

2. USB 转 TTL 串口

为了方便系统进行串行通信,在最小系统中,以 CH340G 为核心设计了 USB 转 TTL 串口,并从 USB 接口中获得 +5V 电源。使用一个双刀双掷切换开关,可以选择使用 USB 还是 UART 功能,使用串口进行通信时,选择 UART 功能。电路原理图如图 3-10 所示。

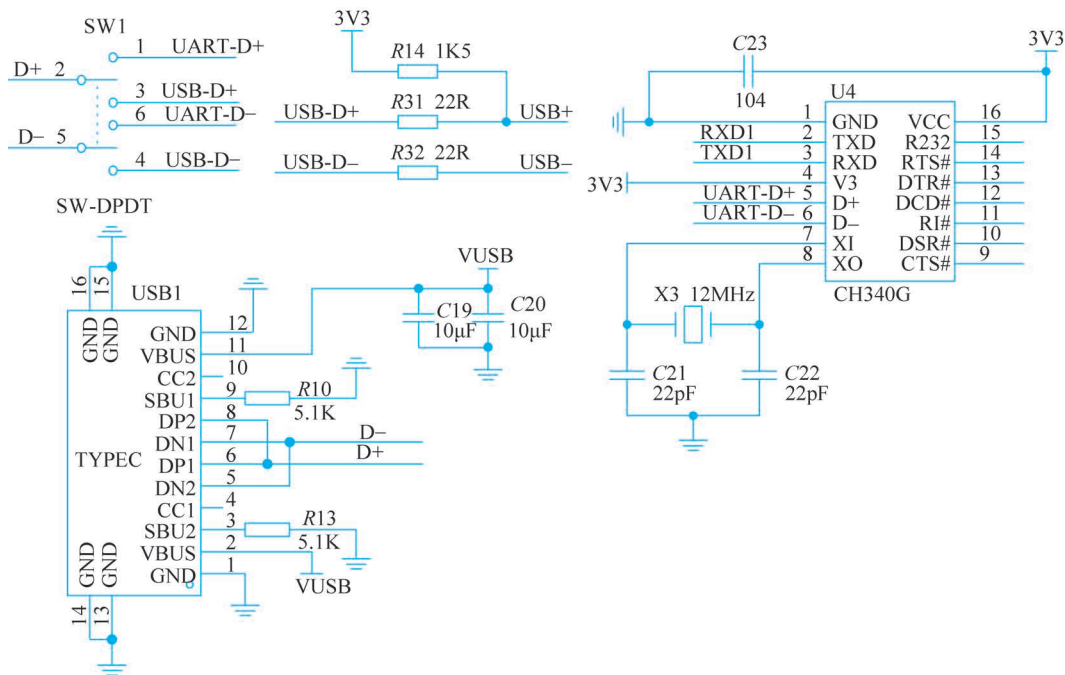


图 3-10 USB 转 TTL 串口电路

3. 独立按键电路

为了实现外部中断检测功能和待机唤醒功能,在最小系统中设置了一个独立按键,该按键接在 PA0。电路原理图如图 3-11 所示。

4. ADC 采集电路

为了实现 ADC 采集功能,在最小系统中集成了一个光敏电阻,通过将 SW4 开关拨到 ON 将 ADC 采集通道接到 PA1,通过 STM32F103VET6 的 ADC 采集功能可以实现对光敏电阻阻值的计算。电路原理图如图 3-12 所示。

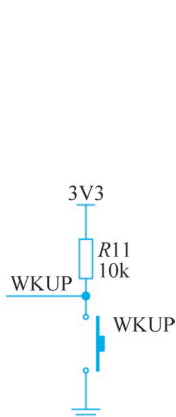


图 3-11 独立按键电路

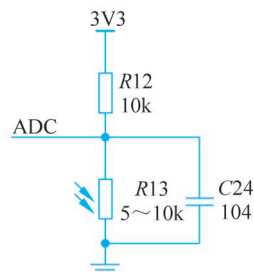


图 3-12 ADC 采集电路

5. 流水灯电路

最小系统板载 16 位流水灯,对应于 STM32F103VET6 的 PE0~PE15,通过将 SW3 开关拨到 ON 给 LED 提供电源。电路原理图如图 3-13 所示。

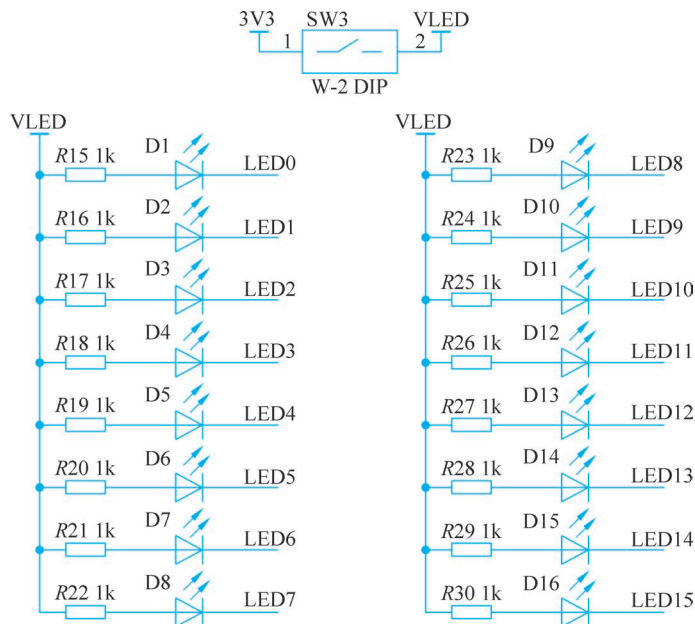


图 3-13 流水灯电路

6. 电源电路

最小系统电源可以由外部电源、USB 电源和 JLink 电源提供,通过稳压电路得到 3.3V 电源提供给 STM32F103VET6 和其他外部电路。电路原理图如图 3-14 所示。

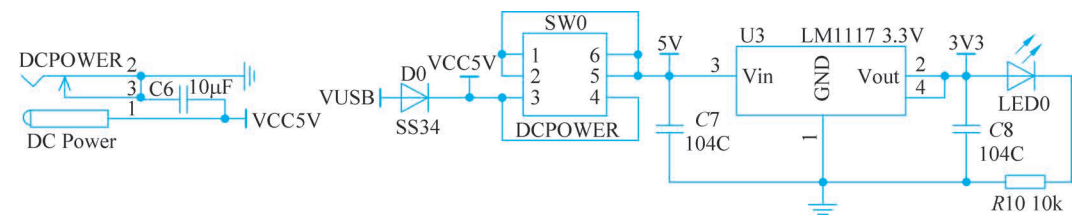


图 3-14 电源电路

为了便于读者将最小系统应用于其他实验项目或者工程项目,将所有的 I/O 引脚引出。利用 STM32F103VET6 最小系统,可以进行基本功能的学习和测试。

3.7 习题

- 3-1 简述 Cortex-M3 处理器的特点。
- 3-2 STM32F103VET6 的存储器结构有什么特点？
- 3-3 STM32F103VET6 的时钟结构对于系统的功耗控制有什么作用？