

## 存储器

### 5.1 知识要点

#### 1. 半导体存储器的分类

半导体存储器分为随机读/写存储器(RAM)和只读存储器(ROM)。随机读/写存储器又可分为静态随机读/写存储器(SRAM)和动态随机读/写存储器(DRAM)。静态随机读/写存储器是利用双稳态触发器存储信息,动态随机读/写存储器是利用电容存储信息,由于电容泄漏电荷,存储单元的电荷需要定时补充,所以动态随机读/写存储器需要刷新。

#### 2. 引脚

所有的存储器器件都有地址输入引脚,数据输出或者数据输入/输出引脚,从多片存储芯片中选定一个芯片的片选引脚,以及控制读/写操作的控制引脚。地址线接收的地址信息用于选择存储芯片内部的存储单元。数据线负责数据的输出或者输入/输出。芯片选择线用于选中该器件,或者说激活该器件。片选择线常被标识为片选、片使能或简称为选择,每个存储器件都有控制数据输入/输出的控制线,通常标记为 $\overline{OE}$ 、 $\overline{WE}$ ,低电平有效。

#### 3. 常用芯片

常用的 SRAM 芯片有 6116(2K×8b)、6232(4K×8b)、6264(8K×8b)、62128(16K×8b)、62256(32K×8b)和 62512(64K×8b)等。

#### 4. 芯片的应用

存储器芯片的应用就是将芯片正确地接入计算机系统。根据 CPU 要求的地址范围,将芯片上的各种信号与计算机系统的地址线、数据线和控制线连接在一起,存储器芯片就接入了计算机系统。

(1) 数据线的连接。系统中所有的数据线都必须和芯片的数据线直接关联,双方都

不能有剩余。如果芯片上的数据线和系统中的数据线的数量一致,则将它们一对一相连;如果芯片上的数据线少于系统中的数据线,如 2114(1K×4b)只有 4 根数据线,则必须选用 2 片芯片组成一组,构成数据线为 8 根的存储器芯片组,才可以与 8088 CPU 相连。如果芯片上的数据线多于系统中的数据线,说明选择的芯片不合适,必须更换。

(2) 控制信号线的连接。存储器只有两种操作:读和写。相应的与读/写有关的控制信号通常只有两个:写允许和输出允许。它们应该分别与系统中的读/写控制信号相连。

(3) 地址线的连接。一般存储芯片上地址线的数量比计算机系统中的地址线少,所以将芯片正确地接入计算机系统,必须解决地址线不匹配的问题。芯片在接入系统中时,芯片上的地址线和系统中的低位地址线一对一相连,使 CPU 可以选择芯片内任一存储单元。系统中剩余的地址线在芯片中没有对应线,不能直接与芯片发生关联。

将一组输入信号转换为一个输出信号,称为译码。将系统中剩余的地址信号经过译码电路转换为一个输出信号,作为芯片的片选信号,称为地址译码。经过地址译码,系统中全部地址线都与芯片产生了关联,使芯片中每一个存储单元在系统的地址空间中都有唯一的一个物理地址。地址译码是存储器芯片应用的核心和关键。

地址译码的方法有全地址译码和部分地址译码。

## 5. 只读存储器

只读存储器 ROM 一般用于存放固定的程序,如 BIOS。常用的只读存储器类型有掩膜式 ROM、可编程 ROM(PROM)、可擦除可编程 ROM(EPROM)、电可擦除可编程 ROM(EEPROM)和闪存(Flash Memory)。

## 5.2 习题解答

1. 半导体存储器按照工作方式可分为哪两大类?它们的主要区别是什么?

解:

(1) 半导体存储器按照工作方式可分为 ROM 和 RAM。

(2) 它们之间的主要区别是 ROM 在正常工作时只能读出,不能写入。RAM 则可读可写。断电后,ROM 中的内容不会丢失,RAM 中的内容会丢失。

2. 动态 RAM 为什么需要定时刷新?

解: DRAM 的存储单元以电容存储信息,由于存在漏电现象,电容中存储的电荷会逐渐泄漏,从而使信息丢失或出现错误,因此需要对这些电容定时刷新。

3. 存储器的地址译码方法有哪两种方式?

解: 存储器的地址译码方法有全地址译码和部分地址译码。

4. 设计一个 4KB ROM 与 4KB RAM 组成的存储器系统,芯片分别选用 2716(2K×8b)和 6116(2K×8b),其地址范围分别为 4000H~4FFFH 和 6000H~6FFFH,CPU 地址空间为 64KB,画出存储系统与 CPU 的连接图。

解：分析：2716(2K×8b) 11 根地址线 A<sub>0</sub>~A<sub>10</sub>

6116(2K×8b) 11 根地址线 A<sub>0</sub>~A<sub>10</sub>

分别需要芯片的个数：

2716：(4K×8b)/(2K×8b)=2

6116：(4K×8b)/(2K×8b)=2

将地址展开成二进制：4KB 的 ROM 地址空间为 4000H~4FFFH。

A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1
0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1

2716(2K×8b)：2 片。

第 1 片地址范围：4000H~47FFH。

第 2 片地址范围：4800H~4FFFH。

4KB 的 RAM 地址空间为 6000H~6FFFH。

A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1
0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0
0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1

6116(2K×8b)：2 片。

第 1 片地址范围：6000H~67FFH。

第 2 片地址范围：6800H~6FFFH。

利用 CPU 的剩余地址线 A<sub>11</sub>~A<sub>15</sub>，使用 3：8 译码器进行全地址译码，生成片选信号： $\overline{Y_0}$ 、 $\overline{Y_1}$ 、 $\overline{Y_4}$ 、 $\overline{Y_5}$ ，为 4 个芯片使用。

存储系统与 CPU 连接图如图 5-1 所示。

5. 试利用全地址译码将 6264 芯片接到 8088 CPU 系统总线上，使其所占地址范围为 32000H~33FFFH。

解：将地址范围展开成二进制形式如下。

0011 0010 0000 0000 0000

0011 0011 1111 1111 1111

6264 芯片的容量为 8×8KB，需要 13 根地址线 A<sub>0</sub>~A<sub>12</sub>。而剩下的高 7 位地址应参加该芯片的地址译码。电路如图 5-2 所示。

6. 若采用 6264 芯片构成内存地址 20000H~8BFFFH 的内存空间，需要多少个 6264 芯片？

解：20000H~8BFFFH 的内存空间共有 8BFFFH-20000H+1=6C000H(432K)字节，每个 6264 芯片的容量 8KB，故需 432/8=54 个。

7. 设某微型机的内存 RAM 区的容量为 128KB，若用 2164 芯片构成这样的存储器，需多少个 2164 芯片？

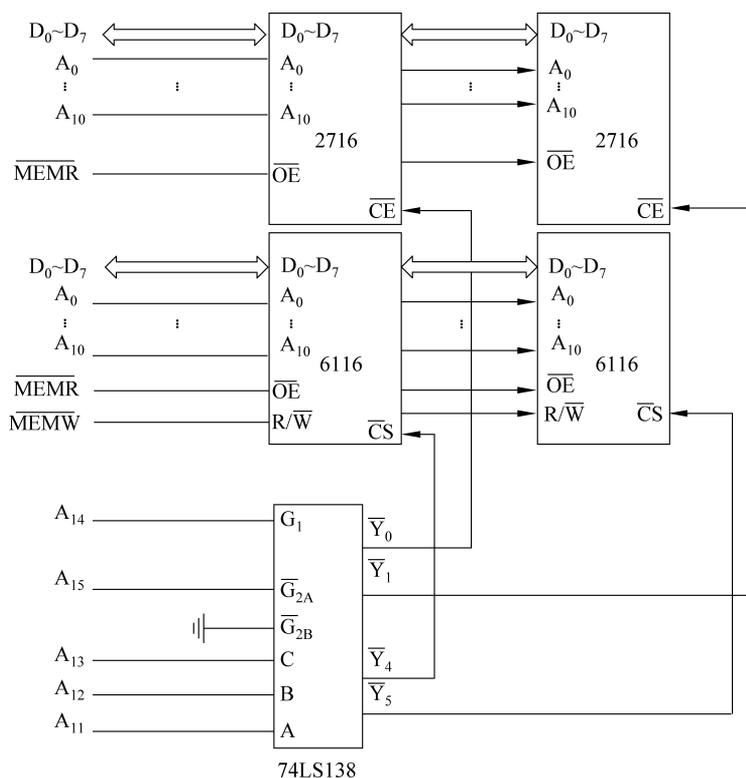


图 5-1 第 4 题电路图

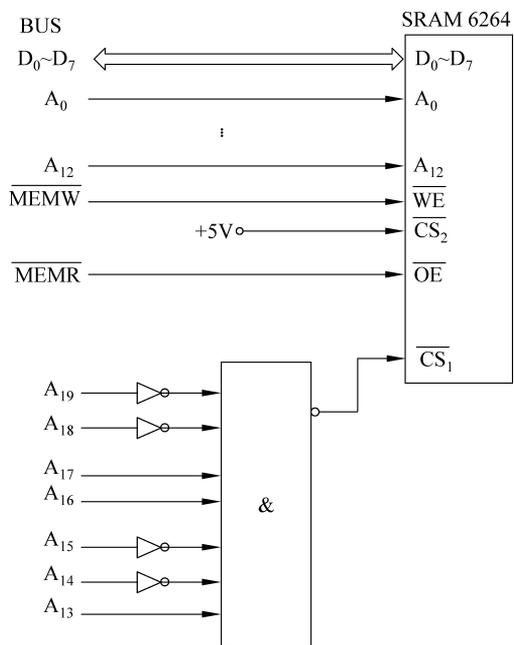


图 5-2 第 5 题电路图

解：每个 2164 芯片的容量为  $64\text{K} \times 1\text{b}$ ，因此共需  $128/64 \times 8 = 16$  个。

8. 高速缓冲存储器(Cache)的工作原理是什么？为什么设置高速缓冲存储器？

解：

(1) 高速缓冲存储器的工作原理是基于程序和数据访问的局部性原理。

(2) 设置高速缓冲存储器是为了缓解 CPU 和内存之间存取速度的矛盾，将当前正在执行的指令及相关联的后续指令集从内存读到 Cache，CPU 执行下一条指令时从 Cache 中读取。Cache 的存在使 CPU 既可以以较快的速度读取指令和数据，又不至于使微型计算机的价格大幅度提高。

9. 现有 2 个 6116 芯片，所占地址范围为  $61000\text{H} \sim 61\text{FFFH}$ ，试将它们连接到 8088 CPU 系统中。并编写测试程序，向所有单元输入任意一个数据，然后再读出与之比较，若出错则显示“Wrong!”，若全部正确则显示“OK!”。

解：电路连接如图 5-3 所示。

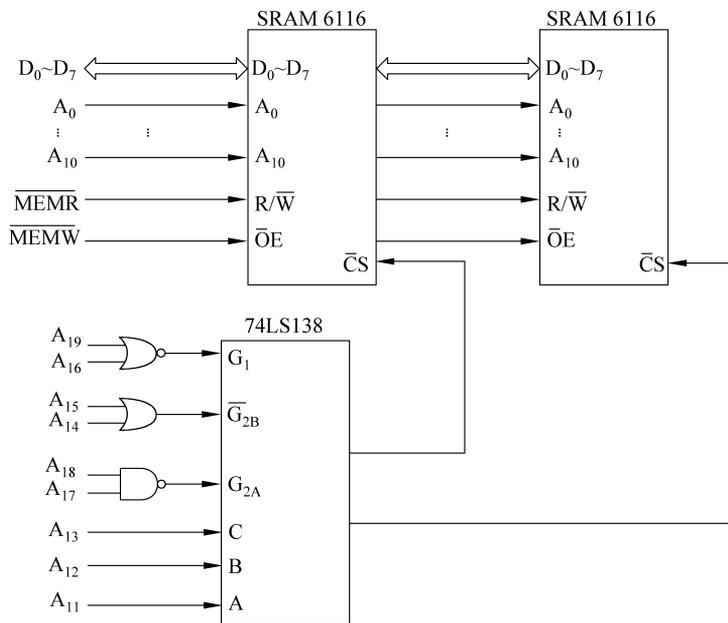


图 5-3 第 9 题电路图

测试程序段如下。

```

OK      DB  'OK!', '$'
WRONG   DB  'Wrong!', '$'
...
MOV     AX, 6100H
MOV     ES, AX
MOV     DI, 0
MOV     CX, 1000H
MOV     AL, 55H
REP STOSB
    
```

```
MOV     DI, 0
MOV     CX, 1000H
REPZ   SCASB
JZ      DISP_OK
LEA     DX, WRONG
MOV     AH, 9
INT     21H
HLT
DISP_OK:
LEA     DX, OK
MOV     AH, 9
INT     21H
HLT
```