

集成电路的电路级设计完毕后,则开始设计集成电路的版图(Layout),以便进行制版,完成工艺流片。本章讨论集成电路的版图设计以及版图 EDA 工具的使用。

5.1 版图概述

集成电路的版图是指集成电路工艺制造厂家(Foundry)所定义的工艺层次几何图形。这些版图几何图层包括 N 阱、有源区、多晶硅、N 注入、P 注入、接触孔、金属层、通孔、焊盘开窗区等。表 5-1 所示为某工艺的版图层次示例。GDSII(GDS2 或 GDS)是通用的版图数据格式文件。版图 GDS 数据交给工艺厂家后,根据版图 GDS 数据制造掩模版(Mask,也称为“光罩”)。值得注意的是,在版图设计阶段绘制的各个版图层次并不是最终进行工艺流片时采用的掩模版的层次,流片时采用的掩模版是根据版图层次进行运算形成的集成电路工艺掩模版需要的图形。

表 5-1 某工艺的版图层次示例

版图绘制图层名称	GDS 层号	描 述
NW	1	N 阱(NWELL)
ACT	2	有源区(Active)
GATE	12	多晶硅栅(Poly Gate)
NPLUS	13	N+S/D 注入
PPLUS	14	P+S/D 注入
ESD	15	ESD 注入
SAB	16	非硅化区定义
CT	17	接触层(Contact)
PA	18	PAD 开窗区
M1	21	金属层 1(Metal1)
M2	22	金属层 2(Metal2)
M3	23	金属层 3(Metal3)
M4	24	金属层 4(Metal4)
M5	25	金属层 5(Metal5)
M6	26	金属层 6(Metal6)
M7	27	金属层 7(Metal7)
MV1	31	通孔 1(Via1)

续表

版图绘制图层名称	GDS 层号	描 述
MV2	32	通孔 2(Via2)
MV3	33	通孔 3(Via3)
MV4	34	通孔 4(Via4)
MV5	35	通孔 5(Via5)
MV6	36	通孔 6(Via6)
PSUB2	50	多电源隔离衬底区域定义
prBoundary	60	单元布局边界标识层
M1_TEXT	131	Metal1 文本标识层
M2_TEXT	132	Metal2 文本标识层
M3_TEXT	133	Metal3 文本标识层
M4_TEXT	134	Metal4 文本标识层
M5_TEXT	135	Metal5 文本标识层
M6_TEXT	136	Metal6 文本标识层
M7_TEXT	137	Metal7 文本标识层
SRING	143	封装隔离环区域定义(Seal Ring)

版图设计要遵循特定工艺厂家的版图设计规则。版图设计规则是一套图形设计规则的组 合,如图 5-1 所示。版图设计规则是连接集成电路工艺制造厂家和集成电路设计者的桥 梁。在图 5-1 所示的范例中,A 与 B 表示不同的图形,图形之间的关系包括宽度(或长度)、 间距、包围、延伸等图形尺寸规则,相关描述如表 5-2 所示。

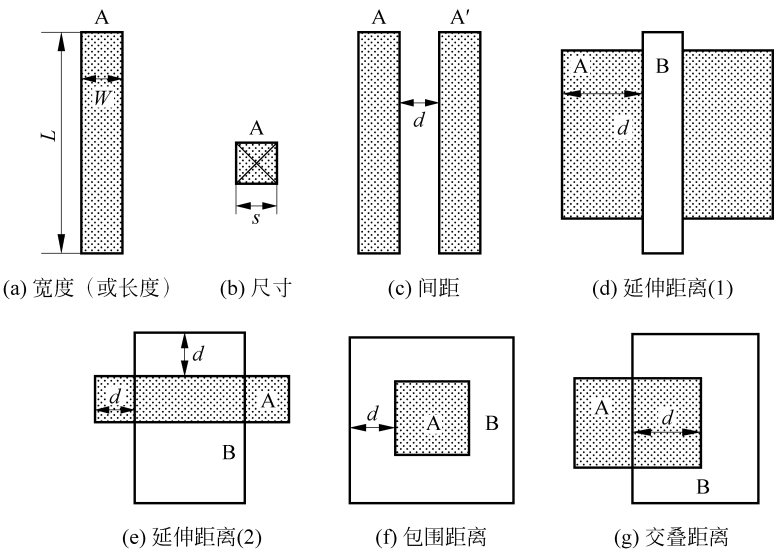


图 5-1 基本版图规则关系图示

表 5-2 基本版规则关系说明

定 义	符 号	规 则 示 例	说 明
宽度(或长度)	W(或 L)	最小宽度	图形的宽度 W 和长度 L,版图上的几何图形的宽度或长度必须大于一个最小值

续表

定 义	符 号	规 则 示 例	说 明
尺寸	s	最小或固定尺寸	版图中的方形图形的尺寸。一般规定接触孔 (Contact) 或通孔 (Via) 具有固定尺寸
间距	d	A 与 A' 图形之间的最小间距	同一层中两个排他对象之间的距离
延伸距离	d	A 与 B 外延长边沿最小距离	两个交叠图形之间的外边沿之间的距离
包围距离	d	B 包围 A 的最小距离	包围图形内边沿之间的距离
交叠距离	d	A 与 B 交叠部分的最小距离	交叠图形内边沿之间的距离

5.2 版图设计工具的使用

目前主流的版图设计工具主要有 Cadence 公司的 Virtuoso、Synopsys 公司的 Laker 以及华大九天等,版图设计的流程方法基本都是一致的,这里以 Cadence 的版图设计工具为例说明版图设计工具的使用。

首先确保执行目录下有 display.drf 文件。与电路设计一样,启动 Cadence 的设计环境平台,在命令提示符 (\$) 下执行

```
$ virtuoso &
```

与电路设计与仿真一样,首先需要建立一个设计库,同样可以在 CIW 或 Library Manager 中进行新设计库的建立。这里在 Virtuoso 的主界面 CIW 中执行 Tools→Library Manager 菜单命令,然后在打开的库管理器中执行 File→New→Library 菜单命令,如图 5-2 所示。设置库名为 lab2,单击 OK 按钮。这里的建库步骤和电路仿真时建立设计库是一样的。但要注意的是,由于开展版图设计,因此建立的设计库中要包含进行集成电路版图设计的工艺信息。

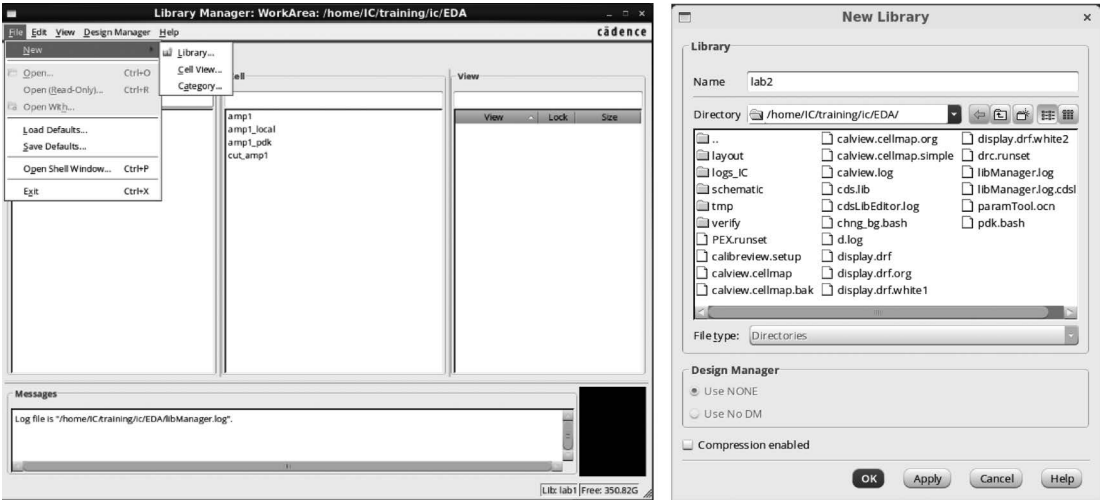
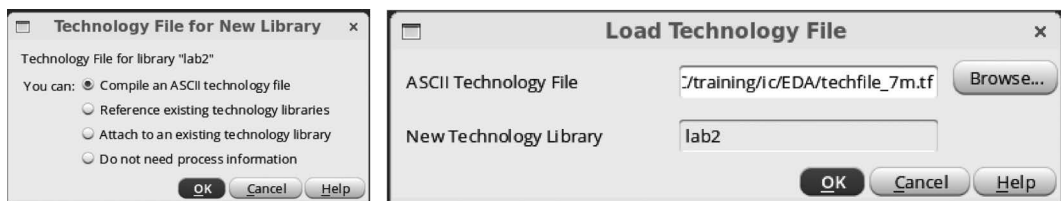


图 5-2 在库管理器中建立设计库

如图 5-3(a) 所示, 在 Technology File for New Library 对话框中选择 Compile an ASCII technology file 选项, 单击 OK 按钮, 弹出 Load Technology File 对话框, 为新建立的库加载工艺厂家提供的 ASCII 工艺文件。或者依附(Attach)一个已有的工艺厂家提供的 PDK 库, 如图 5-3(b) 所示, 选择依附一个已经具有工艺属性的设计库, 这样新建的设计库就会包含工艺厂家规定版图的图层等工艺信息。



(a) 编译ASCII工艺文件



(b) 依附已存在的工艺库

图 5-3 建立新库的工艺文件

然后, 在 lab2 设计库中建立一个版图视图(Layout View), 在库管理器中执行 New→Cell View 菜单命令, 弹出 New File 对话框。如图 5-4 所示, 以一个反相器为例, 在 Cell 文本框中输入需要创建的单元名称, View 选择为 layout, Type 选择为 layout, 则工具会自动选择 Layout 工具, 单击 OK 按钮, 弹出版图编辑界面, 如图 5-5 所示。这里同时为 inv1 单元建立电路图, 即在 New File 对话框中 View 选择为 schematic, Type 选择为 schematic, 然后在电路图编辑界面中编辑 inv1 的电路图, 过程与方式已介绍过, 这里不再赘述。

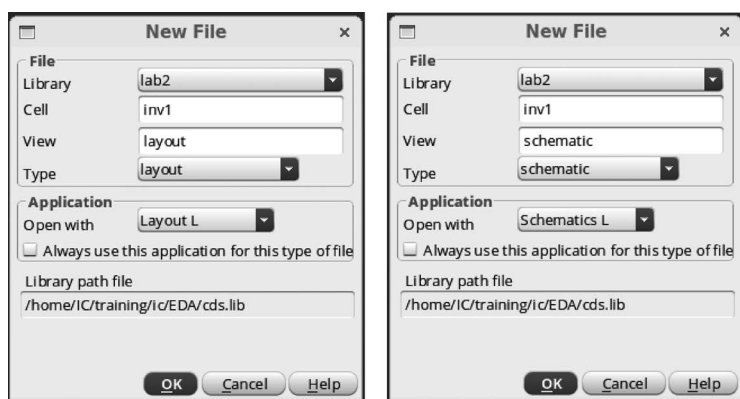


图 5-4 建立新单元的版图及电路图

在版图编辑界面中, 左侧是图层选择窗口(Layer Select Window, LSW), 对应工艺厂家工艺文件中所规定的图形信息。在其中选择图层, 然后绘制各种图形。在版图编辑界面的底栏中有当前命令的提示以及鼠标键功能提示(鼠标左、中、右键)。版图编辑界面的菜单栏

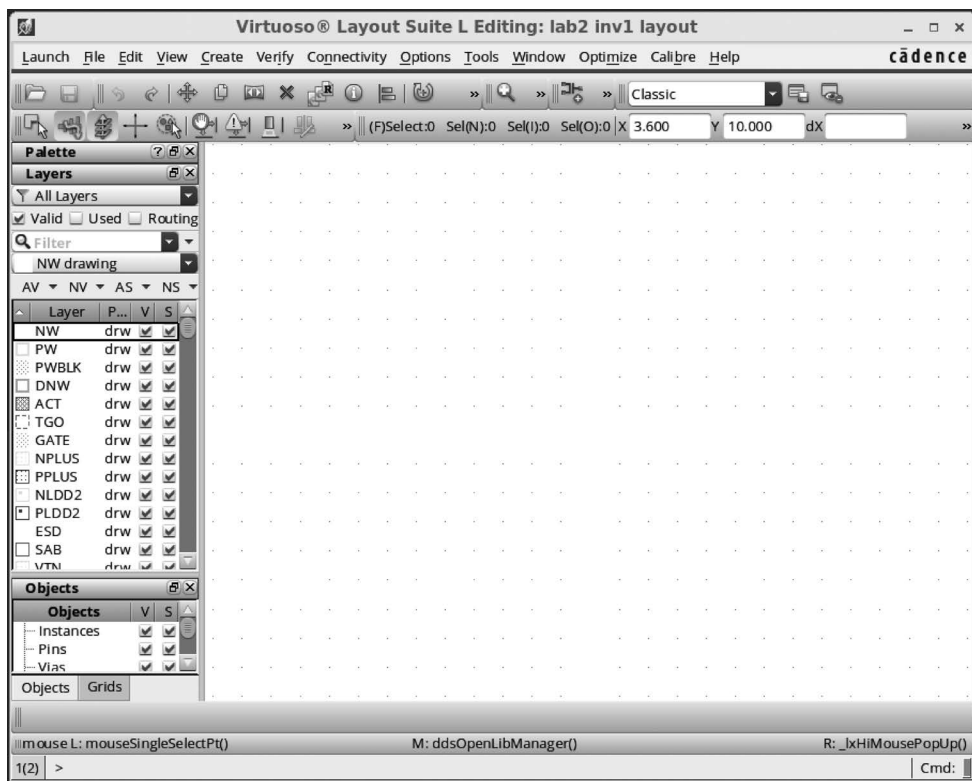


图 5-5 新单元的版图编辑界面

中有包含文件操作、编辑、查看、创建等版图相关的命令,如图 5-6 所示。而常用的版图编辑命令也以按钮的形式出现在版图编辑界面顶部的工具栏中。

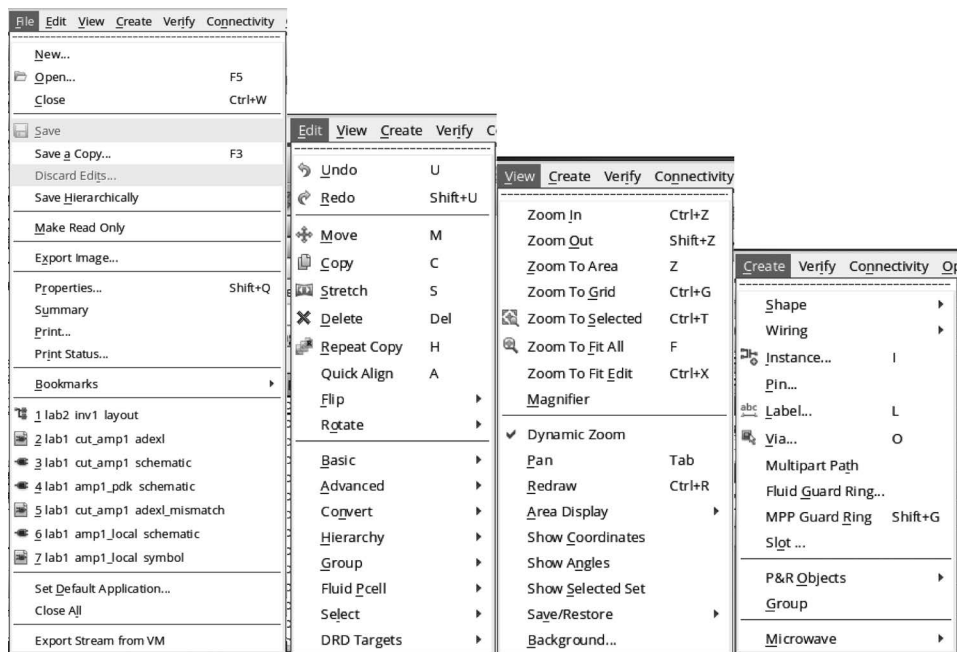


图 5-6 版图编辑常用的菜单命令

这里不对菜单命令一一介绍,而是伴随命令或菜单在后续使用过程中进行描述及说明。

至此,已经简单介绍了版图设计工具的初步使用,下面结合具体的基本电路进行版图设计方法的介绍。

5.3 基本版图设计

前面已经介绍过 PDK 的概念。在 PDK 中,常用元器件的版图已经创建为单元,并且是参数化的。电路及版图设计者在使用时,只需要进行单元例化,并输入需要的参数,即可生成需要的元器件版图,这些版图的图层之间均符合相应工艺厂家的设计规则。下面以一个反相器的设计为例说明基本版图设计方法。首先采用 PDK 的元器件完成反相器电路的设计,如图 5-7 所示。电路图的编辑采用第 4 章的流程和方法,这里不再一一赘述。为了能够使用工艺厂家提供的 PDK,注意需要将 PDK 加入库中。在库管理器中执行 Edit→Library Path 菜单命令,弹出 Library Path Editor 对话框,在其中输入 PDK 库名称以及相应的路径,或者在 cds.lib 文件中指明 PDK 库的路径。

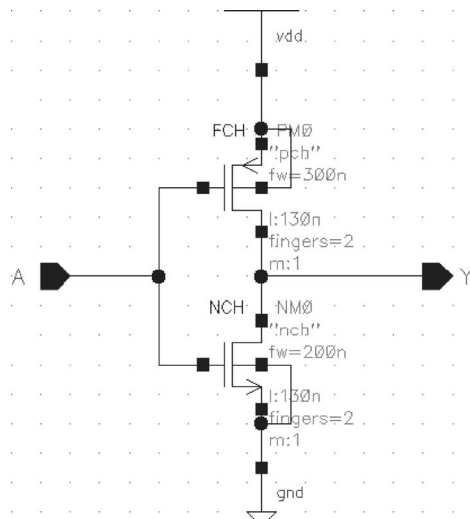


图 5-7 inv1 单元的电路图

按照设计的电路图开展版图的设计。在版图设计前,要注意设置版图的格点,执行 Options→Display 菜单命令,弹出 Display Options 对话框。如图 5-8 所示,在 Grid Controls 区域设置格点。格点的大小需要根据工艺手册选取,这里 X Snap Spacing 为 0.005, Y Snap Spacing 为 0.005,然后单击 Save To 按钮保存。

如图 5-9 所示,从 PDK 中选择 NMOS 晶体管 NCH 和 PMOS 晶体管 PCH,在 View 下拉列表中选择 Layout,按照电路的尺寸输入相应的参数。不同厂家提供的 PDK 中元器件的参数可能会不一样,但基本参数都会提供。例如,这里的 MOS 器件的参数都会提供栅长 (Length)、栅宽 (Width),总栅宽 (Total Width)=晶体管叉指栅宽 (Finger Width)×叉指数 (Fingers)。本例中,PMOS 和 NMOS 晶体管的栅长都为 130nm。PMOS 单个叉指栅宽为 300nm,叉指数为 2,因此总栅宽为 600nm; NMOS 单个叉指栅宽为 200nm,叉指数为 2,因此总栅宽为 400nm。除此之外,一些工艺厂家为了方便设计,在 PDK 中还提供很多的功

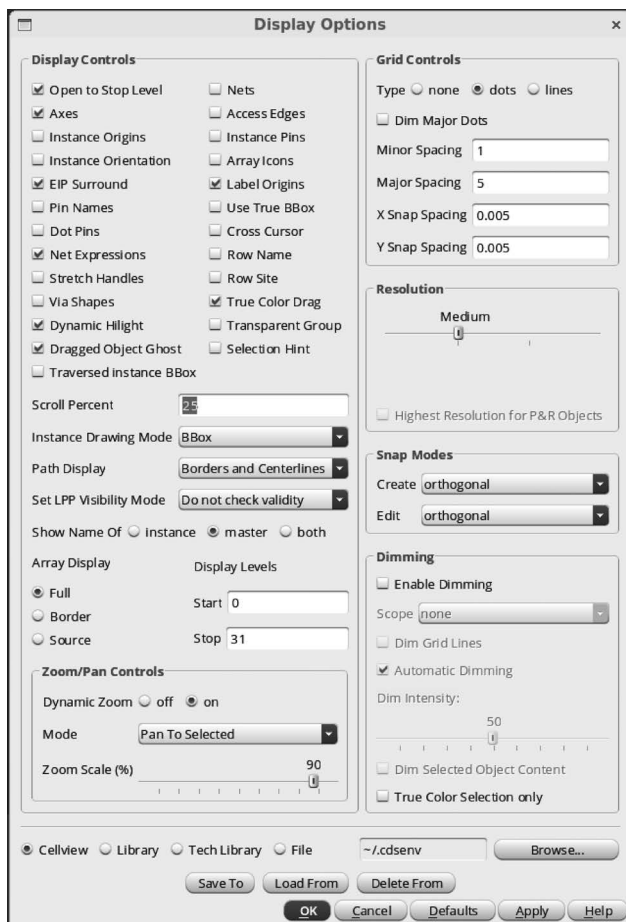


图 5-8 Display Options 对话框

能,如可以选择栅的端头的连接方式、源漏区的连接方式、晶体管衬底或阱的连接(Tap)的方式等。本例采用 PDK 形成的 NMOS 和 PMOS 晶体管版图如图 5-10 所示,其中图 5-10(b)包含了晶体管的衬底或阱的连接(Tap)。

如果插入的元器件版图的参数数据填写错误,可以选中元器件后使用属性(Properties)命令修改器件的参数,在弹出的 Edit Instance Properties 对话框中按照需要修改相关参数,单击 Apply 按钮后生效,如图 5-11 所示。

NMOS 晶体管的衬底端 B 需要连接在衬底上,PMOS 晶体管的衬底端 B 需要连接在 N 阱中。如果在插入 PDK 元器件时没有选择衬底或阱的连接(Tap),或者工艺厂家提供的 PDK 没有提供此功能选项,则可以手工插入相关有源区形成阱接触或衬底接触。例如,对于 NMOS 晶体管,执行 Create Via 命令(快捷键为 O),弹出 Create Via 对话框,如图 5-12 所示。Via 的类型选择 M1_ACT,即 M1 和有源区的 Via,按照需要填入相应的行(Rows)数目和列(Colums)数目。对话窗口中的其他参数是工艺文件所规定的,一般不需要改变,当然也可按照需要并且遵循工艺设计规则填写。这里需要注意的是,创建 Via 需要工艺厂家提供的工艺文件中有相应的 Via 图形与其他图层之间关系的定义,例如这里的 M1_ACT 之间的关系定义,如果工艺文件中没有提供这部分定义,则不能正确执行 Create Via 命令。

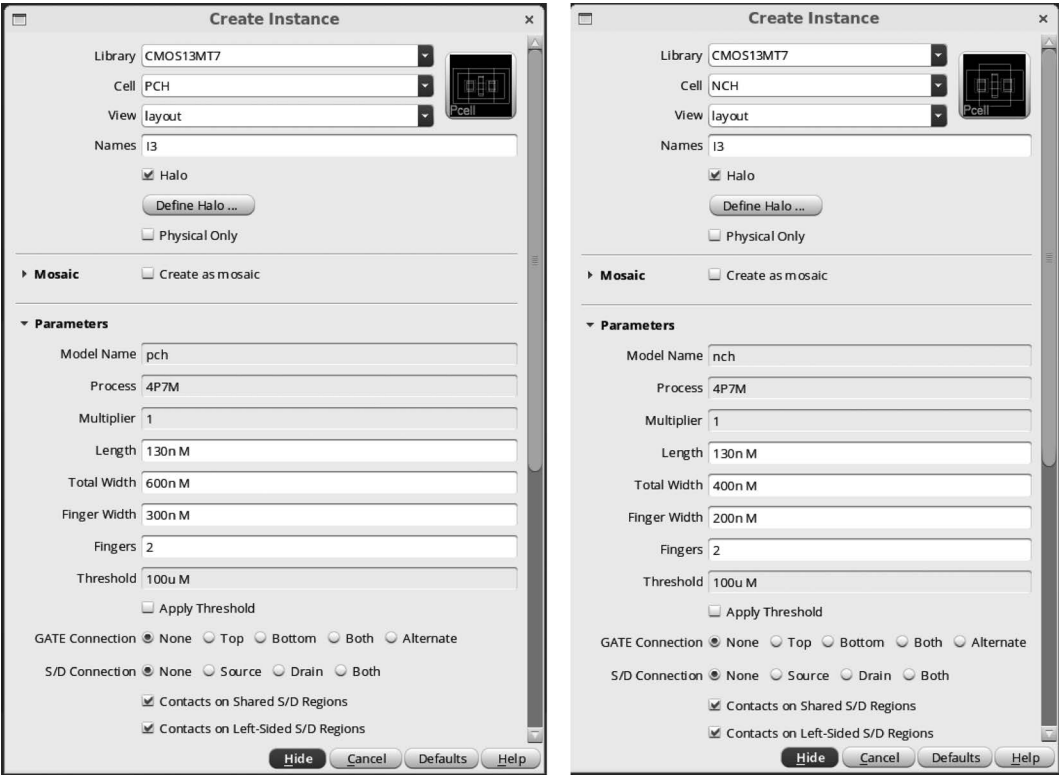


图 5-9 采用 PDK 中的 NMOS 和 PMOS 晶体管

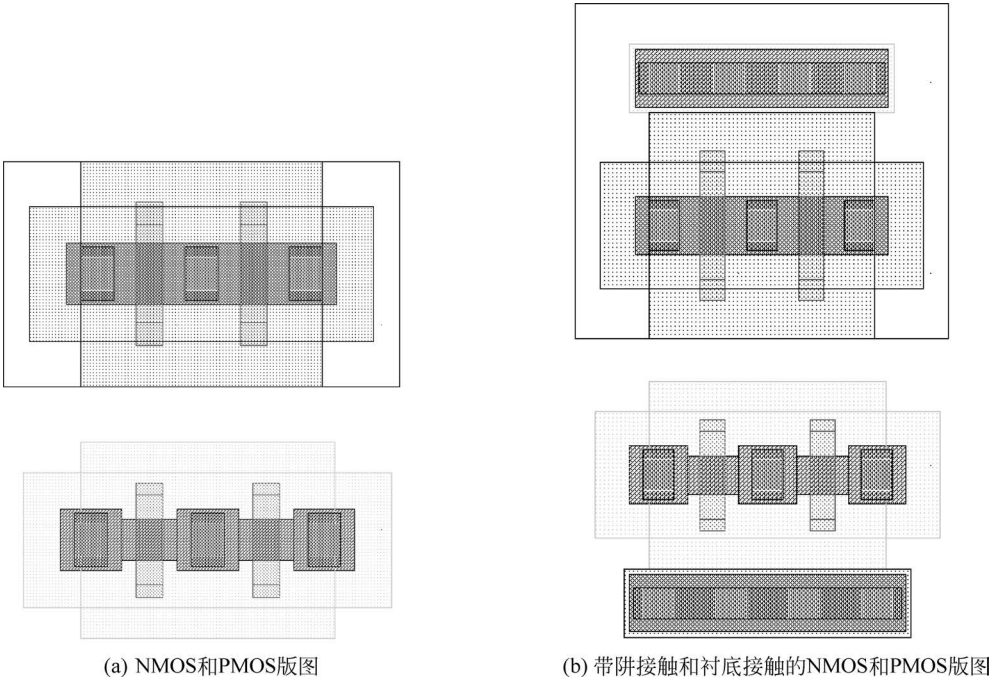


图 5-10 采用 PDK 形成的 NMOS 和 PMOS 晶体管版图

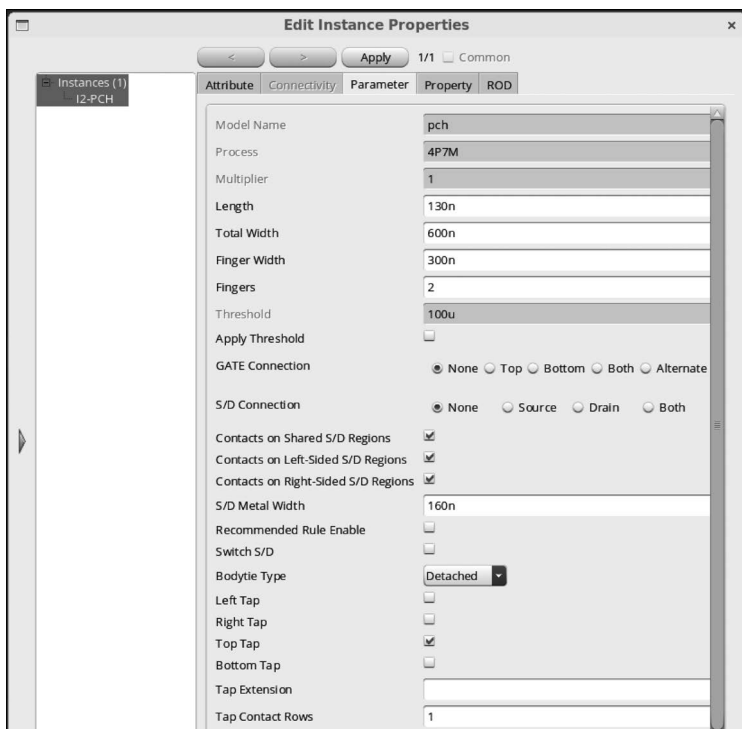


图 5-11 修改 PDK 中元器件的例元属性

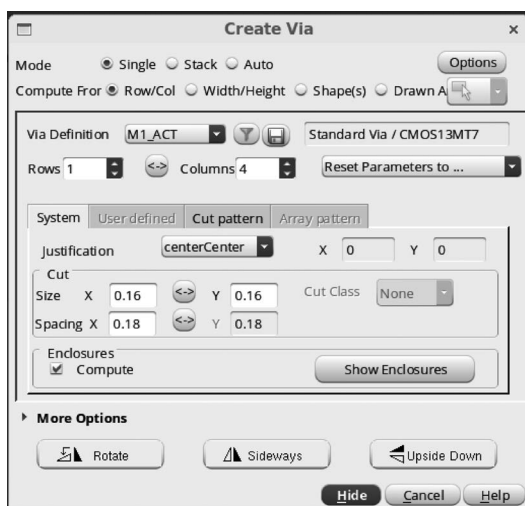


图 5-12 Create Via 对话框

这里通过 Create Via 命令创建了 Active+Contact+Metal1 的图形。由于希望创建的是 NMOS 晶体管在 P 型衬底上的衬底接触,还需要规定有源区的类型,因此这里首先选择 PPLUS 图层,然后使用创建矩形的命令(快捷键为 R),按照设计规则要求在有源区外形成 PPLUS 图层,如图 5-13 所示。在执行创建矩形的命令过程中,按照版图编辑界面的底栏中的当前命令提示使用鼠标键,即在创建矩形的命令生效时先单击一次确定矩形的第 1 个坐标,然后再单击确定矩形的第 2 个坐标并完成矩形的绘制。其他图层的矩形均可按照该方

法进行创建。

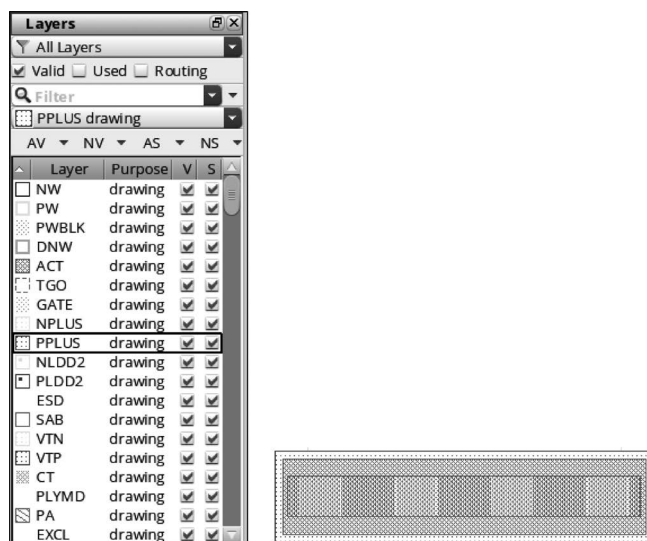


图 5-13 在 M1_ACT 基础上添加 PPLUS 图层

值得一提的是,是否需要在 Create Via 命令创建的 Active+Contact+Metal1 图形的基础上再增加 PPLUS 实现衬底接触,要看工艺厂家提供的工艺文件的定义,有些工艺厂家直接就规定了 Active+PPLUS+Contact+Metal1 的关系,直接通过 Create Via 命令创建这个衬底接触就可以了。阱接触也是如此。

如图 5-14(a)所示,选择 GATE 图层,使用 PATH(连线,快捷键为 P)命令连接两个晶体管的栅,弹出 Create Wire 对话框。如图 5-14(b)所示,在 Width 文本框中输入连线的宽度,还可以在 Snap Mode 下拉列表中选择对齐方式,可以按需要选择任意角度、正交、X 方向、Y 方向等,推荐选择 orthogonal(正交)方式。图 5-14(c)所示为创建连线的局部效果。图 5-14(d)所示为连接 MOS 晶体管的 GATE 图层的整体效果。

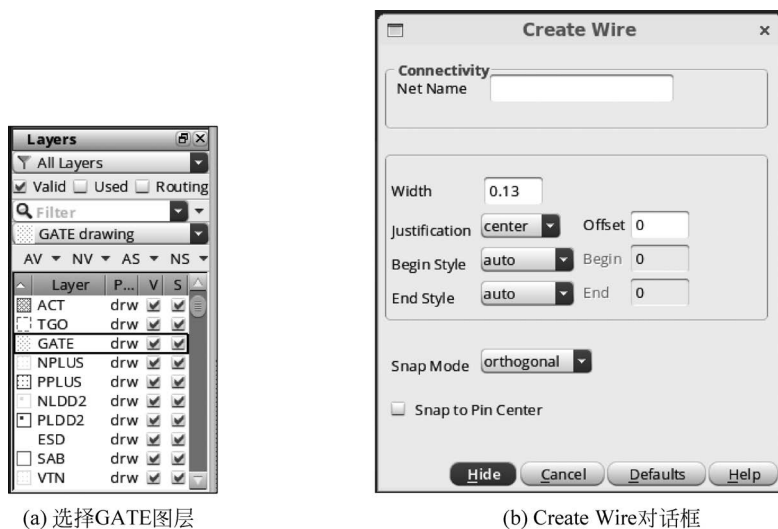
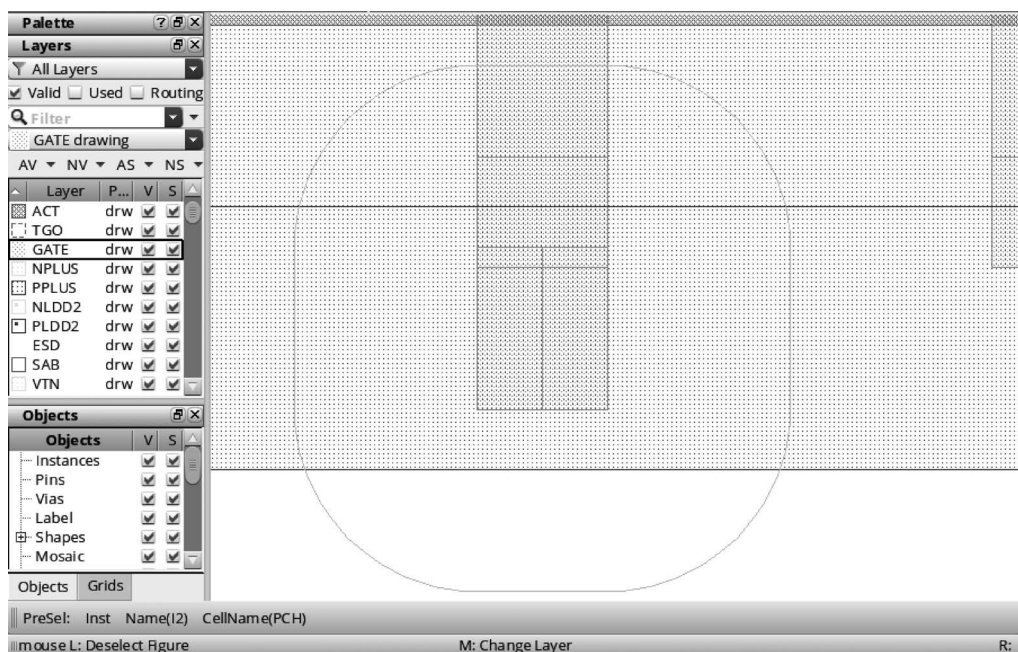
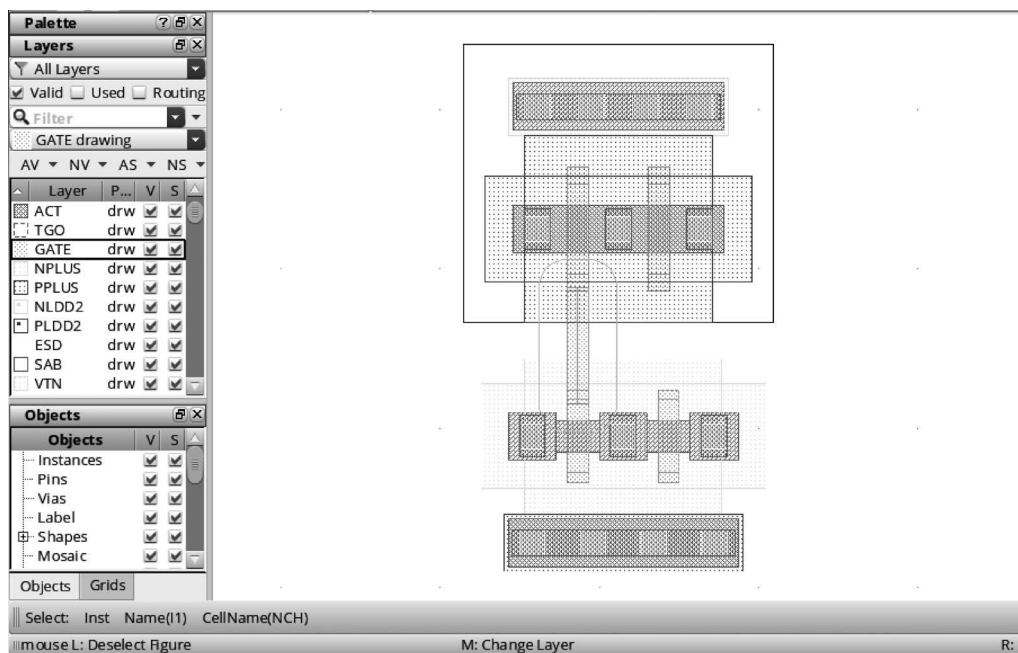


图 5-14 选择 GATE 图层并连线



(c) 创建连线的局部效果



(d) 连接MOS晶体管的GATE图层的整体效果

图 5-14 (续)

然后使用 Create Via 命令创建 GATE 和 M1 的 Contact 组合图形 M1_GATE, 如图 5-15 所示。使用 Create Label 命令(快捷键为 L)在 M1_TEXT 图层打上标签 A, 这样形成 inv1 单元的输入。

采用同样的方式依次选择 M1 图层, 使用 Path 或矩形命令连接 inv1 单元的输出、电源和

地,并分别在 M1_TEXT 图层打上 Y、vdd!、gnd!^① 标签,最终的 inv1 单元整体版图如图 5-16 所示。打标签时注意标注点(即十字叉点)要放在相应的连线层(多晶硅、金属层)图形内,而不能放在图形的外部。



图 5-15 创建 GATE 和 M1 的 Contact 组合图形

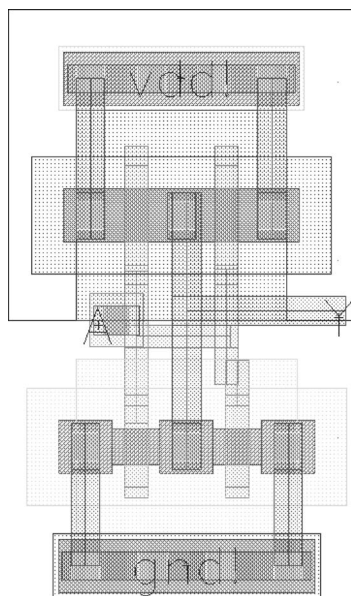


图 5-16 inv1 单元整体版图

需要注意的是,不同的工艺厂家提供的工艺图层的定义是不同的,因此读者在开展版图设计前要仔细阅读工艺文件。另外,有的工艺规定每个层次都有不同的目的,如有的工艺厂家定义 Metall 有 Drawing 层 MET1(drw)和 Label 层 MET1(lbl),用 Drawing 层绘制图形,而用 Label 层标注名称。

5.4 版图设计文件导出

在完成版图设计后,可以将版图数据导出为 GDS 数据,交给其他工具进行版图验证,待整个芯片的版图设计完成后,同时也需要导出 GDS 数据交给工艺厂家,工艺厂家将根据版图数据形成掩模版进行集成电路的生产与制造。

这里仍以 inv1 单元版图为例,介绍导出 GDS 数据的操作。在 CIW 中执行 File→Export→Stream 菜单命令,如图 5-17 所示,弹出 XStream Out 窗口。

如图 5-18 所示,单击 Library 文本框右侧的  按钮,弹出 Select lib, cells and views 对话框,选择准备导出的设计单元。如图 5-19 所示,选择 lab2 库中 inv1 单元的 layout 视图,单击 OK 按钮,导出的设计单元信息就自动填入了图 5-18 XStream Out 窗口中的相应文本框,导出文件名称为 inv1.gds。在 Log File 文本框中,工具自动填入 strmOut.log,用来记录数据导出的日志报表。当然,以上内容均可按需要手工填写。

^① 在 Virtuoso 电路图中,在全局量名称后会加上“!”,但在电路图中不显示“!”。例如,在电路图中 vdd 不显示为 vdd!,但此节点(连线)全局名称为 vdd!,那么在版图上相应的标签为 vdd!。

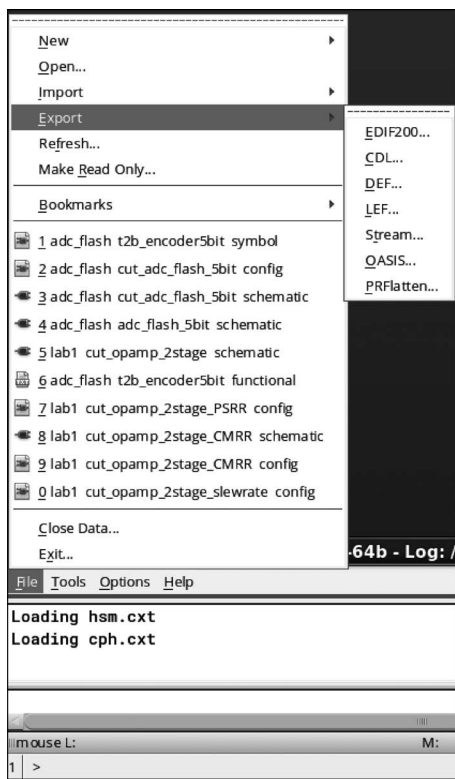


图 5-17 导出 GDS 数据文件菜单命令



图 5-18 XStream Out 窗口

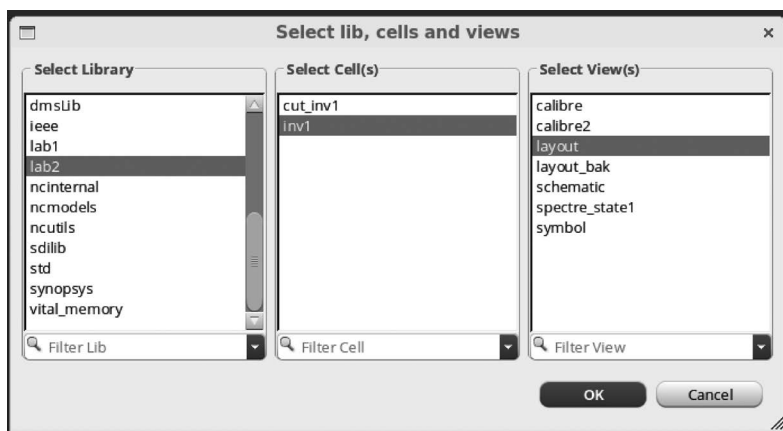


图 5-19 Select lib,cells and views 对话框

进一步地,如果还想了解导出数据的总结内容报表,可以在 XStream Out 窗口的 Log File 部分的 Summary File 文本框中输入报表名称,如 strmSum. log,如图 5-20 所示。Summary File 文本框中如果不填写任何文件名,则不会产生相应的总结内容报表。

对于 Layer Map 文本框,需要输入版图设计与 GDS 层号的对应关系,即如表 5-1 所示的绘制图层与 GDS 层号的关系。如果在版图库建库时编译的工艺文件中包含 streamLayers 的定义,则 Layer Map 文本框可以空着,这样会按照当初版图设计库中工艺

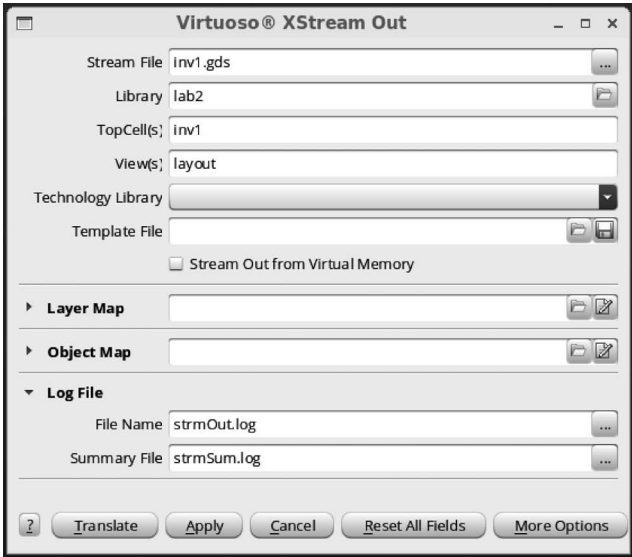


图 5-20 产生 GDS 总结内容报表

文件中的 streamLayers 定义导出 GDS 数据文件。如果版图库的工艺文件中没有包含 streamLayers 的定义,则需要在 Layer Map 文本框中输入内容,如图 5-21 所示。示例文件 layer_mapping.map 的部分内容如图 5-22 所示,其中第 1 列为绘制的版图图层名,第 2 列为版图图层的目的,一般是为了区分 drawing、label、pin 等不同目的的图层,第 3 列是导出 GDS 的图层号,第 4 列是 GDS 的图层的数据类型,与绘制版图的图层目的对应。

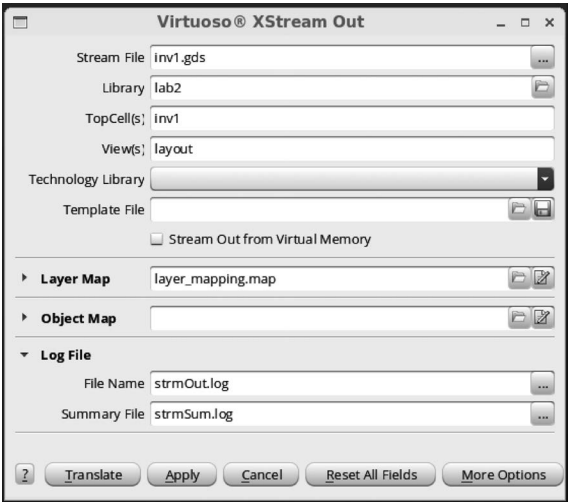


图 5-21 指定 Layer Map 文件

```
#####
#layer purpose streamNo. datatype #note
#####
NW      drawing 1 0 #NWELL
ACT     drawing 2 0 #Active area
GATE    drawing 12 0 #Poly gate
NPLUS   drawing 13 0 #Nimp
PPLUS   drawing 14 0 #Pimp
ESD     drawing 15 0 #ESD implant
SAB     drawing 16 0 #Non silicided area definition
CT      drawing 17 0 #Contact
PA      drawing 18 0 #Passivation
M1      drawing 21 0 #Metal1
M2      drawing 22 0 #Metal2
M3      drawing 23 0 #Metal3
M4      drawing 24 0 #Metal4
M5      drawing 25 0 #Metal5
M6      drawing 26 0 #Metal6
M7      drawing 27 0 #Metal7
MV1     drawing 31 0 #Via1
MV2     drawing 32 0 #Via2
MV3     drawing 33 0 #Via3
MV4     drawing 34 0 #Via4
MV5     drawing 35 0 #Via5
MV6     drawing 36 0 #Via6
M1 TEXT drawing 131 0 #Metal1 text layer
M2 TEXT drawing 132 0 #Metal2 text layer
M3 TEXT drawing 133 0 #Metal3 text layer
M4 TEXT drawing 134 0 #Metal4 text layer
M5 TEXT drawing 135 0 #Metal5 text layer
```

图 5-22 layer_mapping.map 示例文件部分内容

设置完成后,单击 Translate 或 Apply 按钮,就会执行 GDS 数据文件的导出。待导出完成后,弹出如图 5-23 所示的对话框,说明正常导出 GDS 完毕。如果出现问题,如 Warning 或 Error 提示,可以通过查看 strmOut.log 日志文件查找问题的原因。如果没有问题日志文件 strmOut.log,则报告导出 GDS 的基本过程信息,strmOut.log 文件部分内容如图 5-24 所示。如果想要了解导出 GDS 的具体信息,如图层对应关系、单元信息等,则可

以在生成的 strmSum.log 文件中查阅,如图 5-25 所示。



图 5-23 导出 GDS 结束

```
Summary of Options :
library              lab2
strmFile             inv1.gds
topCell             inv1
view                layout
LogFile             strmOut.log
summaryFile          strmSum.log
layerMap             layer_mapping.map
case                Preserve
convertDot           node
```

图 5-24 strmOut.log 文件部分内容

Individual Cell Statistics - Advanced Objects										
Library/Cell/View	PRBdy	OtherBdy	AreaBlkg	LayerBlkg	AreaHalo	Row	Marker	CustVia	StdVia	CdsGenVia
CMOS13MT7/NCH/layout	0	0	0	0	0	0	0	0	0	0
lab2/inv1/layout	0	0	0	0	0	0	0	0	1	0
CMOS13MT7/PCH/layout	0	0	0	0	0	0	0	0	0	0
CMOS13MT7/M1_GATE/layout	0	0	0	0	0	0	0	0	0	0

Statistics of Layers													
Cadence Layer	Cadence Purpose	Stream Layer	Stream Datatype	Polygon	Rect	Path	Text	TextDisplay	Line	Dot	Arc	Donut	Ellipse Pathseg
M1	drawing	21	0	0	9	0	0	0	0	0	0	0	7
PPLUS	drawing	14	0	0	3	0	0	0	0	0	0	0	0
ACT	drawing	2	0	0	16	0	0	0	0	0	0	0	0
CT	drawing	17	0	0	15	0	0	0	0	0	0	0	0
M1 TEXT	drawing	131	0	0	0	0	4	0	0	0	0	0	0
GATE	drawing	12	0	0	21	0	0	0	0	0	0	0	7
NPLUS	drawing	13	0	0	4	0	0	0	0	0	0	0	0
NW	drawing	1	0	0	1	0	0	0	0	0	0	0	0

Summary of Objects Translated:

Scalar Instances: 2
Array Instances: 0
Polygons: 0
Paths: 0
Rectangles: 69
Lines: 0
Arcs: 0

图 5-25 strmSum.log 文件部分内容

5.5 本章小结

本章介绍了版图设计的基本概念以及工具的使用。版图设计的核心目标是在保证电路物理实现时功能和性能的前提下尽量减小芯片面积消耗。对于模拟集成电路,版图设计主要需要考虑的是对称性和匹配性。本章介绍了版图设计工具的使用方法,以便读者可以快速上手掌握版图设计。每种版图设计工具都具有其各自强大的功能,这里就不一一介绍了,读者可以参考相关工具的用户手册以及参考手册。