

本章学习目标

- 知识目标：掌握锁存器和触发器的电路结构、逻辑功能、动作特性和使用方法，区分按照逻辑功能和动作特点划分的不同类型的锁存器/触发器。
- 能力目标：能够分析锁存器和触发器在数字电路中的工作原理和状态转换过程，具备根据具体需求选择合适类型的锁存器/触发器的能力。
- 素养目标：培养严谨的逻辑思维和科学态度，树立工程应用意识，注重理论与实际的紧密结合。

双稳态器件有两种稳定的状态，称为置位态与复位态。锁存器和触发器是数字电路中最基本的存储器件，是两种类型的双稳态器件，它们的共同特点是能够存储 1 位二进制信息。锁存器是构成触发器的基础，而触发器是构成时序逻辑电路的基础。按照逻辑功能进行划分，锁存器/触发器可分为 SR 锁存器/触发器、D 锁存器/触发器和 JK 触发器。根据动作特点进行划分，锁存器/触发器又可分为门控锁存器、脉冲触发器和边沿触发器 3 种类型。本章将系统介绍锁存器和触发器的电路结构、逻辑功能、动作特性和使用方法等。

3.1 本章导学结构图

本章导学结构图如图 3.1 所示。

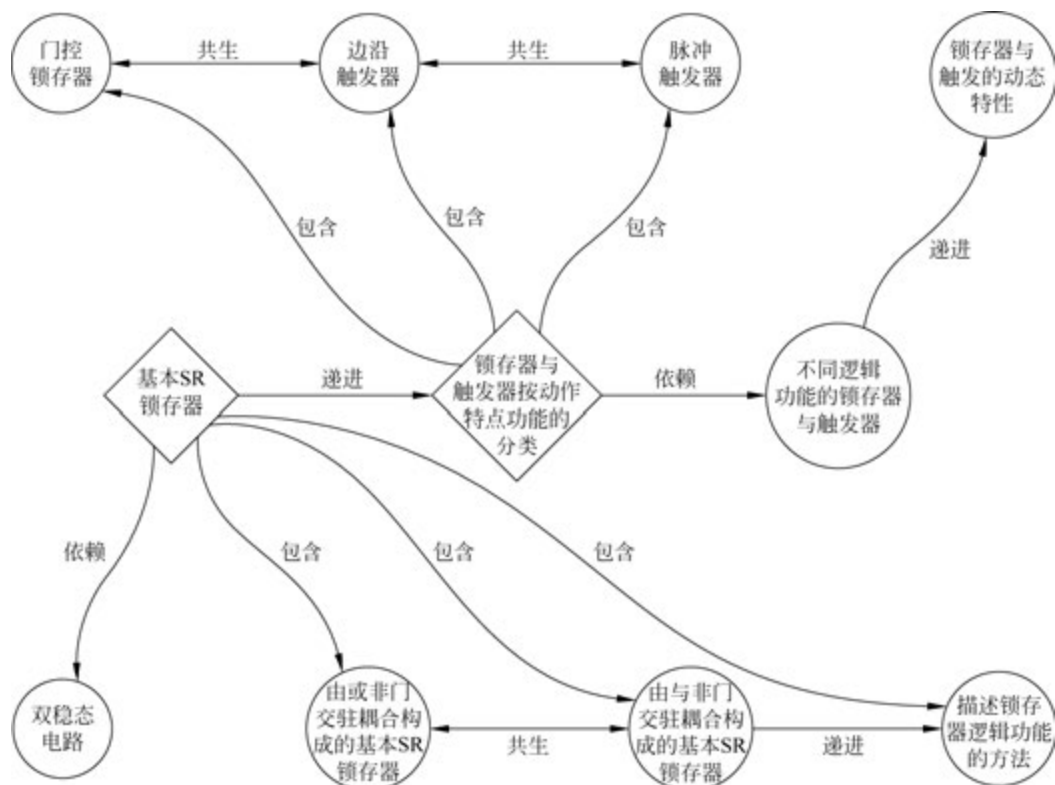


图 3.1 本章导学结构图

3.2 双稳态电路

锁存器是一种暂时存储数据的器件,它有两个稳定状态(双稳态),一般归类为区别于触发器的器件。锁存器和触发器相似,因为它们都是双稳态的器件,并且通过反馈方法可以稳定在其中一个状态,这种反馈方法是将输出连接到相对的输入。锁存器与触发器之间的主要区别是改变状态的方式不同。

数字电路中最基本的存储电路为双稳电路,如图 3.2(a)所示,由两个非门交叉耦合构成。所谓交互耦合,是指第一个门电路的输出作为第二个门电路的输入(正向连接),第二个门电路的输出又作为第一个门电路的输入(反馈连接)。

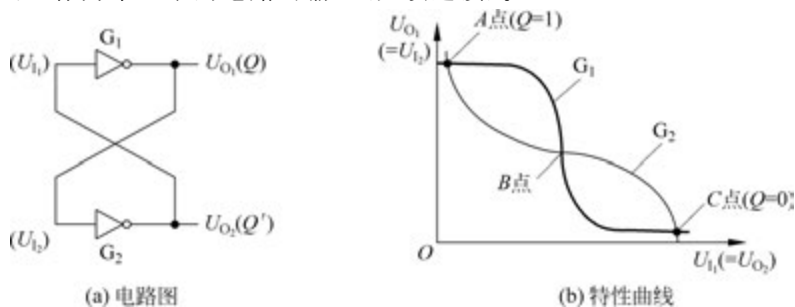


图 3.2 双稳态电路及其特性曲线

双稳电路的特性曲线如图 3.2(b) 所示。由图可以看出,双稳电路有两个稳态点 $A(U_{O_1}=1, U_{O_2}=0)$ 和 $C(U_{O_1}=0, U_{O_2}=1)$ 与一个介稳态点 B 。对于 CMOS 反相器构成的双稳电路,处于 B 点时 $U_{O_1}=U_{O_2} \approx (1/2)U_{DD}$ 。由于非门的输出与输入为反相关系,并且交互耦合为正反馈连接,因此当双稳电路处于 B 点时无法保持电压不变,且因内部噪声和外部干扰的影响而必然转换到 A 点或 C 点。因此,介稳态点 B 不是稳定的状态。若将反相器 G_1 的输出 U_{O_1} 命名为 Q ,则 G_2 的输出为 Q' ,并且定义 $Q=0, Q'=1$ 时表示存储的数据为 0,定义 $Q=1, Q'=0$ 时表示存储的数据为 1。在特性曲线中, A 点表示存储的数据为 1,称为 1 状态; C 点表示存储的数据为 0,称为 0 状态。

双稳电路的状态由链路构成的瞬间门电路的状态决定,并且能够永久地保持状态。因为没有输入端,所以无法控制双稳电路的状态。



视频讲解

3.3 基本 SR 锁存器

SR 锁存器是静态存储单元中最基本、电路结构最简单的一种锁存器,通常由两个或非门/与非门组成。

3.3.1 由或非门构成的基本 SR 锁存器

图 3.3 给出了用两个或非门组成的基本 SR 锁存器的电路。门电路虽然都有高、低电平两种不同的输出状态(1、0),但都不能自行保持。因此,该锁存器并不具备记忆功能。例如,在图 3.3(a) 所示的电路中,如果只有一个或非门 G_1 ,那么当另一个输入端接低电平时,输出 U_{O_1} 的电平将随输入 U_{I_1} 的状态而改变。

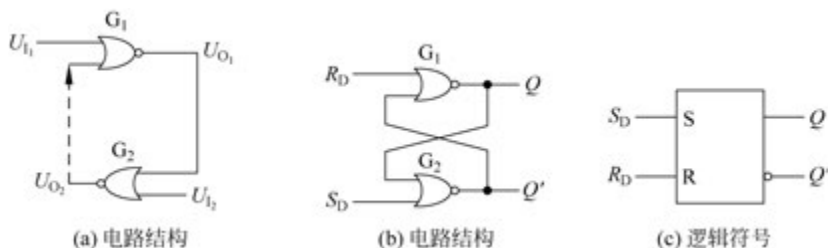


图 3.3 由或非门构成的基本 SR 锁存器

如果用另一个或非门 G_2 将 U_{O_1} 反相(同时将 G_2 的另一个输入端接低电平),则 G_2 的输出 U_{O_2} 将与 U_{I_1} 同相。再将 U_{O_2} 接回 G_1 的另一个输入端,此时即使原来加在 U_{I_1} 输入端上的信号消失了, U_{O_1} 和 U_{O_2} 的状态也能保持不变。这样就得到图 3.3 中由两个或非门所组成的 SR 锁存器电路。

因为 G_1 和 G_2 在电路中的作用完全相同,所以习惯上将电路画成图 3.3(b) 所示的对称形式。 Q 和 Q' 称为输出端,并且定义 $Q=1, Q'=0$ 为锁存器的 1 状态, $Q=0, Q'=1$ 为锁存器的 0 状态。 S_D 称为置位端或置 1 输入端, R_D 称为复位端或置 0 输入端。在正常工作的情况下,锁存器的输出总是互为反相。

根据正逻辑约定(高电平表示逻辑 1 状态,低电平表示逻辑 0 状态)可知:

当 $S_D=1, R_D=0$ 时, $Q=1, Q'=0$ (或 $Q^*=1$)。在 $S_D=1$ 信号消失(S_D 回到 0)后,由

于有 Q 端的高电平接回到 G_2 的另一个输入端,因此电路的 1 状态得以保持,即将锁存器的次态设置为 1(置 1 功能)。

当 $S_D=0,R_D=1$ 时, $Q=0,Q'=1$ (或 $Q^*=0$)。在 $R_D=1$ 信号消失(R_D 回到 0)后,电路 0 状态保持不变,即将锁存器的次态设置为 0(置 0 功能)。

当 $S_D=R_D=0$ 时,锁存器相当于双稳电路,电路状态维持不变, $Q=Q^*$ (保持功能)。

当 $S_D=R_D=1$ 时, $Q=Q'=0$,这既不是定义的 1 状态,也不是定义的 0 状态。在 S_D 和 R_D 同时回到 0 后无法断定锁存器将回到 1 状态还是 0 状态。因此,在正常工作时输入信号应遵守 $S_D \cdot R_D=0$ 的约束条件,即不允许输入 $S_D=R_D=1$ 的信号。

将上述逻辑关系列为真值表,即可得到表 3.1。因为锁存器新的状态 Q^* (也称次态)不仅与输入状态有关,而且与锁存器原来的状态 Q (也称初态)有关,所以将 Q 也作为一个变量列入真值表,并将 Q 称为状态变量通常将这种含有状态变量的真值表称为锁存器的真值表(或特性表),且 $Q^*=F(S_D,R_D,Q)$ 。

表 3.1 由或非门构成的基本 SR 锁存器真值表(或特性表)

| S_D | R_D | Q | Q^* |
|-------|-------|-----|-------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 状态不定 |
| 1 | 1 | 1 | 状态不定 |

3.3.2 由与非门构成的基本 SR 锁存器

SR 锁存器也可以用两个与非门构成,如图 3.4 所示。与由或非门构成的 SR 锁存器相比,该电路是以低电平作为输入信号的,所以用 S'_D 和 R'_D 分别表示置 1 输入端和置 0 输入端。在图 3.4(b)所示的逻辑符号中,输入端的小圆圈表示用低电平作输入信号,即表示低电平有效。

当 $S'_D=1,R'_D=1$ 时,锁存器相当于双稳电路,由反馈回路维持原来的状态不变。此时, $Q=Q^*$,即保持功能。

当 $S'_D=0,R'_D=1$ 时, $Q^*=1$ 。在输入 $S'_D R'_D=01$ 的作用下, S'_D 输入有效,锁存器的次态为 1,即置 1 功能。

当 $S'_D=1,R'_D=0$ 时, $Q^*=0$ 。在输入 $S'_D R'_D=10$ 的作用下, R'_D 输入有效,锁存器的次态为 0,即置 0 功能。

由于 S'_D 有效时将锁存器置 1, R'_D 有效时将锁存器置 0,因此称 S'_D 为置 1(置位)输入端, R'_D 为置 0(复位)输入端。

当 $S'_D=0,R'_D=0$ 时,通过分析可知 Q^* 和 $Q^{*'}$ 同时为 1。这个状态既不是前面定义的

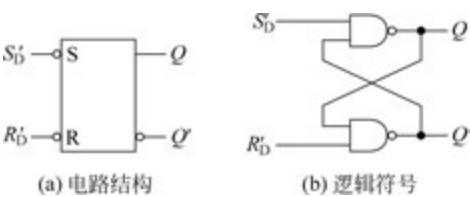


图 3.4 由与非门构成的基本 SR 锁存器

0 状态,也不是定义的 1 状态,而是一种错误的状态。因此,对于由与非门构成的基本 SR 锁存器,在正常应用的情况下,不允许 S_D' 和 R_D' 同时有效。

同理,由于锁存器的次态既与输入信号有关,也与现态有关,因此锁存器的次态是输入信号和现态的逻辑函数, $Q^* = F(S_D', R_D', Q)$ 。

表 3.2 由与非门构成的基本 SR 锁存器真值表(特性表)

| S_D' | R_D' | Q | Q^* |
|--------|--------|-----|-------|
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 0 | 0 | 0 | 状态不定 |
| 0 | 0 | 1 | 状态不定 |

3.3.3 描述锁存器逻辑功能的方法

因为锁存器的次态是逻辑函数,所以可以用逻辑函数的表示方法——真值表(特性表)、函数表达式(特性方程)、卡诺图和波形图进行表示。又因为锁存器具有 0 和 1 两种状态,输入信号的变化可能会引起状态的变化,所以其功能还可以用状态转换图或激励表进行表示。

1. 特性表

特性表即真值表,以表格的形式描述存储单元的次态与输入信号和现态之间的关系。由基本锁存器的特性表可知,在正常情况下不允许两个输入信号同时有效,所以同时有效的输入取值组合作为无关项进行处理。

2. 特性方程

由特性表画出锁存器的卡诺图,再进行化简即可得到锁存器的函数表达式,通常称为特性方程。

由或非门构成的锁存器的卡诺图如图 3.5(a)所示,化简可得 $Q^* = S_D + R_D' \cdot Q$,其中两个输入信号 S_D 和 R_D 应满足 $S_D \cdot R_D = 0$ 的约束条件。

由与非门构成的锁存器的卡诺图如图 3.5(b)所示,化简可得 $Q^* = S_D' + R_D' \cdot Q$,其中两个输入信号 S_D' 和 R_D' 应满足 $S_D' + R_D' = 1$ 的约束条件。

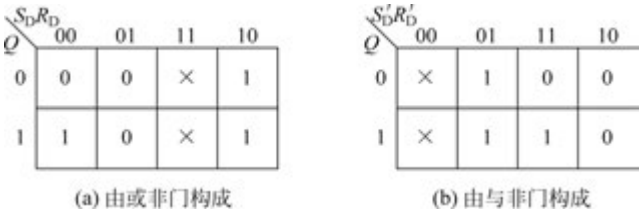


图 3.5 基本 SR 锁存器卡诺图

3. 状态转换图

通常有两种方式将存储单元两个状态之间的转换关系及其所需要的输入条件进行表示,用图形的方式表示称为状态转换图(简称为状态图),用表格的方式表示则称为激励表。

图 3.6 为由或非门构成的基本 SR 锁存器的状态转换图,表 3.3 为其激励表。

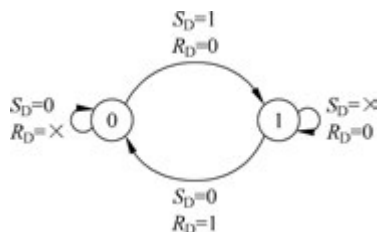


图 3.6 基本 SR 锁存器(或非门)的状态转换图

表 3.3 基本 SR 锁存器(或非门)的激励表

| Q | Q^* | S_D | R_D |
|-----|-------|----------|----------|
| 0 | 0 | 0 | \times |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | \times | 0 |

例 3.1 在图 3.7 所示的 SR 锁存器电路中,已知 S_D' 和 R_D' 的电压波形,试画出 Q 、 Q' 端的电压波形图。

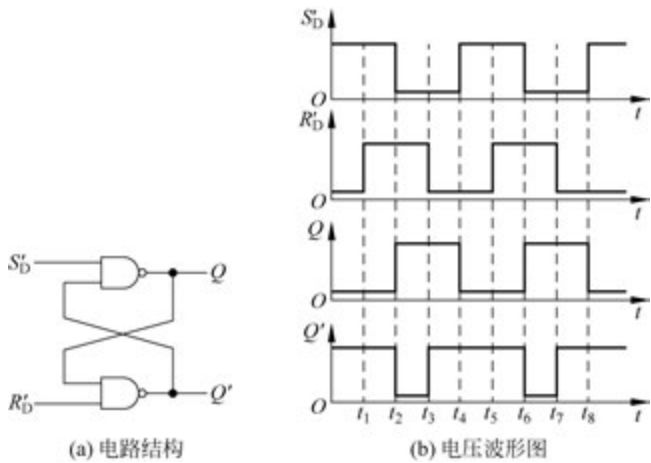


图 3.7 例 3.1 电路和电压波形

分析：实质上这是一个用已知的 S_D' 和 R_D' 的状态确定 Q 和 Q' 状态的问题。

方法一：根据每个时间区间里 S_D' 和 R_D' 的状态,查找锁存器的特性表,即可找出 Q 和 Q' 的相应状态并画出波形图。

方法二：通过电路图上的特殊节点直接画出 Q 和 Q' 端的波形图,而不必查找特性表。

从图 3.7(b)所示的波形图上可以看到,虽然在 $t_3 \sim t_4$ 和 $t_7 \sim t_8$ 期间输入端出现了 $S_D' = R_D' = 0$ 的状态,但由于 R_D' 首先回到了高电平,因此锁存器的次态仍然是可以确定的。

3.4 锁存器与触发器按动作特点的分类

通常从动作特点和逻辑功能这两个不同的角度考查锁存器与触发器的功能和特点。从理论上讲,SR 触发器、D 触发器、JK 触发器都可以采用边沿触发电路形式实现,而同种功能的触发器也可以用脉冲、边沿等不同的电路形式实现,从而具有不同的动作特点。

根据动作的不同特点进行划分,锁存器与触发器可以分为门控锁存器、脉冲触发器和边沿触发器 3 种类型。门控锁存器在时钟脉冲的有效电平期间工作；脉冲触发器在时钟脉冲的上升沿开始工作,但到下降沿才能进行状态更新；边沿触发器只在时钟脉冲的上升沿或下降沿工作。

3.4.1 门控锁存器

基本锁存器的输入信号不受其他信号的控制,因此输入信号的任何变化都可能引起锁存器状态的变化。当数字系统中有多个存储单元时,通常希望能够协调这些存储单元的动作,以使它们同步工作,为此需要给存储单元引入控制信号。



图 3.8 时钟脉冲

协调存储单元工作的控制信号称为时钟(clock)或时钟脉冲(clock pulse),记作 CLK 或 CP。为讨论方便,将时钟分为低电平、上升沿、高电平和下降沿 4 个阶段,如图 3.8 所示。引入时钟的锁存器称为门控锁存器。

1. 门控 SR 锁存器

图 3.9 是门控 SR 锁存器,也称电平触发的 SR 触发器。这个电路由两部分组成:由与非门 G_1 、 G_2 组成的 SR 锁存器和由与非门 G_3 、 G_4 组成的输入控制电路。由于输入 S 和 R 受时钟 CLK 的控制而不再直接起作用,因此没有下标 D。

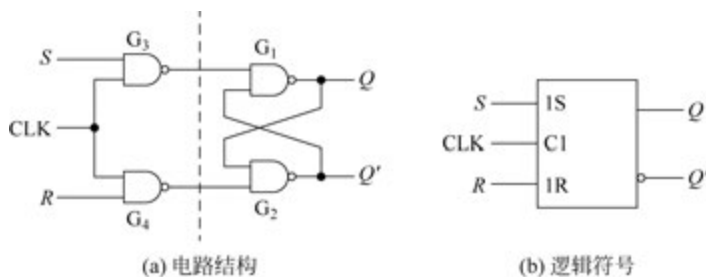


图 3.9 门控 SR 锁存器

由图可知,当 $CLK=0$ 时,门 G_3 、 G_4 的输出始终停留在 1 状态,S、R 端的信号无法通过 G_3 、 G_4 而影响输出状态,因此输出保持原来的状态不变。只有当触发信号 CLK 变成高电平以后,S、R 信号才能通过门 G_3 、 G_4 加到由门 G_1 、 G_2 组成的锁存器上,此时“触发”电路发生变化,使 Q 和 Q' 根据 S、R 信号而改变状态。因此,将 CLK 的这种控制方式又称为电平触发方式。

在图 3.9(b)所示的逻辑符号中,用框内的 C1 表示 CLK 是编号为 1 的一个控制信号;1S 和 1R 表示受 C1 控制的两个输入信号,只有在 C1 为有效电平($C1=1$)时,1S 和 1R 信号才能起作用。框图外部的输入端处没有小圆圈,表示 CLK 以高电平为有效信号;反之,如果在 CLK 输入端处有小圆圈,则表示 CLK 以低电平为有效信号。

门控 SR 锁存器电路的特性表(真值表)如表 3.4 所示。从表中可见,只有当 $CLK=1$ 时,触发器输出端的状态才受输入信号的控制,而且在 $CLK=1$ 时该特性表与 SR 锁存器的特性表完全相同。

表 3.4 门控 SR 锁存器真值表

| CLK | S | R | Q | Q* |
|-----|---|---|---|----|
| 0 | × | × | 0 | 0 |
| 0 | × | × | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |



视频讲解

续表

| CLK | S | R | Q | Q* |
|-----|---|---|---|------|
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 状态不定 |
| 1 | 1 | 1 | 1 | 状态不定 |

门控 SR 锁存器与基本锁存器一样,具有置 0、置 1 和保持 3 种功能。由于门控 SR 锁存器在两个输入信号同时有效时仍然会导致锁存器状态错误,因此门控 SR 锁存器的输入信号同样需要遵守 $S \cdot R=0$ 的约束条件,否则当 $S、R$ 同时由 1 变为 0 或 $S=R=1$ 时 CLK 会回到 0,触发器的次态将无法确知。

在某些应用场合,有时需要在 CLK 的有效电平到达之前预先将门控锁存器置为指定的状态,为此在实用的电路上往往还设置有异步置“1”输入端 S'_D 和异步置“0”输入端 R'_D ,如图 3.10 所示。由图可知,只要使 S'_D 或 R'_D 接入低电平,即可立即将触发器置 1 或置 0,而不受时钟信号的控制。触发器在时钟信号控制下正常工作时应使 S'_D 和 R'_D 处于高电平。

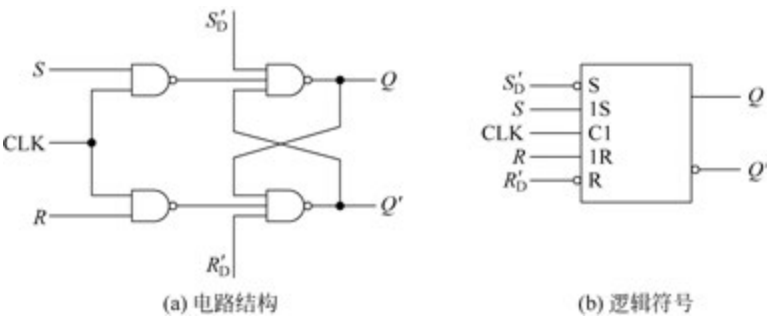


图 3.10 带异步置位、复位端的门控 SR 锁存器

此外,用 S'_D 或 R'_D 将触发器置位或复位应在 $CLK=0$ 的状态下进行,否则在 S'_D 或 R'_D 返回高电平后预置的状态不一定会被保存。

例 3.2 已知门控 SR 锁存器的输入信号波形如图 3.11 所示,设锁存器的初始状态为 $Q=0$,试画出 $Q、Q'$ 端的电压波形图。

分析：由给定的输入电压波形可见,在第一个 CLK 高电平期间先是 $S=1、R=0$,输出被置为 $Q=1、Q'=0$ 。随后输入变为 $S=R=0$,因而输出状态保持不变。最后输入又变为 $S=0、R=1$,将输出置为 $Q=0、Q'=1$,所以 CLK 回到低电平后触发器停留在 $Q=0、Q'=1$ 的状态。在第二个 CLK 高电平期间,若 $S=R=0$,则触发器的输出状态应保持不变。但由于在此期间 S 端出现了一个干扰脉冲,因而触发器被置为 $Q=1$ 。

2. 门控 D 型锁存器

已知门控 SR 锁存器的输入信号需要遵守 $S \cdot R=0$ 的约束条件。为了消除该约束,尝试让 R 和 S 相反,即取 $R=S'$,如图 3.12 所示,这样可以使门控 SR 锁存器的输入信号始终满足 $S \cdot R=0$ 的约束条件。这种改进方法虽然消除了约束却改变了锁存器的逻辑功能,因此这种锁存器不再是 SR 锁存器,而称为 D 型锁存器。



视频讲解

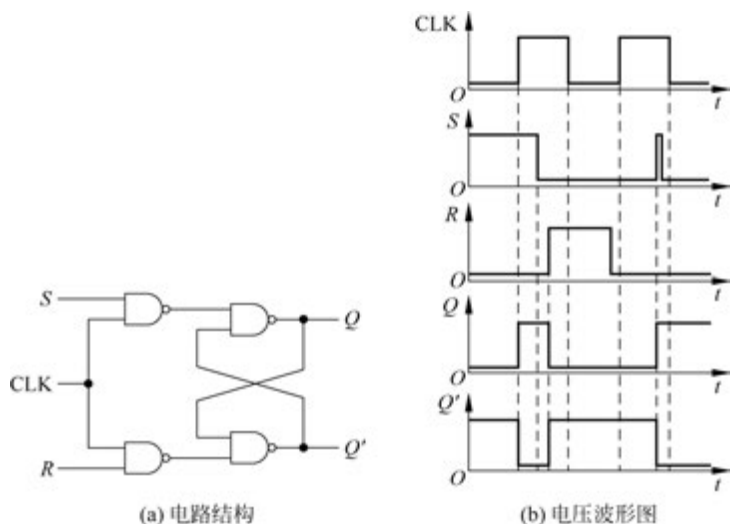


图 3.11 例 3.2 电路和电压波形

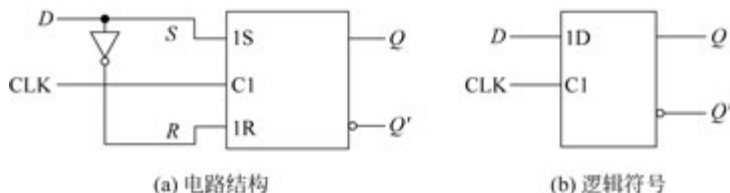


图 3.12 门控 D 型锁存器

由图可见,若 $D=1$,则 CLK 变为高电平后触发器被置为 $Q=1$,CLK 回到低电平后触发器保持 1 状态不变。若 $D=0$,则 CLK 变为高电平后触发器被置为 $Q=0$,CLK 回到低电平后触发器保持 0 状态不变。因为门控 D 型锁存器仍然工作在电平触发方式下,所以同样具有电平触发的动作特点。

由 D 型锁存器的特性方程可以推出:当 CLK 为高电平时,若 $D=0$,则 $Q^*=0$;若 $D=1$,则 $Q^*=1$ 。因此,门控 D 型锁存器只具有置 0 和置 1 两种功能。

锁存器有时会用于数据复用到总线的场合。例如,从外部输入某一数据到计算机,必须要与从其他源输入的数据共享数据总线。当数据总线对外部源不可用时,正在传送的数据必须要能够临时存储,为此可以将锁存器放在外部源和数据总线之间,以实现该功能。当数据总线对外部源不可用时,锁存器需要使用一种称为“三态”的方法与总线断开连接。当数据总线可用时,外部数据直接通过锁存器,术语“直通锁存器”由此而来。门控 D 型锁存器能够执行这项功能是因为当它被启动时,输入端的数据会出现在输出端,就好像它们直通一样。当锁存器无效时,输入端的数据就会立即存储,因此又称“透明的”锁存器。

例 3.3 已知门控 D 锁存器的时钟 CLK 和输入信号 D 的电压波形如图 3.13 所示。设锁存器的初始状态为 0,画出在 CLK 和 D 作用下锁存器输出 Q 和 Q' 的电压波形。

分析: 门控 D 锁存器在 CLK 高电平期间工作且输出是透明的,在时钟为低电平期间不工作而处于保持状态,所以门控 D 锁存器的输出 Q 和 Q' 的电压波形如图 3.13 所示。

例 3.4 门控 D 锁存器的 CLK 和输入端 D 的电压波形如图 3.14 所示,假定触发器的

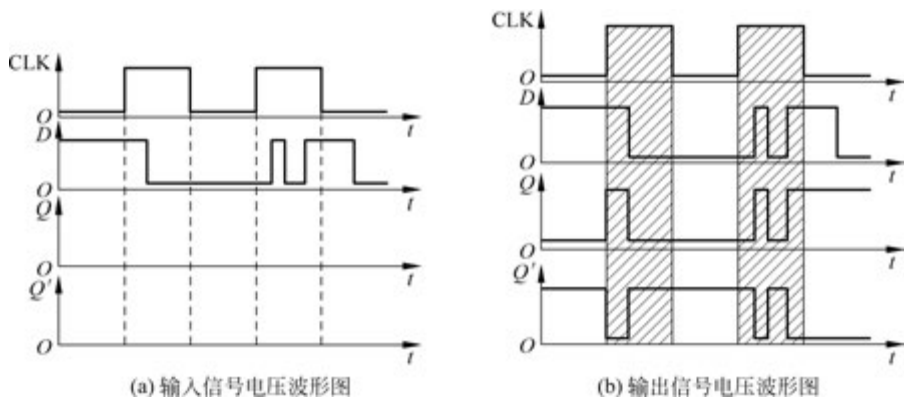


图 3.13 例 3.3 电路和电压波形

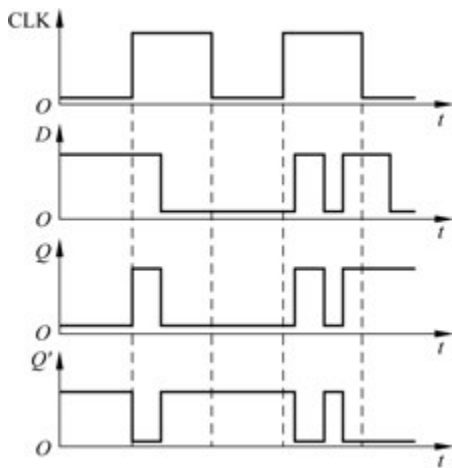


图 3.14 例 3.4 电路和电压波形

初始状态为 $Q=0$, 试画出 Q 和 Q' 端的电压波形。

分析: 根据门控 D 锁存器的特性表可知, 电平触发的 D 触发器在 $\text{CLK}=1$ 期间输出 Q 与输入 D 的状态相同, 而当 CLK 变为低电平后, 触发器将保持 CLK 变为低电平之前的状态。

3.4.2 脉冲触发器

脉冲触发器具有以下两个值得注意的动作特点。

(1) 触发器的翻转分两步动作。第一步, 当 CLK 以高电平为有效信号时, 在 $\text{CLK}=1$ 期间主触发器接收输入端 (S, R 或 J, K) 的信号, 被置为相应的状态, 而从触发器不动; 第二步, CLK 下降沿到来时从触发器按照主触发器的状态翻转, 所以 Q, Q' 端状态的变化发生在 CLK 的下降沿。

若 CLK 以低电平为有效信号, 则 Q 和 Q' 状态的变化发生在 CLK 的上升沿。

(2) 因为主触发器本身是一个电平触发的 SR 触发器, 所以在 $\text{CLK}=1$ 的全部时间里输入信号都将对主触发器起控制作用。

由于存在这样两个动作特点, 在 $\text{CLK}=1$ 期间输入信号发生过变化后, CLK 下降沿到达时从触发器的状态不一定能按此刻输入信号的状态来确定, 而必须考虑整个 $\text{CLK}=1$ 期

间里输入信号的变化过程才能确定触发器的次态。因此,在使用脉冲触发的触发器时必须注意只有在 $CLK=1$ 的全部时间里输入状态始终未变的条件下,才能用 CLK 下降沿到达时的输入状态决定触发器的次态;否则,必须考虑 $CLK=1$ 期间输入状态的全部变化过程,才能确定 CLK 下降沿到达时触发器的次态。

1. 脉冲触发的 D 触发器

如果将两个门控 D 锁存器级联构成的边沿触发的 D 触发器(见图 3.19)中的 D 锁存器换成门控 SR 锁存器,则将构造为脉冲触发的 SR 触发器,以前也将该电路称为主从 SR 触发器。它的实现方法之一即采用主从式结构,如图 3.15 所示。

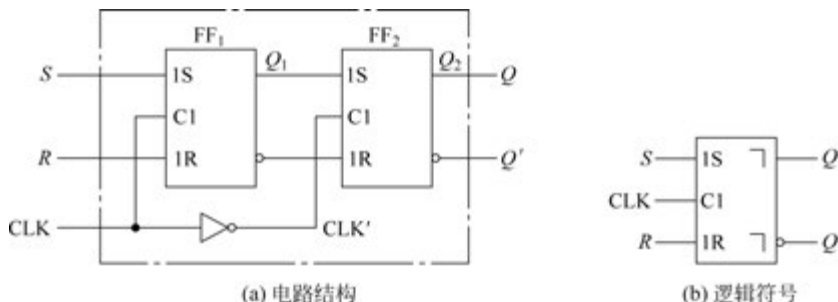


图 3.15 脉冲触发的 SR 触发器

具体做法是将两级门控 SR 锁存器级联,第一级 FF_1 称为主锁存器(或主触发器),时钟 $CLK_1=CLK$; 第二级 FF_2 称为从锁存器(或从触发器),时钟 $CLK_2=CLK'$ 。当 $CLK=0$ 时, FF_1 保持原状态不变。在 CLK 变为高电平后, $CLK=1$ 、 $CLK'=0$,主触发器的输出 Q_1 将按照 S 和 R 输入端信号被置为相应的状态,而从触发器保持原来的状态不变。当 CLK 回到低电平,即下降沿到来时,从触发器的输出 Q_2 被置为与此时 Q_1 相同的状态,而主触发器开始保持状态不变。由此可见,在一个时钟周期里,输出端的状态只可能改变一次且发生在 CLK 的下降沿,该特性与边沿触发器类似。

需要注意的是,此时输入端的主触发器 FF_1 是一个门控 SR 锁存器,而不是门控 D 触发器。在 CLK 高电平期间,主触发器输出的状态可能随 S 和 R 状态的变化而发生多次翻转,输出端的状态不可能始终与输入状态保持一致。因此,在脉冲触发的 SR 触发器中,不能像边沿触发器那样,仅仅根据 CLK 下降沿到来时刻输入端 S 和 R 状态确定输出端 Q 的状态,而必须考虑 $CLK=1$ 期间主触发器状态的全部变化情况。这点是脉冲触发方式和边沿触发方式的区别所在。

下面对主从式 SR 触发器的工作原理进行详细分析。

时钟脉冲处于低电平期间: 因为 $CLK=0$, 所以 $CLK_1=0$ 、 $CLK_2=1$, 主锁存器保持, 从锁存器处于工作状态。当主锁存器的状态 $Q_1=1$ 时, 分析可知从锁存器的状态 $Q_2=1$ 。当 $Q_1=0$ 时, $Q_2=0$, 即在 $CLK=0$ 期间, 触发器的状态与主锁存器状态相同, 即 $Q=Q_1=Q_2$ 。

时钟脉冲处于上升沿到来时: 当 CLK 上升沿到来时, 主锁存器开始工作, 接收输入 S 和 R 信号, 根据逻辑功能更新 Q_1 的状态。从锁存器从工作转为保持, 触发器的状态保持 CLK 为低电平期间的状态不变。

时钟脉冲处于高电平期间: 因为 $CLK=1$, 所以 $CLK_1=1$ 、 $CLK_2=0$, 主锁存器处于工作状态, 从锁存器依然保持, 触发器的状态保持不变。

时钟脉冲处于下降沿到来时：当 CLK 下降沿到来时，主锁存器将由工作转为保持，锁定时钟脉冲 CLK 下降沿到来瞬间 Q_1 的状态。从锁存器开始工作，将主锁存器的状态 Q_1 传递给 Q_2 ，因此触发器的状态是在时钟下降沿到来瞬间进行更新的，其状态 Q 是由时钟为高电平期间输入信号 S 和 R 决定的。

经过上述分析可知，当时钟脉冲 CLK 上升沿到来时，触发器已经开始工作，但必须等到脉冲下降沿到来时才能进行状态更新，所以触发器完成一次状态更新需要经过一个完整的时钟脉冲，因而主从式触发器称为脉冲触发器。由于脉冲触发的 SR 触发器中的主锁存器在时钟脉冲为高电平期间始终处于工作状态，因此其抗干扰能力还没有得到有效的改善。

图 3.15(b)为脉冲触发的 SR 触发器逻辑符号图，用框内的“ \neg ”表示脉冲触发方式。因为需要等到 CLK 的有效电平消失(回到低电平)后，输出状态才改变，所以也将这种触发方式称为延迟触发。如果在图 3.15(b)电路的 CLK 输入端增加一个反相器，则电路将变为 CLK 以低电平为有效信号，此时输出状态的变化将发生在 CLK 的上升沿。

由于主触发器是一个电平触发的 SR 触发器，因此在 CLK 的有效电平期间不应当施加 $S=R=1$ 的输入信号，即仍需遵守 $S \cdot R=0$ 的约束条件。前面已经讲过，之所以规定这个约束条件，是因为当 CLK 的有效电平消失后，或者 S 、 R 的高电平同时回到低电平时，不能确定触发器的次态。为了解除这一约束，如果规定当输入为 $S=R=1$ 时，触发器的次态为初态的反状态($Q=Q'$)，则触发器的次态可以得到确定。

脉冲触发的 SR 触发器的特性表如表 3.5 所示。

表 3.5 脉冲触发的 SR 触发器的特性表

| CLK | S | R | Q | Q* |
|-----|---|---|---|------|
| × | × | × | × | Q |
| ↓ | 0 | 0 | 0 | 0 |
| ↓ | 0 | 0 | 1 | 1 |
| ↓ | 1 | 0 | 0 | 1 |
| ↓ | 1 | 0 | 1 | 1 |
| ↓ | 0 | 1 | 0 | 0 |
| ↓ | 0 | 1 | 1 | 0 |
| ↓ | 1 | 1 | 0 | 状态不定 |
| ↓ | 1 | 1 | 1 | 状态不定 |

例 3.5 在图 3.15(a)的正脉冲触发的 SR 触发器中，假设触发器的初始状态为 $Q=0$ 。若 CLK、 S 和 R 的电压波形如图 3.16 所示，试画出输出 Q 和 Q' 端的电压波形。

分析：根据 $CLK=1$ 期间 S 、 R 的状态可以得到 Q_1 、 Q'_1 的电压波形，再根据 CLK 下降沿到达时 Q_1 、 Q'_1 的状态即可画出 Q_1 、 Q'_1 的电压波形。由图可见，在第 6 个 CLK 高电平期间， Q_1 、 Q'_1 的状态虽然改变了两次，但输出端的状态并不改变。

2. 脉冲触发的 JK 触发器

脉冲 SR 触发器对输入信号 S 、 R 仍有约束。为了消除约束，可以利用触发器的输出 Q 和 Q' 互为反相的特点来满足约束条件。具体做法是当 $S=R=1$ 时，将脉冲 SR 触发器的输出端 Q 反馈到 R 端与 K 信号相与，将 Q' 反馈到 S 端与 J 信号相与，如图 3.17 所示。这种改进方法同样改变了触发器的逻辑功能，所以这种触发器不再是 SR 触发器，而称为 JK 触发器。



视频讲解

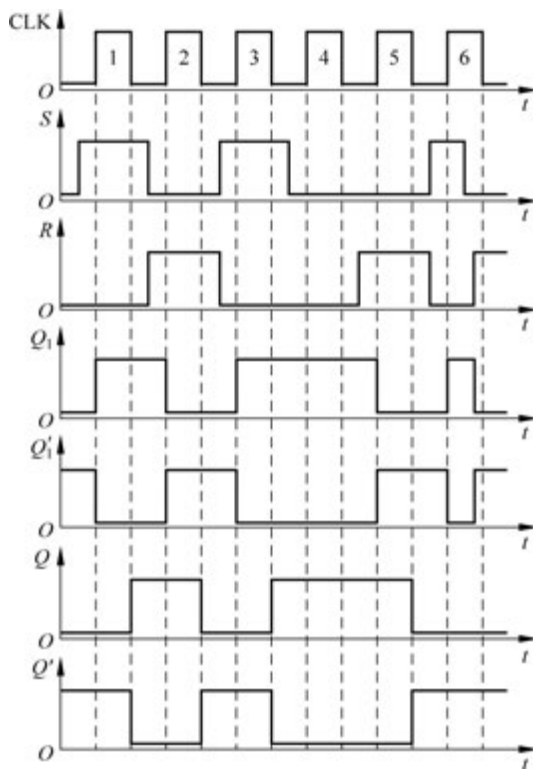


图 3.16 例 3.5 的电压波形

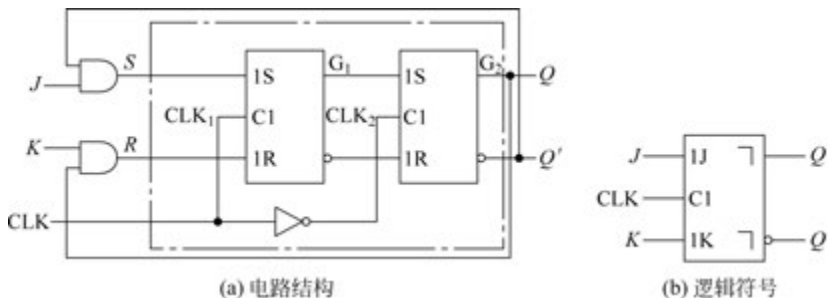


图 3.17 脉冲 JK 触发器的电路结构及逻辑符号

若 $J=1, K=0$, 则 $\text{CLK}=1$ 时主触发器 FF_1 置 1 (原来是 0 则置为 1, 原来是 1 则保持 1), $\text{CLK}=0$ 后从触发器 FF_2 也置 1, 即 $Q=1$ 。

若 $J=0, K=1$, 则 $\text{CLK}=1$ 时主触发器 FF_1 置 0, $\text{CLK}=0$ 后从触发器 FF_2 也置 0, 即 $Q^*=0$ 。

若 $J=K=0$, 则门 G_1, G_2 被封锁, 触发器保持原状态不变, 即 $Q^*=Q$ 。

若 $J=K=1$, 则需要分别考虑两种情况。第一种情况: 当 $Q=0$ 时, 门 G_2 被 Q 端的低电平封锁, $\text{CLK}=1$ 时仅 G_1 输出低电平信号, 故主触发器 FF_1 置 1。 $\text{CLK}=0$ 后从触发器 FF_2 也置 1, 即 $Q^*=1$ 。第二种情况: 当 $Q=1$ 时, 门 G_1 被 Q' 端的低电平封锁, 因而在 $\text{CLK}=1$ 时仅 G_2 能给出低电平信号, 主触发器 FF_1 被置 0。当 $\text{CLK}=0$ 后, 从触发器置 0, 即 $Q^*=0$ 。

综上所述, 无论 $Q=1$ 还是 $Q=0$, 当 $J=K=1$ 时, 触发器的次态可统一表示为 $Q^*=Q'$ 。

也就是说,当 $J = K = 1$ 时,CLK 下降沿到达后触发器将翻转为与初态相反的状态。

图 3.17 中的 JK 触发器,由于 $S = J \cdot Q'$ 、 $R = K \cdot Q$,因此 $S \cdot R = J \cdot Q' \cdot K \cdot Q = 0$, JK 触发器对输入信号 J 、 K 没有限制。

将 S 和 R 的表达式代入 SR 触发器的特性方程,推出 JK 触发器的特性方程为

$$\begin{aligned} Q^* &= S + R'Q \\ &= JQ' + (KQ)'Q \\ &= JQ' + (K' + Q')Q \\ &= JQ' + K'Q \end{aligned} \tag{3.1}$$

将 J 、 K 的 4 种取值组合代入上述特性方程中,将逻辑关系用真值进行表示,即可得到表 3.6 所示的脉冲触发的 JK 触发器的特性表。

表 3.6 脉冲触发的 JK 触发器的特性表

| CLK | J | K | Q | Q* |
|-----|---|---|---|----|
| × | × | × | × | Q |
| ↓ | 0 | 0 | 0 | 0 |
| ↓ | 0 | 0 | 1 | 1 |
| ↓ | 1 | 0 | 0 | 1 |
| ↓ | 1 | 0 | 1 | 1 |
| ↓ | 0 | 1 | 0 | 0 |
| ↓ | 0 | 1 | 1 | 0 |
| ↓ | 1 | 1 | 0 | 1 |
| ↓ | 1 | 1 | 1 | 0 |

例 3.6 在脉冲 JK 触发器中,设触发器的初始状态为 $Q = 0$ 。若 CLK、 S 和 R 的电压波形如图 3.18 所示,试画出输出 Q 和 Q' 端的电压波形。

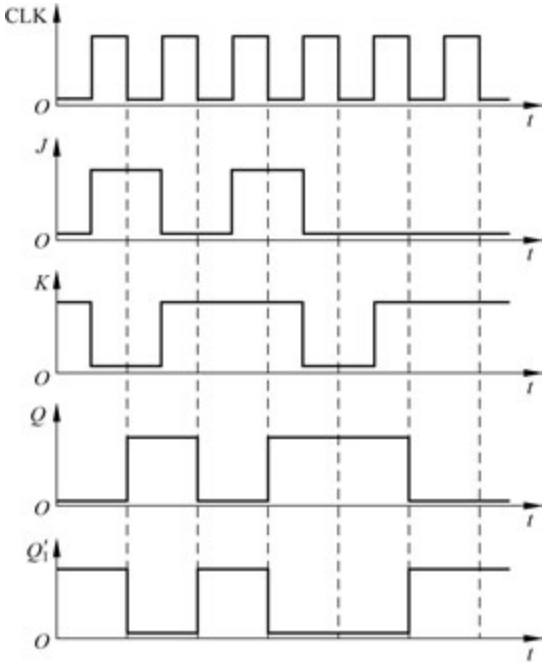


图 3.18 例 3.6 的波形



视频讲解

分析：由于每一时刻 J 、 K 的状态均已由波形图给定，而且 $\text{CLK}=1$ 期间 J 、 K 的状态不变，因此只要根据 CLK 下降沿到达时 JK 的状态去查主从 JK 触发器的特性表，即可逐段画出 Q 和 Q' 端的电压波形。可以看出，触发器输出端状态的改变均发生在 CLK 信号的下降沿，而且即使 $\text{CLK}=1$ 时 $J=K=1$ ， CLK 下降沿到来时触发器的次态也是确定的。

3.4.3 边沿触发器

触发器是同步的双稳态器件。在这种情况下，术语“同步”的意思是指输出状态的变化只发生在触发输入称为时钟的一个特定点（前沿或后沿）处，时钟被指定为控制输入 C 。也就是说，输出变化的出现与时钟同步。触发器对时钟边沿敏感，而门控锁存器对电平敏感。在不同的触发方式下，触发器的动作过程具有不同的动作特点。掌握这些动作特点，对于正确使用触发器是十分必要的。

为提高触发器的可靠性并增强抗干扰能力，触发器的次态需要只取决于 CLK 信号上升沿（也称正边沿）或下降沿（也称负边沿）到达时刻输入信号的状态，而在此前后输入状态的变化对触发器的次态没有影响。为实现这一设想，人们相继研制出各种边沿触发的触发器电路。目前已用于数字集成电路产品中的边沿触发器电路包括用两个电平触发的 D 触发器构成的边沿触发器、维持阻塞触发器、利用门电路传输延迟时间的边沿触发器等几种较为常见的电路结构形式。本节介绍两种边沿触发器：边沿触发的 D 触发器和边沿触发的 JK 触发器。

1. 边沿触发的 D 触发器

图 3.19 是用两个门控 D 锁存器级联构成的边沿触发的 D 触发器，其中 FF_1 和 FF_2 是两个门控 D 锁存器。由图可见，当 CLK 处于低电平时 CLK_1 为高电平，因而 FF_1 的输出 Q_1 跟随输入端 D 的状态变化，始终保持 $Q_1=D$ 。与此同时， CLK_2 为低电平， FF_2 的输出 Q_2 （整个电路最后的输出 Q ）保持原来的状态不变。

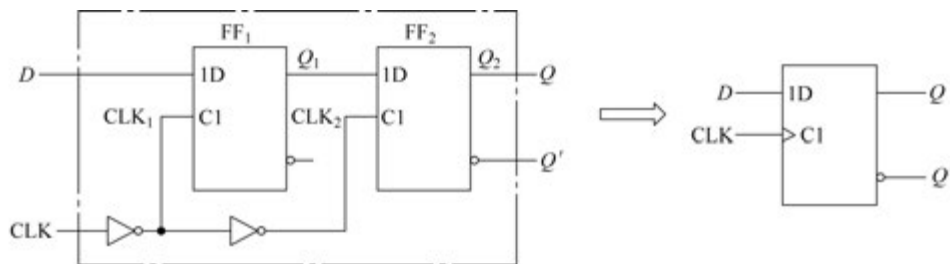


图 3.19 用两个门控 D 锁存器级联构成的边沿触发的 D 触发器

当 CLK 由低电平跳变至高电平时， CLK_1 随之变为低电平，于是 Q_1 保持为 CLK 上升沿到达前瞬间输入端 D 的状态，此后不再跟随 D 的状态而改变。与此同时， CLK_2 跳变为高电平，使 Q_2 与它的输入状态相同。由于 FF_2 的输入就是 FF_1 的输出 Q_1 ，因此输出端 Q 便被置为与 CLK 上升沿到达前瞬时 D 端相同的状态，而与此前和此后 D 端的状态无关。边沿触发器只在时钟脉冲的边沿工作且工作时间极短，其余时间均处于保持状态，所以它受到干扰的概率很小，从而具有很强的抗干扰能力。

时钟 $C1$ 前框内的“ $>$ ”表示边沿触发方式，这些触发器都可以在正边沿触发（在 C 输入端没有小圆圈）或在负边沿触发（在 C 输入端有小圆圈）。通过逻辑符号识别边沿触发的关

键是框内时钟输入(C)上的小三角,这个小三角称为动态输入指示器。动态输入指示器表示触发器的状态改变仅发生在时钟脉冲的边沿。

下面对边沿触发的 D 触发器的工作原理进行详细分析。

时钟脉冲处于低电平期间: 由于 $CLK=0$ 、 $CLK_1=1$ 且 $CLK_2=0$, 因此锁存器 FF_1 工作, 其输出 Q_1 随输入信号 D 的变化而变化($Q_1=D$), 锁存器 FF_2 则保持原来的状态不变。

时钟脉冲处于上升沿到来时: 由于 CLK_1 由高电平跳变为低电平, 因此锁存器 FF_1 由工作转为保持, Q_1 锁定上升沿到来瞬间输入 D 的值。与此同时, CLK_2 由低电平跳变为高电平, 锁存器开始工作, 其输出 Q 跟随 Q_1 变化, 此时 $Q=Q_1=D$ (D 为时钟 CLK 上升沿到来瞬间的值)。

时钟脉冲处于高电平期间: 由于 $CLK=1$ 、 $CLK_1=0$ 且 $CLK_2=1$, FF_1 保持, FF_2 跟随, 因此 $Q=Q_1=D$ 保持不变。

时钟脉冲处于下降沿到来时: CLK_1 由低电平跳变为高电平, 锁存器 FF_1 开始工作, 接收下一个周期输入 D 的数据。 CLK_2 由高电平跳变为低电平, 锁存器 FF_2 由工作转为保持, 保持时钟脉冲上升沿到来时输入 D 的值不变。

由上述分析可知, 边沿触发的 D 触发器的次态仅仅取决于时钟脉冲上升沿到达时输入信号 D 的值, 其余时间均保持不变, 即上升沿前后输入信号 D 的变化对触发器的状态没有影响。边沿触发器的这一特点有效地提高了触发器的抗干扰能力, 提高了触发器工作的可靠性。

目前在 CMOS 集成电路中主要采用这种电路结构形式制作边沿触发器。图 3.20 就是 CMOS 边沿触发的 D 触发器的典型电路。

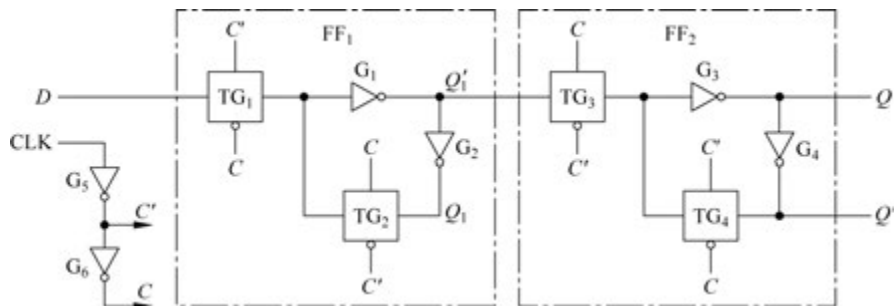


图 3.20 CMOS 边沿触发的 D 触发器电路结构

FF_1 和 FF_2 是两个利用 CMOS 传输门组成的门控 D 锁存器。当 $CLK=0$ 时, $C=0$ 、 $C'=1$, TG_1 导通、 TG_2 截止, D 端的输入信号送入 FF_1 使 $Q_1=D$ 。在 $CLK=0$ 期间, Q_1 的状态将一直跟随 D 的状态而变化。同时, 由于 TG_3 截止、 TG_4 导通, FF_2 保持原来的状态不变。

当 CLK 的上升沿到达时, $C=1$ 、 $C'=0$, TG_1 变为截止、 TG_2 变为导通。由于反相器 G_1 输入电容的存储效应, G_1 输入端的电压不会立刻改变, 因此 Q_1 在 TG_1 变为截止前的状态得到保存。同时, 随着 TG_4 变为截止、 TG_3 变为导通, Q_1 的状态通过 TG_3 与 G_3 、 G_4 送到输出端, 使 $Q^*=D$ (CLK 上升沿到达时 D 的状态)。

因此, 这是一个上升沿触发的 D 触发器, 其真值表如表 3.7 所示。

表 3.7 边沿触发的 D 触发器真值表

| CLK | D | Q^* |
|-------|---|-------|
| ↑ | 0 | 0 |
| ↑ | 1 | 1 |
| 除 ↑ 外 | × | Q |

为了使用灵活方便,在设计 CMOS 边沿 D 触发器时将图 3.20 中的反相器或非门引入置 1 端 S_D 和清零端 R_D 。由于 S_D 和 R_D 不受时钟脉冲信号的影响,因此也称异步置 1 端和异步置 0 端。在电路中,因为 S_D 和 R_D 是以高电平作为输入信号的,所以必须将 4 个反相器改为或非门。 S_D 和 R_D 端的内部连线以虚线示出,如图 3.21 所示。

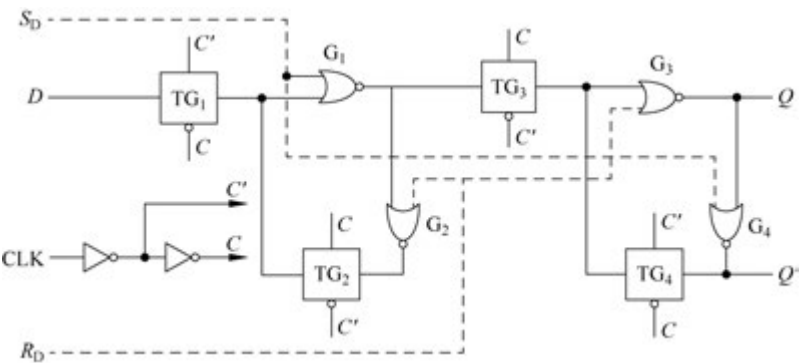


图 3.21 带有异步置位、复位端的 CMOS 边沿触发的 D 触发器

例 3.7 假设触发器的初始状态为 0,若边沿 D 触发器的输入 D 和时钟 CLK 的波形如图 3.22 所示,画出输出信号 Q 的波形图。

分析: 由于边沿触发器只在时钟脉冲的边沿工作,因此触发器的次态仅仅取决于 CLK 上升沿到达时刻 D 端的状态。对于图 3.22 所示的 D 触发器,其次态仅仅取决于时钟上升沿到来时刻输入 D 的值: $D=0$ 则 $Q^*=0$ 、 $D=1$; $D=1$ 则 $Q^*=1$ 。输出信号 Q 的波形如图 3.23 所示。

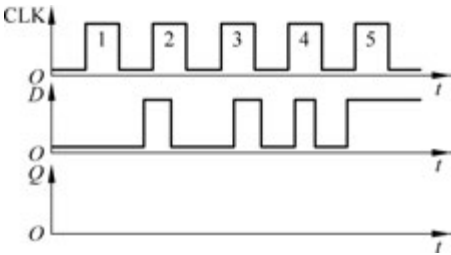


图 3.22 输入信号 D 波形图

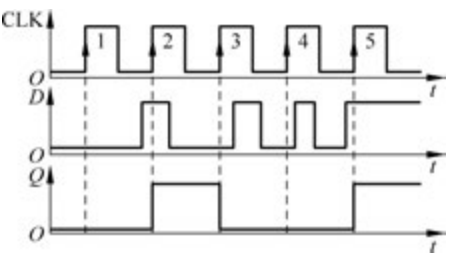


图 3.23 输出信号 Q 波形图

74HC74 是在时钟脉冲上升沿工作的双 D 触发器。除了时钟脉冲 CLK 、输入 D 和输出 Q/Q' 端口外,74HC74 还附加有异步清零端 R' 和异步置 1 端 S' ,其内部结构及引脚排列图如图 3.24 所示,功能表如表 3.8 所示。

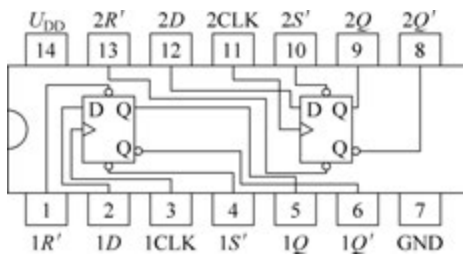


图 3.24 74HC74 内部结构及引脚排列图

表 3.8 边沿触发器 74HC74 功能表

| 输 入 | | | | 输 出 | | 功能说明 |
|------|------|-----|-----|-------|--------|-------|
| S' | R' | CLK | D | Q | Q' | |
| 0 | 1 | × | × | 1 | 0 | 异步置 1 |
| 1 | 0 | × | × | 0 | 1 | 异步清 0 |
| 0 | 0 | × | × | 1* | 1* | 错误状态 |
| 1 | 1 | ↑ | 0 | 0 | 1 | 置 0 |
| 1 | 1 | ↑ | 1 | 1 | 0 | 置 1 |
| 1 | 1 | 0 | × | Q_0 | Q'_0 | 保持 |

2. 边沿触发的 JK 触发器

在边沿触发的 D 触发器的基础上,很容易构造出边沿 JK 触发器。JK 触发器的输入端 J 和 K 是同步输入,因为这些输入数据只有在时钟脉冲触发沿上才能被传送到触发器的输出端。

当 J 为高电平、 K 为低电平时, Q 输出会在时钟脉冲触发沿上变为高电平,此时触发器置位。当 J 为低电平、 K 为高电平时, Q 输出会在时钟脉冲触发沿上变为低电平,此时触发器复位。当 J 和 K 均为低电平时,输出将会维持原来的状态。当 J 和 K 均为高电平时,触发器将会在时钟脉冲触发沿上改变原来的状态,这称为翻转(或计数)模式。在翻转(计数)模式,JK 触发器在每个时钟脉冲到来时都会改变状态。

74HC112 是在时钟脉冲下降沿工作的双 JK 触发器。74HC112 同样附加有异步清 0 端 R' 和异步置 1 端 S' ,其内部结构及引脚排列图如图 3.25 所示,功能表如表 3.9 所示。

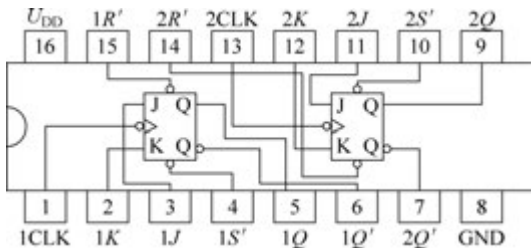


图 3.25 74HC112 内部结构及引脚排列图

表 3.9 边沿触发器 74HC112 功能表

| 输 入 | | | | | 输 出 | | 功能说明 |
|------|------|-----|-----|-----|--------|--------|-------|
| S' | R' | CLK | J | K | Q | Q' | |
| 0 | 1 | × | × | × | 1 | 0 | 异步置 1 |
| 1 | 0 | × | × | × | 0 | 1 | 异步清 0 |
| 0 | 0 | × | × | × | 0* | 0* | 错误状态 |
| 1 | 1 | ↓ | 0 | 0 | Q_0 | Q'_0 | 保持 |
| 1 | 1 | ↓ | 0 | 1 | 0 | 1 | 置 0 |
| 1 | 1 | ↓ | 1 | 0 | 1 | 0 | 置 1 |
| 1 | 1 | ↓ | 1 | 1 | Q'_0 | Q_0 | 翻转 |
| 1 | 1 | ↑ | × | × | Q_0 | Q'_0 | 保持 |

所有由硬件执行的逻辑运算都可以由软件实现。例如,JK 触发器的操作可以由特定的计算机指令实现。将输入端 J 和 K 分别依次由两位二进制数字表示, Q 输出由一位二进制数字表示。输入信号“00”将不会执行任何操作,输入信号“10”使 Q 数据位置“1”,输入信号“01”使 Q 数据位置“0”,输入信号“11”使 Q 数据位取反。尽管使用计算机仿真触发器并不常用,但这里要强调的是硬件操作可以用软件仿真实现。

边沿触发器在多个领域有着广泛的应用。在数字系统中,常用于计数器、寄存器、时钟控制器和微处理器等。在通信领域,常用于数据传输的同步控制和错误检测,通过检测信号的边沿,可以准确判断数据的传输时机和完整性。在网络编程中,边沿触发也具有很大的优势,当数据到达时,边沿触发会立即触发事件,无须等待应用程序主动读取数据。此外,边沿触发器还常用于分频器、频率锁定、时序电路、序列逻辑电路和存储器等应用场景。

具体来看,在计数器中,边沿触发器可以通过对时钟脉冲的边沿检测实现计数功能;在寄存器中,可以存储和保持数字数据;在时钟控制器中,可以精确控制时钟信号的时序;在微处理器中,可以参与各种逻辑运算和数据处理过程。此外,在其他应用场景中,边沿触发器同样发挥着重要作用。

3.5 锁存器与触发器按逻辑功能的分类

逻辑功能和触发方式是触发器的两个最重要的特性。逻辑功能是指稳态下触发器的次态和初态与输入之间的逻辑关系,而触发方式则指出触发器在动态翻转过程中的动作特点。

通过前面的介绍可以看到,触发器的触发方式是由电路结构形式决定的。因此,触发器的触发方式和电路结构形式之间有固定的对应关系。然而,触发器的触发方式和逻辑功能之间并无固定的对应关系。也就是说,同一种逻辑功能的触发器可以采用不同的触发方式;同一种触发方式的触发器可以具有不同的逻辑功能。

根据逻辑功能进行划分,锁存器与触发器可分为 SR 锁存器/触发器、D 锁存器/触发器、JK 触发器 3 种。SR 锁存器/触发器具有置 0、置 1 和保持 3 种功能,D 锁存器/触发器具有置 0 和置 1 两种功能,JK 触发器具有置 0、置 1、保持和翻转 4 种功能。

1. SR 锁存器/触发器

凡在时钟信号作用下符合表 3.10 所规定的逻辑功能的锁存器/触发器,无论触发方式

如何,均可称为 SR 锁存器/触发器。

表 3.10 SR 锁存器/触发器的特性表

| S | R | Q | Q^* |
|-----|-----|-----|-------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 状态不定 |
| 1 | 1 | 1 | 状态不定 |

如果将表 3.10 所规定的逻辑关系写成逻辑函数式,则

$$\begin{cases} Q^* = S'R'Q + SR'Q' + SR'Q = SR' + S'R'Q \\ SR = 0 (\text{约束条件}) \end{cases} \quad (3.2)$$

利用约束条件将上式化简,得到 SR 触发器的特性方程为

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 (\text{约束条件}) \end{cases} \quad (3.3)$$

虽然用特性表描述触发器的逻辑功能比较直观,但是不能用特性表进行逻辑运算。因此,在进行时序逻辑电路的分析和设计时,必须使用特性方程描述触发器的逻辑功能。

2. JK 触发器

凡在时钟信号作用下符合表 3.11 所规定的逻辑功能的触发器,无论其触发方式如何,均称为 JK 触发器。

表 3.11 JK 触发器的特性表

| J | K | Q | Q^* | 功能描述 |
|-----|-----|-----|-------|--------|
| 0 | 0 | 0 | 0 | 保持 |
| 0 | 0 | 1 | 1 | |
| 0 | 1 | 0 | 0 | 置 0 |
| 0 | 1 | 1 | 0 | |
| 1 | 0 | 0 | 1 | 置 1 |
| 1 | 0 | 1 | 1 | |
| 1 | 1 | 0 | 1 | 翻转(计数) |
| 1 | 1 | 1 | 0 | |

根据表 3.11 可以写出 JK 触发器的特性方程,化简后得到

$$Q^* = JQ' + K'Q \quad (3.4)$$

3. D 触发器

凡在时钟信号作用下符合表 3.12 所规定的逻辑功能的触发器,无论触发方式如何,均称为 D 触发器。

表 3.12 D 触发器的特性表

| D | Q | Q^* |
|-----|-----|-------|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

根据表 3.12 可以写出 D 触发器的特性方程,化简后得到

$$Q^* = D \tag{3.5}$$

4. T 触发器

在某些应用场合下,需要这样一种逻辑功能的触发器:当控制信号 $T=1$ 时,每来一个时钟信号它的状态就翻转一次;而当 $T=0$ 时,时钟信号到达后它的状态保持不变。具备这种逻辑功能的触发器称为 T 触发器。下降沿工作的边沿 T 触发器如图 3.26 所示。

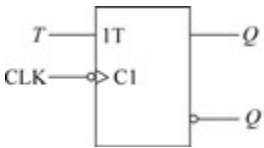


图 3.26 下降沿工作的边沿 T 触发器逻辑图

T 触发器可以通过 JK 触发器进行实现。将 JK 触发器的两个输入端 J 、 K 相连,则当 $J=K=0$ 保持, $J=K=1$ 时翻转。正因如此,在触发器的定型产品中通常没有专门的 T 触发器。

将 $J=K=T$ 代入 JK 触发器的特性方程,即可得到 T 触发器的特性方程,其特性表如表 3.13 所示。

$$\begin{aligned} Q^* &= JQ' + K'Q \\ &= TQ' + T'Q \\ &= T \oplus Q \end{aligned} \tag{3.6}$$

表 3.13 T 触发器的特性表

| T | Q | Q^* |
|-----|-----|-------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

若将 JK 触发器的输入信号 J 、 K 都接高电平,则构成只具有翻转功能的 T' 触发器,即每次 CLK 信号作用后触发器必然翻转为与初态相反的状态。 T' 触发器的特性方程为

$$\begin{aligned} Q^* &= JQ' + K'Q \\ &= 1Q' + 1'Q \\ &= Q' \end{aligned} \tag{3.7}$$

T 触发器和 T' 触发器为 JK 触发器的两种不同的应用方式。另外,将 D 触发器的 Q' 反馈到 D 端,也可以构成 T' 触发器。

5. 不同逻辑功能的转换

D 触发器和 JK 触发器是两种常用的触发器。D 触发器虽然只具有置 0 和置 1 两种功能,但使用很方便。JK 触发器功能强大,合理应用可以简化电路设计,同时还可以作为 SR 触发器、T 触发器和 T' 触发器使用。

此外,通过将 SR、JK、D、T 4 种类型触发器的特性表对比,不难发现其中 JK 触发器的逻辑功能最强,它包含 SR 触发器和 T 触发器的所有逻辑功能。因此,在需要使用 SR 触发器和 T 触发器的场合完全可以用 JK 触发器来取代。例如,在需要 SR 触发器时,只要将 JK 触发器的 J 、 K 端当作 S 、 R 端使用,就可以实现 SR 触发器的功能;在需要 T 触发器时,只要将 J 、 K 端连在一起当作 T 端使用,就可以实现 T 触发器的功能。

3.6 锁存器与触发器的动态特性

为了保证锁存器/触发器在时钟信号到来时能可靠地翻转,有必要进一步分析它们的动态翻转过程,从而找出对输入信号、时钟信号及两者互相配合关系的要求。通常用建立时间、保持时间、传输延迟时间等参数具体描述触发器的动态特性。

下面以图 3.27(a)中边沿触发的 D 触发器为例,说明这些动态参数的含义。为了叙述方便,假定图中传输门从控制信号(C 和 C')跳变到输出状态改变的延迟时间、反相器的传输延迟时间都是 t_d 。

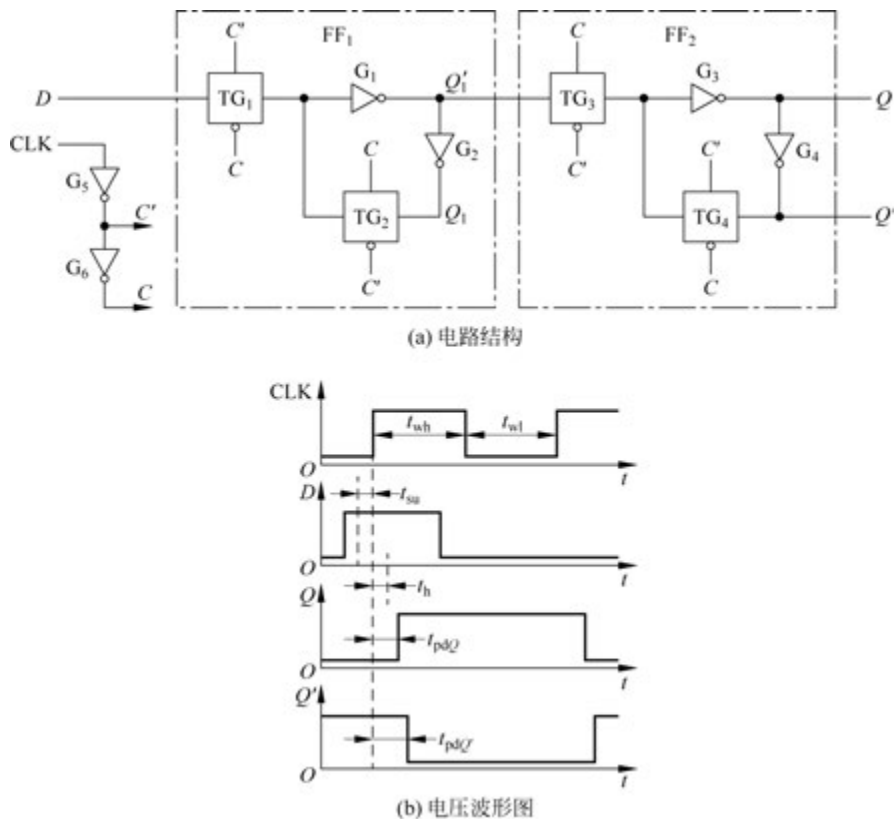


图 3.27 边沿触发的 D 触发器动态特性分析

1. 建立时间 t_{su}

建立时间是指输入信号应当先于时钟信号 CLK 动作沿到达的时间。为了保证触发器可靠地翻转,在 C 和 C' 状态改变前, FF_1 中 Q_1 的状态必须稳定地建立并使 $Q_1 = D$ 。由于加到 D 端的输入信号需要经过传输门 TG_1 和反向器 G_1 、 G_2 的传输延迟时间才能到达 Q_1

端,而在 CLK 的上升沿到达后, C' 的状态只需要经过反相器 G_5 的传输延迟时间即开始改变,因此 D 端的输入信号必须先于 CLK 的上升沿至少 $2t_d$ 的时间到达,这里设置 $t_{su}=2t_d$ 。

2. 保持时间 t_h

保持时间是指时钟脉冲的有效沿作用后,触发器的输入信号必须维持的最短时间,用 t_h 表示。如果保持时间不够,则输入数据同样无法可靠地存入触发器。

对于 D 触发器, t_h 具体是指时钟 CLK 上升沿作用后输入信号 D 必须维持的最短时间,在 C 和 C' 改变状态使 TG_1 变为截止、 TG_2 变为导通前, D 端的输入信号应当保持不变。也就是说,至少在 CLK 上升沿到达后 $2t_h$ 的时间内输入信号应当保持不变,即保持时间应为 $t_h=2t_d$ 。

3. 传输延迟时间 t_{pd}

传输延迟时间又称时钟到输出时间,是指从 CLK 动作沿到达开始,直到触发器输出的新状态稳定建立所需要的时间。从图 3.29 可见,FF₂ 输出端 Q 的新状态需要经过 C 、 C' 、 TG_3 和 G_3 的传输延迟后才能建立起来,所以输出端 t_{pdQ} 的传输延迟时间 $t_{pdQ}=4t_d$ 。此时 Q' 端还要再经过 G_4 的延迟才能建立起来,因此输出端 Q' 的传输延迟时间应为 $t_{pdQ'}=5t_d$ 。



小贴士

所有由硬件执行的逻辑运算也可以在软件中实现。例如,JK 触发器的运算可以由具体的计算机指令来完成。如果用 2 位二进制数表示 J 、 K 输入,那么计算机对于二进制数 00 不进行任何处理,对于 10 则表示触发器的 Q 数据位将会被置位(1),对于 01 则 Q 数据位将会被清零(0),对于 11 则 Q 数据位将会被求反。虽然使用计算机来模拟触发器可能并不常见,但是需要了解的是所有的硬件运算都可以用软件模拟。

3.7 本章案例

案例名称:从 SR 锁存器的稳定性谈“勿以善小而不为,勿以恶小而为之”。

1. 背景介绍

在数字电路设计中,SR 锁存器是构成其他触发器的基础,它的动作特点是输出会随输入的变化时刻进行状态的更新。因此,在使用 SR 锁存器时,保持输入的稳定性和可靠性对于整个电路的性能至关重要。一个小小的信号干扰或误操作,都可能导致锁存器输出状态不符合正常的逻辑,进而影响整个系统的逻辑功能。这一原理与日常生活中的道德伦理观念“勿以善小而不为,勿以恶小而为之”有着深刻的契合之处。

2. 案例描述

提供一个验证 SR 锁存器功能原理的电路,请同学们通过 Multisim 仿真软件进行验证。假设在验证过程中,有同学不太理解 SR 锁存器的逻辑功能,将 SR 锁存器的置位端(S)和复位端(R)的连线接反了。这个错误在电路测试中导致锁存器无法按照预期工作,进而影响其功能实现。

教师引导面对这一问题时,如果认为这只是一个“小错误”,不值得花费太多时间去纠正,则在一个大系统中将会导致整个系统的失败。由此引导思考如何在日常生活中践行“勿以善小而不为”的原则。通过分享一些正能量的案例,如爱护环境、帮助他人等,让学生意识

到这些看似微不足道的善举会对社会产生积极的影响。

3. 知识点融合

讲解不同类型触发器(如 SR 触发器、JK 触发器、D 触发器等)的工作原理和逻辑功能。分析在实际应用中,触发器是如何根据输入信号实现状态转换并触发相应的输出动作,从而强调触发器的稳定性和可靠性对电路系统性能的影响。

4. 思政教育融合

责任感培养:通过 SR 锁存器设计案例,培养学生的责任感。让学生明白,无论是电路设计还是日常生活中的行为举止,都要对自己的行为负责,不能因为“事小”就忽视其可能带来的后果。

道德观念强化:将“勿以善小而不为,勿以恶小而为之”的传统美德融入案例教学中,强化学生的道德观念,让学生认识到,善行无论大小都值得去做,恶行无论多小都应避免。

实践能力提升:通过纠正设计错误的过程,提升学生的实践能力和问题解决能力。同时,鼓励学生在日常生活中多做好事、多行善举,以实际行动践行所学知识。

5. 案例总结

通过 SR 锁存器设计案例与“勿以善小而不为,勿以恶小而为之”价值观的融合教学,不仅可以让学生掌握数字电路设计的基本知识和技能,还能培养其责任感和道德观念。这种将专业知识与思政教育相结合的方式,有助于促进学生的全面发展和社会责任感的培养。

3.8 本章小结

本章从电路结构出发,以基本 SR 锁存器为基础,详细介绍了基本 SR 锁存器、门控锁存器、主从触发器和边沿触发器的结构及功能;从逻辑功能的角度介绍了 SR 锁存器、D 锁存器、JK 触发器、T 触发器、T'触发器的逻辑功能;论述了描述逻辑功能的方法;分析了触发器的建立时间、保持时间等动态参数,以及这些参数对触发器性能的影响。

习题

本书提供在线测试习题,扫描下面的二维码,可以获取本章习题。



在线测试