

第3章

集成逻辑门

按照工艺,数字集成电路有两个主流逻辑系列:一类是TTL逻辑(Transistor-Transistor Logic)系列,由双极型晶体管构成;另一类是CMOS逻辑(Complementary MOS)系列,由MOS场效应管构成。CMOS器件占据了绝大部分市场份额。市场上还有一种较少使用的高速、高功耗的ECL产品。

3.1 概述



扩展阅读

数字集成电路发展的简短回顾

集成电路可以分为处理模拟信号的模拟集成电路和处理数字信号的数字集成电路,模拟集成电路起始于1958年,并逐渐发展壮大,其种类包括电源控制、集成运算放大器等,完成放大、滤波、解调、混频等各种功能,还包括各类传感器芯片。

数字集成电路从20世纪60年代开始出现,德州仪器公司于1964年推出74系列逻辑芯片,采用TTL工艺制作;1968年美国无线电公司推出CD4000系列,使用CMOS工艺制作;后来,其他公司也纷纷推出了自己的CMOS芯片,比如摩托罗拉公司推出的MC40和MC145系列,美国国家半导体公司推出的74C系列等。74系列和4000系列芯片直到今天仍在应用。

数字集成电路历经小规模集成电路、中规模集成电路、大规模集成电路,发展到特大规模集成电路、超大规模集成电路,直至现在的系统集成芯片SoC(System on Chip),其飞速发展推动了数字电子技术应用的日新月异。

数字集成电路的典型代表是CPU(Central Processing Unit,中央处理器)、存储器(RAM/ROM)、PLD(FPGA/CPLD),还有近年来在并行计算、大数据处理、人工智能(AI)领域火爆的GPU(Graphics Processing Unit,图形处理器)等。

在过去的50年中,计算机、手机是数字集成电路快速发展的主要推动力和典型代表,也是最先进半导体制程工艺的应用者和领跑者。

以往最先进的制程以计算机的CPU为代表,Intel的CPU最为典型,不妨简单罗列一下其发展。

1972年,Intel推出8008处理器,8位,集成3500个晶体管,10 μ m制程工艺。

1978年,8086处理器,16位,集成29000个晶体管,3 μ m制程工艺。

1985年,80386处理器,32位,集成275000个晶体管,1 μ m制程工艺。

1993年,Pentium(奔腾)处理器,32位,集成310万个晶体管,0.8 μ m制程工艺。

2006年,Core(酷睿)处理器,32位,单核和双核,集成1.51亿个晶体管,65nm制程工艺。

2008年,Core i7(酷睿 i7)处理器,64位,4~10核,集成7.31亿个晶体管,45nm制程工艺。

2017年,Core i9(酷睿 i9)处理器,64位,10~18核,14nm制程工艺。

2021年,11th Gen Core(第十一代酷睿)处理器,14nm制程工艺,其目标是到2030年能封装1万亿晶体管。

近10年,引领先进制程的已非手机芯片莫属,手机主芯片是典型的SoC,手机SoC集成了CPU、GPU、RAM、Modem(调制解调器)、DSP(数字信号处理)、CODEC(编解码器)等部件,集成度高,手机芯片均采用当下最顶端的制程工艺,代表了同时代最先进的制程工艺,不妨以苹果A系列和华为麒麟芯片为例,罗列一下近10年手机SoC发展的进程。

2016年,苹果A10芯片,集成33亿个晶体管,采用16nm制程工艺。

2017年,A11芯片,集成43亿个晶体管,10nm制程工艺。

2018年,A12芯片,集成69亿个晶体管,7nm制程工艺。

2020年,A14芯片,集成118亿个晶体管,5nm制程工艺。

2021年,A15芯片,集成150亿个晶体管,5nm制程工艺。

2022年,A16芯片,集成160亿个晶体管,4nm制程工艺。

2016年,华为麒麟950芯片,集成30亿个晶体管,采用16nm FinFET制程工艺。

2018年,麒麟980芯片,集成69亿个晶体管,7nm制程工艺。

2019年,麒麟990 5G SoC芯片,集成了103亿个晶体管,基于7nm EUV(极紫外光刻)制程工艺。

2020年,华为海思发布的麒麟9000 5G芯片采用5nm制程工艺,集成晶体管数量达到153亿个。

2022年手机SoC芯片的晶体管数量已经达到了1000亿个以上。

过去的20年中,计算机、手机的快速迭代是数字集成电路快速发展的主要推动力,未来汽车电子化、智能化,物联网、人工智能、数据算力有望成为数字集成电路行业的新增长极。

集成逻辑门是最基本的数字集成电路,按制作工艺可以分为TTL、CMOS和ECL等类型。TTL(Transistor-Transistor Logic)是晶体管-晶体管逻辑的英文缩写,是基于双极型晶体管(Bipolar Junction Transistor,BJT)制成的数字集成电路,TTL电路在20世纪70年代和80年代占据统治地位;ECL(Emitter Coupled Logic,射极耦合逻辑)内部也由双极型晶体管构成,主要特点是开关速度快;CMOS(Complementary MOS)则是由单极型场效应管制成的集成电路,是当前数字集成电路的主流。

1. TTL 逻辑门

TTL逻辑门电路内部由双极性(管内有电子和空穴两种载流子导电)晶体管构成。最早的TTL逻辑门是美国TI公司于20世纪60年代推出的74/54系列,74(商用)和54(军用)系列又有若干子系列,其逻辑功能和引脚排列兼容,区别在于54系列比74系列工作温度范围更宽,工作电压范围也更宽,更能适应恶劣的自然环境和电气环境。

TTL集成电路采用单电源+5V供电,构成逻辑门的晶体管工作于饱和或截止状态,起到电子开关的作用。TTL逻辑门的输出逻辑电平不如CMOS器件,高电平约为3.6V,低电平约为0.3V,具有逻辑摆幅偏小、抗干扰能力不够强的缺点。TTL器件的静态功耗比CMOS器件高,工作速度比传统的CMOS器件快,但随着CMOS工艺的不断进步,已无优势。

74/54系列发展出了很多子系列,比如电源电压为3.3V、2.5V、1.8V的低压系列,

先进的高速系列、低功耗系列等。其中应用较广的有低功耗-肖特基(74LS)系列,该子系列在功耗和速度方面都有较好的表现。

图 3.1 是数字芯片外观及内部逻辑图。芯片采用双列直插式封装 (Dual In-line Package, DIP),如图 3.1(a)所示,图 3.1(b)为 7400 内部逻辑及引脚排列图,芯片内集成了 4 个两输入与非门。

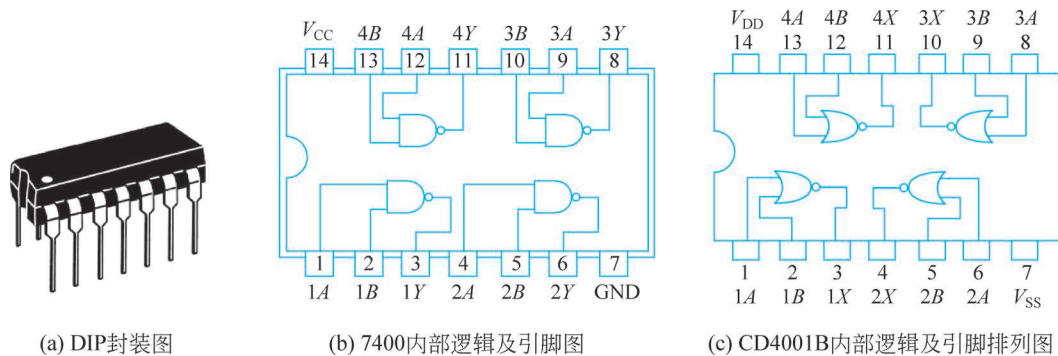


图 3.1 数字芯片外观及内部逻辑图

2. CMOS 逻辑门

CMOS 集成电路内只有一种载流子导电(单极性)。CMOS 集成电路诞生于 1968 年,率先在市场上获得成功的 CMOS 逻辑系列是 CD4000,随后出现的 74HC/HCT 系列,其工作速度、抗干扰能力和温度稳定性远优于 TTL 逻辑门,后来又出现了低电压、低功耗 CMOS 芯片系列。

图 3.1(c)是 CD4001B 内部逻辑及引脚排列图,芯片内集成了 4 个两输入或非门,芯片的引脚也是 14 个。

CMOS 集成电路具有下述优点。

- (1) 允许的电源电压范围宽,方便电源电路的设计。
- (2) 逻辑摆幅大(输出高电平接近 V_{DD} ,低电平接近 $0V$),使电路抗干扰能力强。
- (3) 静态功耗低。
- (4) 隔离栅结构使 CMOS 器件的输入电阻极大,从而使 CMOS 器件驱动同类型逻辑门的能力比其他系列强得多。
- (5) 隔离栅结构也使 CMOS 器件容易因静电造成器件击穿而损坏,虽然芯片内部有一定的保护措施,在使用中还是需要注意预防静电的产生和积累。常用的保护措施包括器件用防静电材料包装,保证人员和设备良好接地,CMOS 逻辑门不用的输入端不能悬空(应接电源、地或其他输入端)等。

3. ECL 逻辑门

ECL 逻辑门是以差分放大电路(发射极耦合结构)为基础构成的,ECL 门电路也是基于双极型晶体管制作的,与 TTL 不同的是,ECL 中的晶体管并不进入饱和区,直接在截止和放大状态间切换,克服了晶体管饱和状态下产生的存储电荷对速度的影响,故 ECL 逻辑门开关速度快(传输延迟时间可低于 $1ns$),其缺点是功耗较大,噪声容限低(抗

干扰能力弱)。

3.2 CMOS 集成逻辑门

1. MOS 管

场效应管(Field Effect Transistor, FET)是一种用输入电压控制输出电流的半导体器件。由于参与导电的只有一种载流子(多子),所以属于单极型晶体管。MOS(Metal Oxide Semiconductor, 金属-氧化物-半导体)场效应管是场效应管的一种,或称 MOSFET。

MOS 管分为两种类型: N 沟道 MOS 管(NMOS)和 P 沟道 MOS 管(PMOS),图 3.2 是 MOS 管结构及电路符号,其中图 3.2(a)是 NMOS 管结构示意图,图 3.2(b)、图 3.2(c)分别是 NMOS 管和 PMOS 管电路符号。NMOS 管内部是电子导电; PMOS 管内部是空穴导电; 将 NMOS 管和 PMOS 管组合使用(互补对),则称为 CMOS(Complementary MOS)电路。

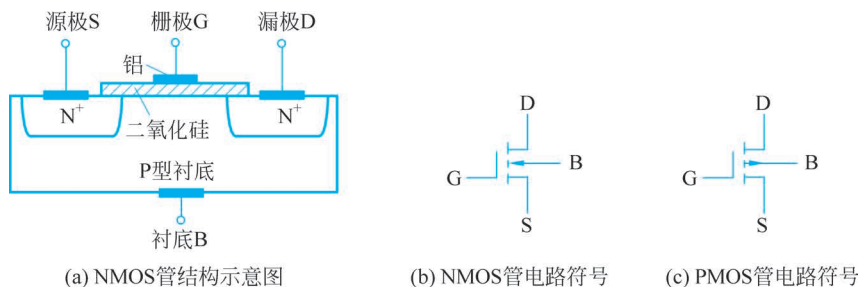


图 3.2 MOS 场效应管

MOS 管有三个电极: 源极 S(source)、漏极 D(drain)和一个隔离的金属栅极 G(gate),通过栅极电压控制 MOS 管工作于截止和饱和两种状态,实现开关功能。

NMOS 管栅源输入电压 v_{GS} 要么为 $0V$ (截止),要么为 V_{DD} (导通)。当 $v_{GS} = 0$ 时, NMOS 管漏极和源极之间电阻(漏源电阻)非常大(几 $M\Omega$,甚至更大),相当于开路; 当 $v_{GS} = V_{DD}$ 时, NMOS 管漏源电阻则降为很小的值(几百 Ω ,甚至更小),相当于短路。

PMOS 管栅源输入电压 v_{GS} 一般为 $0V$ (截止)或 $-V_{DD}$ (导通)。当 $v_{GS} = 0$ 时, PMOS 管漏极和源极之间相当于开路; 当 $v_{GS} = -V_{DD}$ 时, PMOS 管漏极和源极之间相当于短路。



注意:

MOS 管还有一个衬底引脚 B,通常与源极 S 接在一起使用,由于二氧化硅绝缘层将栅极 G 与衬底隔离,栅极处于绝缘状态,因此,无论栅源输入电压 v_{GS} 如何变化, MOS 管的栅-源、栅-漏极间几乎无电流,因此栅极输入电阻极高。

2. CMOS 非门

最简单的集成逻辑门是 CMOS 非门,它是由一个 PMOS 管和一个 NMOS 管构成的互补 MOS 结构(简称 CMOS)构成的,如图 3.3 所示。

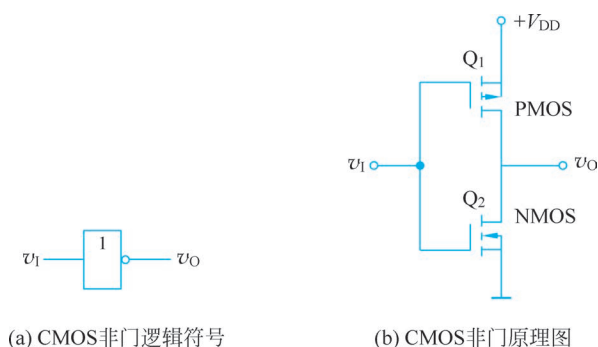


图 3.3 CMOS 非门

对图 3.3 CMOS 非门的电路功能分析如下。

(1) 当输入电压 v_1 为 1(+5V) 时, PMOS 管 Q_1 截止(栅源电压 $v_{GS}=0V$), NMOS 管 Q_2 导通($v_{GS}=5V$), 输出端 v_0 与地之间呈现低电阻, 电路输出低电平(逻辑 0)。

(2) 当输入电压 v_1 为 0 时, PMOS 管 Q_1 导通($v_{GS}=+5V$), NMOS 管 Q_2 截止($v_{GS}=0V$), 输出端 v_0 与 V_{DD} 之间呈现低电阻, 与地之间呈现高电阻, 电路输出高电平(逻辑 1)。

故该电路实现的是非门的逻辑功能: 输入高电平时输出为低电平, 输入低电平时输出为高电平。

3. CMOS 与非门

图 3.4 是 CMOS 两输入与非门电路原理图, 两个 NMOS 管(Q_3 和 Q_4) 串联, 只有当两个输入端 A 、 B 都是高电平时, Q_3 和 Q_4 才都导通, 而 Q_1 和 Q_2 都截止, 从而输出端为低电平; 任意一个输入端为低电平时, 输出都为高电平。

4. CMOS 或非门

图 3.5 是 CMOS 两输入或非门电路原理图, 两个 NMOS 管(Q_3 和 Q_4) 并联, 显然, 任何一个输入端为高电平都将使相应的 NMOS 管(Q_3 或 Q_4) 导通, 而相应的 PMOS 管(Q_1 或 Q_2) 截止, 从而输出低电平。

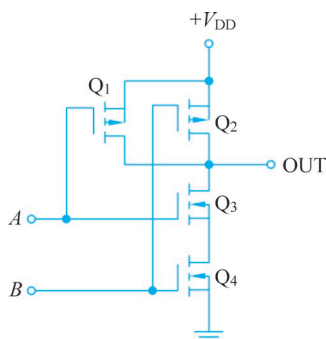


图 3.4 CMOS 两输入与非门电路原理图

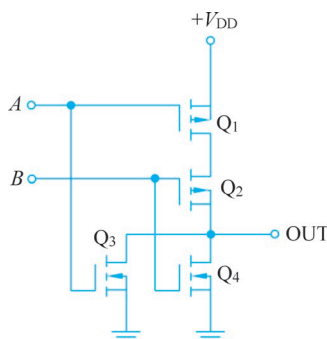


图 3.5 CMOS 两输入或非门电路原理图

其他 CMOS 门电路都是在上述非门、与非门、或非门的基础上级联实现的。例如, CMOS 与门是由与非门和非门级联得到的, 或门是由或非门和非门级联得到的。



扩展阅读

MOS 集成电路制程工艺的发展

MOS 集成电路一直是集成电路的主流,占据了 IC 市场的绝大部分。

MOS 集成电路是以 MOSFET(绝缘栅型场效应管)为基础制作的,其制作工艺也不断进化,在 MOSFET 中,栅极是所有构造中最细小也最难制作的,决定着 MOSFET 的速度和功耗等众多特性,因此常常以栅极长度(gate length)来代表半导体工艺的进步程度,也称为特征尺寸(Critical Dimension, CD)。栅极长度随工艺技术的进步而变小,从 130nm(纳米)进步到 90nm、45nm、28nm,再到目前最新工艺的 7nm、5nm。

图 3.6 所示为 MOS 集成电路制程工艺发展的示意图,传统的 Planar FET(平面场效应管)采用平面结构,存在漏电现象。2010 年左右商业化的 FinFET(鳍式场效应管)工艺出现了,MOS 管采用了三维结构(因 MOS 管形状类似鱼鳍,故得名),增加了栅极对沟道的控制能力,减少了漏电,使 MOS 集成电路的工艺线宽突破 14nm,从而使“摩尔定律”继续有效。2020 年又出现了 GAAFET(Gate-All-Around FET,全环绕栅极场效应管)新工艺,MOS 管的四面都被栅极环绕,进一步增强了栅极对沟道的控制能力,并减少了漏电,使工艺线宽突破 7nm,达到 5nm 甚至 3nm。

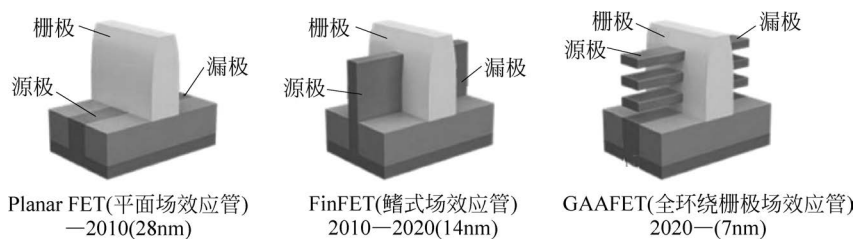


图 3.6 MOS 集成电路制程工艺发展的示意图

此外,还出现了新型的功率半导体器件——IGBT(Insulated Gate Bipolar Transistor,绝缘栅双极型晶体管)器件,IGBT 可看作 MOS 管和 BJT(双极型三极管)的结合体,集成了两类器件的优点,可广泛用于需要高电压大电流的电机驱动、新能源汽车等领域。

3.3 集成逻辑门主要性能参数

生产逻辑门电路的厂家通常会提供逻辑器件手册,给出集成逻辑门的逻辑电平、噪声容限、输出驱动能力、传输时延和功耗等性能指标参数。在使用集成逻辑门时,应关注反映性能的主要参数。

1. 逻辑电平

逻辑电平包括输入低电平、输入高电平、输出低电平和输出高电平 4 种。好的逻辑门应该能接受质量不好的 1 或 0 信号,而输出高质量的 1 或 0 信号,在一个电源电压为 5.0V 的电路中,1 信号越接近 5.0V,质量越高;而 0 信号越接近 0V,其质量越高。

图 3.7 是一个电源电压为 5.0V 的 CMOS 非门的电压传输特性曲线与逻辑电平示意图。

输入低电平 V_{IL} : 逻辑门允许输入的低电平。 V_{IL} 是一个取值范围,当输入电平在该范围内变化时,逻辑非门将输入电平识别为低电平,同时输出高电平。 V_{IL} 的上限输入电平 V_{ILMAX} 又叫关门电平 V_{OFF} ,在图 3.7 中, V_{ILMAX} 为 1.5V。

输入高电平 V_{IH} : 逻辑门允许输入的高电平。 V_{IH} 也是一个取值范围,其上限 V_{IHMIN} 又叫开门电平 V_{ON} ,在图 3.7 中, V_{IHMIN} 为 3.5V,当输入电平在 3.5~5.0V 时,输入被识别为高电平。

输出低电平 V_{OL} : 也是一个范围,其上限(输出低电平最大值)为 V_{OLMAX} ,对于合格的 CMOS 器件, V_{OLMAX} 一般为 0.1V。

输出高电平 V_{OH} : 上限(输出高电平最小值)为 V_{OHMIN} ,对于合格的 CMOS 器件, V_{OHMIN} 一般为 $+V_{DD}-0.1V$,图 3.7 中为 4.9V。

2. 噪声容限

噪声容限(noise margin)是衡量逻辑芯片抗干扰能力的指标,可以分为低电平输入时的噪声容限 V_{NL} 和高电平输入时的噪声容限 V_{NH} 。

V_{NL} : 图 3.8 为噪声容限示意图,用两个非门来表示。后级非门输入为低电平时,前级输出低电平的最大值 V_{OLMAX} 叠加噪声后的实际输入低电平,只要不高于逻辑门输入低电平的最大值 V_{ILMAX} (关门电平 V_{OFF})即可,所以低电平输入的噪声容限 $V_{NL}=V_{OFF}-V_{OLMAX}$ 。

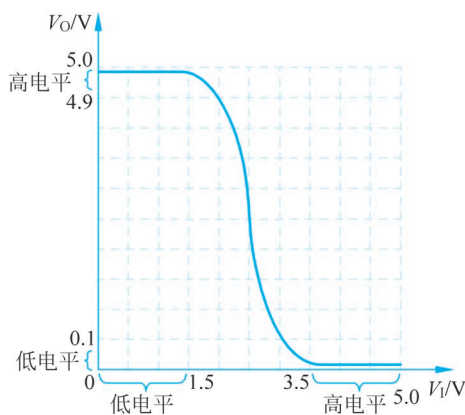


图 3.7 非门的电压传输特性曲线与逻辑电平示意图

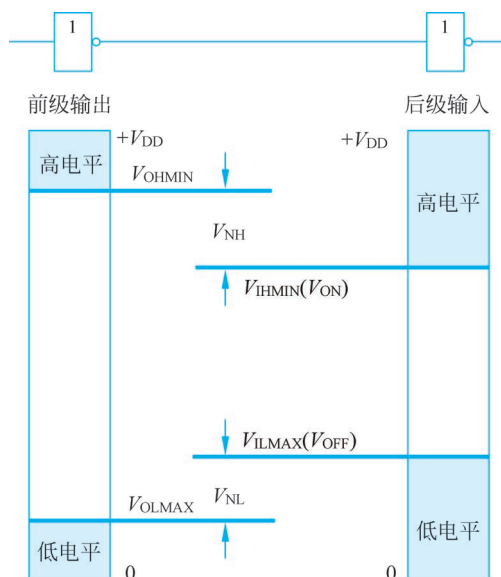


图 3.8 噪声容限示意图

V_{NH} : 后级非门输入为高电平时,前级输出高电平的最小值 V_{OHMIN} 叠加噪声后的实际输入高电平不低于 V_{IHMIN} (开门电平 V_{ON})即可,高电平输入时的噪声容限 $V_{NH}=V_{OHMIN}-V_{ON}$ 。

逻辑门的噪声容限 V_N 应取 V_{NL} 和 V_{NH} 中较小的那个。

通常 TTL 集成电路的噪声容限只有 $0.3 \sim 0.4V$, 而 CMOS 集成电路的噪声容限可以超过 $1.0V$, 显然, CMOS 集成电路具有更强的抗噪声干扰能力。

3. 输出驱动能力

集成逻辑门的驱动能力(负载能力)通常以输出电流的大小表示。当逻辑门输出高电平时,由输出端流向负载的输出电流称为拉电流。拉电流越大,输出端的高电平就越低,输出高电平存在最小值 V_{OHMIN} , 则拉电流存在最大值 I_{OHMAX} 。逻辑门输出低电平时,由负载流入输出端的电流称为灌电流。灌电流越大,逻辑门输出端的低电平就越高,逻辑门输出低电平存在最大值 V_{OLMAX} , 则灌电流也存在最大值 I_{OLMAX} 。可见,拉电流和灌电流都有上限值,输出电流若超出该最大值,输出电平可能发生错误,如果输出高电平低于 V_{OHMIN} 或输出低电平高于 V_{OLMAX} , 就说明负载太重了,超出了该电路的负载能力。

集成逻辑门的驱动能力也可以用扇出系数 N_O 表示。扇出系数是指逻辑门电路正常工作时,一个逻辑门能带同类门的最大数目。逻辑门正常工作时,输入端电流分为输入高电平时的电流 I_{IH} 和输入低电平时的电流 I_{IL} , 故输出高电平时的扇出系数应小于或等于 I_{OH}/I_{IH} 的整数,输出低电平时的扇出系数就是小于或等于 I_{OL}/I_{IL} 的整数,逻辑门的扇出系数 N_O 应取两者中较小的那个,即 $N_O = \text{Min}\{I_{OH}/I_{IH}, I_{OL}/I_{IL}\}$ 。

4. 功耗

逻辑电路的功耗是指逻辑电路消耗的电源功率。功耗分为静态功耗和动态功耗。**静态功耗**是电路输出状态不变时的功率损耗,通常逻辑电路在输入高电平和输入低电平时的静态功耗并不相同,常用平均静态功耗表示。**动态功耗**是电路状态变化时产生的功耗,对于低速电路,芯片的功耗以静态功耗为主;对于高速电路,动态功耗是电路功耗的主要部分。CMOS 电路的静态功耗很低,为 μW 量级,因此可应用于便携设备,如手机和平板电脑等。TTL 电路的静态功耗较高,通常为 mW 量级。

5. 传输时延

传输时延 t_{pd} (propagation delay time), 就是从输入端输入信号产生变化到输出信号在电路输出端产生相应变化需要的时间。图 3.9 是非门的传输时延示意图,可以看到,信号时延分为下降时延 t_{pHL} 和上升时延 t_{pLH} , t_{pHL} 是输入信号变化引起输出信号由高到低变化对应的时延; t_{pLH} 是输入信号变化引起输出信号由低到高变化的时延。时延测量的时刻是从输入信号幅度变化的中间值到输出信号幅度变化的中间值。上升时延和下降时延通常并不相等,取其均值作为传输时延,即 $t_{pd} = (t_{pHL} + t_{pLH})/2$ 。

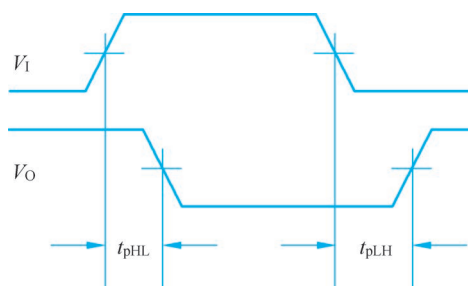


图 3.9 非门的传输时延示意图

6. 不同系列逻辑门的性能比较

查阅和比较各厂家器件(74/54 系列)手册的逻辑门性能指标参数,一般会得出如下结论。

- (1) 传输时延以 ECL 器件最小(低于 500ps),即 ECL 器件运行速度最快。
- (2) 噪声容限以 CMOS 器件最好(4000 系列接近 1.5V),即 CMOS 器件抗干扰能力最强。
- (3) 静态功耗以 CMOS 器件最低(可低至 $1.25\mu\text{W}$),ECL 器件最高。

TTL 系列各项性能比较适中。CMOS 工艺的 74HC、74HCT 器件在保持 CMOS 器件低功耗、抗干扰能力强等优点的同时,也极大改善了工作速度(降低了时延)。还有一些器件系列(如 74AC、74ACT 等)具有很强的驱动能力(输出电流可达 $\pm 24\text{mA} \sim \pm 64\text{mA}$)。



注意:

以上性能的比较仅限制于 74/54 系列逻辑芯片,其中 CMOS 工艺以 4000 系列和 74 系列(如 74HC、74HCT)为主,TTL 工艺以各种改进系列(如 74LS、74AS 等)为主,ECL 则以 10K 和 100K 系列(Motorola)为主。

CMOS 一直是发展最快、性能改善最大、产品最丰富的主流制程技术,并出现了一些突破性的改进工艺,其最新工艺、最新产品各方面性能早已今非昔比。

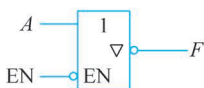
3.4 三态逻辑门

现实中还有一种三态逻辑门(Tristate Logic, TSL),所谓三态,是指逻辑电路的输出端不仅可以输出 0 和 1,还可以呈现高阻抗状态,常用 Z 表示高阻态。输出端呈现高阻抗等同于输出端与外部电路已断路。

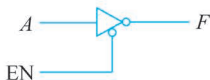
图 3.10 是三态非门的逻辑符号和真值表,图 3.10(a)为矩形轮廓符号,符号中的“ ∇ ”是三态输出的定性符,图 3.10(b)为特定外形符号,图 3.10(c)为真值表。可以看到,三态非门比普通非门多了一个控制端,称为使能(enable)端,常用 EN 表示,用于控制电路是否输出高阻态。

(1) 当使能信号 $\text{EN}=0$ 时,实现正常的非门逻辑(逻辑符号 EN 使能端的小圆圈表示该输入端为低电平时有效)。

(2) 当 $\text{EN}=1$ 时,电路输出高阻态。



(a) 矩形轮廓符号



(b) 特定外形符号

EN	A	F	功能
1	ϕ	Z	高阻态
0	0	1	非门
	1	0	

(c) 真值表

图 3.10 三态非门的逻辑符号和真值表

74LS125 芯片是三态缓冲器(buffer),芯片内集成了 4 个三态缓冲门。图 3.11 是三态缓冲器的逻辑符号和真值表,图 3.11(a)为三态缓冲器的矩形轮廓符号,图 3.11(b)为特定外形符号,图 3.11(c)为真值表。三态缓冲器的功能如下。

- (1) 当使能端 $EN=0$ 时,为普通缓冲器功能,实现 $F=A$ (输出与输入相同)。
 (2) 当使能端 $EN=1$ 时,输出 F 为高阻态。

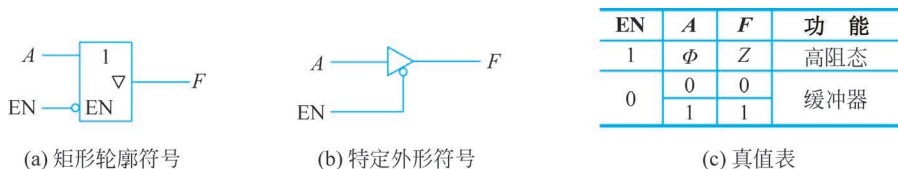


图 3.11 三态缓冲器的逻辑符号和真值表

三态门主要用于总线传输,比如计算机内部的总线。多个三态门的输出端可以直接与总线相连,如图 3.12 所示,是用三态缓冲器(74LS125)实现单向总线传输,在三态总线中,使能控制电路必须保证任何时刻只有一个三态缓冲器被使能,其他三态缓冲器输出端都工作于高阻抗状态,这样可以分时复用将各个门电路的信号送到总线上。多于一个三态输出端同时有效,将导致总线数据冲突。

利用三态门还可以实现双向数据传输,如图 3.13 所示,是用三态缓冲器(74LS125)实现双向数据传输。当使能信号 $EN=1$ 时,三态缓冲器 G_1 输出端为高阻态,此时 G_2 导通,数据从 B 端通过 G_2 送往 A ,实现 $A=B$; 当使能信号 $EN=0$ 时,三态缓冲器 G_2 输出端为高阻态,此时 G_1 导通,数据从 A 端通过 G_1 送往 B ,实现 $B=A$ 。

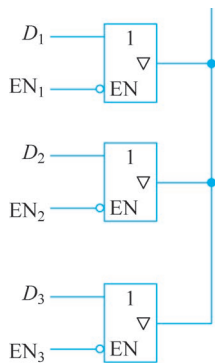


图 3.12 用三态缓冲器(74LS125)实现单向总线传输

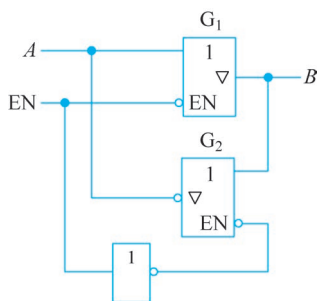


图 3.13 用三态缓冲器(74LS125)实现双向数据传输



注意:

逻辑门多余输入端的处理方式。

TTL 器件的内部电路结构可以使悬空的输入端等效于输入高电平,故 TTL 逻辑门多余输入端可以悬空,但不建议这样做,为防止引入干扰,对多余输入端建议做如下处理。

(1) 与门、与非门多余输入端接 1(高电平),可通过上拉电阻($1\sim 10\text{k}\Omega$)接电源实现。

(2) 或门、或非门多余输入端接 0(低电平),可通过小电阻($1\text{k}\Omega$ 以下)接地实现。

(3) 并连接其他信号输入端(适用于所有 TTL 逻辑门)。

CMOS 逻辑门多余输入端不允许悬空,以防静电感应,其多余输入端处理方法与 TTL 逻辑门类似。

(1) 与门、与非门多余输入端应接 1(高电平),可直接接电源 $+V_{DD}$,或通过电阻 R 接电源 $+V_{DD}$ 。

(2) 对或门、或非门多余输入端应接 0(低电平),可直接接地或通过电阻接地实现。

(3) 并连接其他信号输入端(适用于所有 CMOS 逻辑门)。

3.5 漏极开路门

在图 3.4 所示的 CMOS 漏极开路与非门电路中,两个 PMOS 管(Q_1 和 Q_2)分别作为两个 NMOS 管(Q_3 和 Q_4)的漏极有源电阻。将 Q_1 和 Q_2 从电路中去掉,就得到图 3.14(a)所示的漏极开路(Open Drain, OD)与非门电路,该 OD 与非门的逻辑符号如图 3.14(b)所示,符号“◇”是漏极开路输出端的定性符。由于漏极开路逻辑门缺少漏极上拉电阻,使用时必须在输出端外接上拉电路(一般由电阻 R 和外接电源 $+E_C$ 构成上拉电路,也可以将芯片电源 $+V_{DD}$ 作为外接电源)。通过改变上拉电源,可以改变输出逻辑电平值,方便逻辑电平不同的器件的互联,这也是 OD 器件的应用领域之一。

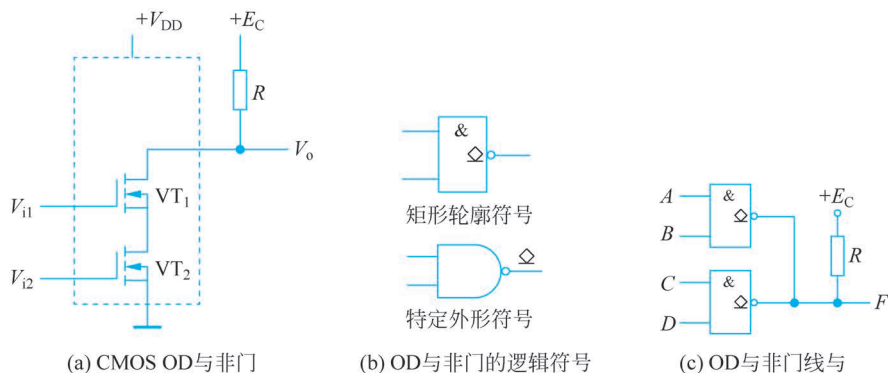


图 3.14 漏极开路与非门

多个漏极开路逻辑门的输出端可以直接连在一起,实现所谓的“线与逻辑”。如图 3.14(c)所示,两个漏极开路与非门的输出端直接相连,通过共用的电阻 R 上拉到电源 $+E_C$,该电路实现了两个与非门输出信号的与运算(只有当两个逻辑门都输出高电平时, F 才为高电平),即 $F = \overline{AB} \cdot \overline{CD}$ 。需要说明的是,普通逻辑门绝对不能将输出端直接相连,否则,当两个逻辑门输出电平相反时,会产生一个大电流的低阻通道,导致输出电平错误,甚至造成逻辑门烧毁。

上拉电阻 R 的取值必须保证输出逻辑电平正确,且负载电流和电路时延不致过大。

TTL 系列也有类似逻辑门,称为集电极开路(Open Collector, OC)门,输出端直接相

连也可以实现“线与”功能。

习题 3

3-1 填空。

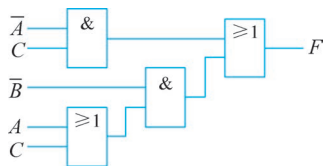
- (1) 同一电路的正逻辑表达式与负逻辑表达式具有()关系。
- (2) 多个标准 TTL 逻辑门的输出端直接相连,结果是(); 多个集电极或漏极开路逻辑门的输出端直接相连,结果是(); 多个三态输出端直接相连,结果是()。
- (3) 在典型的 TTL、CMOS 和 ECL 逻辑门器件中,()速度最快,()功耗最低,()抗干扰能力最强。

3-2 已知 74S00 是 2 输入四与非门, $I_{OL}=20\text{mA}$, $I_{OH}=1\text{mA}$, $I_{IL}=2\text{mA}$, $I_{IH}=50\mu\text{A}$; 7410 是 3 输入三与非门, $I_{OL}=16\text{mA}$, $I_{OH}=0.4\text{mA}$, $I_{IL}=1.6\text{mA}$, $I_{IH}=40\mu\text{A}$ 。试分别计算 74S00 和 7410 芯片的扇出系数。理论上, 一个 74S00 逻辑门的输出端最多可以驱动几个 7410 逻辑门? 一个 7410 逻辑门的输出端最多可以驱动几个 74S00 逻辑门?

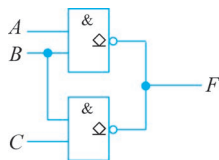
3-3 分析图题 3.1 所示逻辑电路。

- (1) 直接写出 F 的表达式。
- (2) 列出 F 的真值表。

3-4 图题 3.2 的逻辑电路能否实现 $F = \overline{AB} \cdot \overline{BC}$ 的功能? 说明理由。



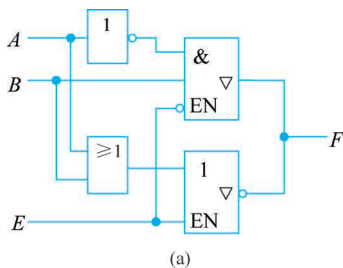
图题 3.1



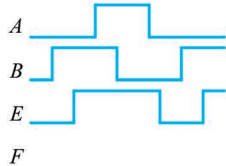
图题 3.2

3-5 某组合逻辑电路如图题 3.3(a) 所示。

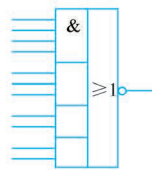
- (1) 写出输出函数 F 的表达式, 列出真值表。
- (2) 对应图题 3.3(b) 所示输入波形, 画出输出信号 F 的波形。
- (3) 用图题 3.3(c) 所示与或非门实现函数 F (允许反变量输入)。



(a)



(b)



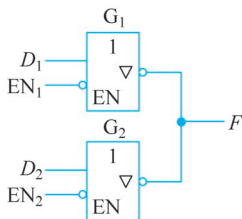
(c)

图题 3.3

3-6 试用 OD 与非门实现逻辑函数 $F = \overline{A}C + A\overline{B}C + \overline{A}C\overline{D}$, 假定不允许反变量输入。

3-7 图题 3.4 为三态非门构成的电路, 试根据输入条件填写表题 3.1 中的 F 栏。

表题 3.1



图题 3.4

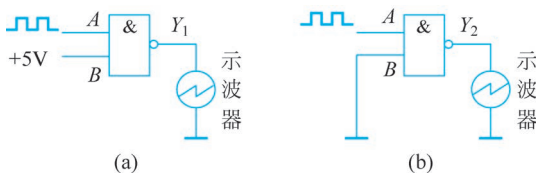
EN_1	D_1	EN_2	D_2	F
0	0	1	1	
0	1	1	0	
1	0	0	0	
1	0	0	1	
1	1	0	1	
1	1	1	0	

实验与设计

3-1 集成逻辑门逻辑功能的测试。

(1) 测试与非门(74LS00)、或非门(74LS02)逻辑功能: 在与非门、或非门的两个输入端分别施加高、低电平的组合, 测相应输出端的逻辑电平, 与真值表进行比较, 并记录高、低电平对应的电压值。

(2) 观察与非门对脉冲的控制作用: 如图题 3.5 所示, 分别在与非门一输入端置 1 (图题 3.5(a)) 和置 0 (图题 3.5(b)), 另一输入端输入 1kHz 时钟信号, 用示波器观察输入、输出端波形, 绘出波形图, 分析与非门如何完成对脉冲的控制功能。



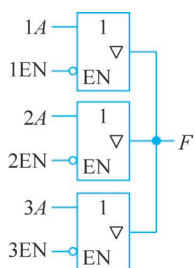
图题 3.5 与非门对脉冲的控制作用

3-2 集成逻辑门性能参数的测试: 分别测试与非门(74LS00)、或非门(74LS02)的输入低电平 V_{IL} 、输入高电平 V_{IH} 、输出低电平 V_{OL} 、输出高电平 V_{OH} 等性能参数。

3-3 三态缓冲器(74LS125)功能测试及应用。

(1) 三态缓冲器(74LS125)功能测试: 74LS125 芯片内集成了 4 个三态缓冲门, 当使能端 $EN=0$ 时, 为普通缓冲器功能, $F=A$ (输出与输入相同); 当使能端 $EN=1$ 时, 输出 F 为高阻态。在实验板上验证三态缓冲门的逻辑功能, 判断输出信号与输入信号之间的逻辑关系。

(2) 用三态缓冲器 74LS125 实现单向总线传输: 电路如图题 3.6 所示, 在实验板上按照图题 3.6 进行搭建, 1A 输入端接 1Hz 脉冲信号, 2A 输入端接 0 (低电平), 3A 输入端接 1 (高电平), 3 个使能端 EN 按表题 3.2 中的电平设置, 同时观察输出端 F 的状态并填入表中, 解释 F 的状态。



图题 3.6 用三态门实现单向总线传输

表题 3.2

$1A$	$2A$	$3A$	$1EN$	$2EN$	$3EN$	F
0	0	1	1	1	1	
			0	1	1	
			1	0	1	
			1	1	0	