

## 第3章

### CHAPTER 3

## 基本数字电路实验

### 3.1 逻辑门电路

#### 3.1.1 实验主要内容

##### 一、实验目的

- (1) 掌握常用 TTL 集和 CMOS 集成逻辑门的逻辑功能及测试方法。
- (2) 掌握与非门、异或门的逻辑功能、特点及基本应用。
- (3) 熟悉门电路之间的转换,用与非门组成其他逻辑门。

##### 二、实验原理

###### 1. 集成逻辑门电路

在数字电路中,实现逻辑运算的单元电路称为门电路。逻辑门电路是构成各种数字电路的基本单元电路。基本门电路有与门、或门和非门,常见的复合门有与非门、或非门、异或门等。按照制造门电路晶体管的不同,分为 MOS 型、双极型和混合型。实验主要使用 MOS 型的互补型金属-氧化物-半导体场效应晶体管逻辑门(Complementary Metal Oxide Semiconductor,CMOS)电路和双极型的晶体管-晶体管逻辑门电路(Transistor Transistor Logic,TTL)。TTL 集成电路的主要特点是工作速度快、带载能力强、噪声容限小。CMOS 集成电路主要特点是功耗低、输入阻抗较高、抗干扰能力强。TTL 集成电路以 74 系列为主,其中,74××是标准系列,74LS××是低功耗肖特基系列。CMOS 集成电路以 4000B 系列和 74HC 系列为主。

与非门是一种常用的逻辑门电路,用与非门可以组成其他类型的逻辑门。图 3-1-1 给出了两种集成逻辑门电路的引脚排列。这两种集成逻辑门电路分别是四-2 输入与非门 74××00(74LS00 或者 74HC00),二-4 输入与非门 74××20(74LS20 或者 74HC20),NC 为空脚,A、B、C、D 为输入,Y 为输出。

2 输入与非门的逻辑函数表达式为

$$Y = \overline{A \cdot B} \quad (3-1-1)$$

4 输入与非门的逻辑函数表达式为

$$Y = \overline{A \cdot B \cdot C \cdot D} \quad (3-1-2)$$

对于 TTL 逻辑门电路,输入端可悬空使用,逻辑上视为 1;而对于 CMOS 逻辑门电路,

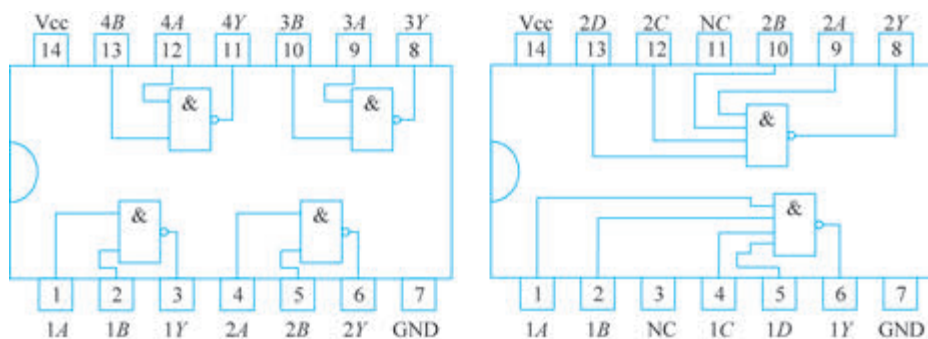


图 3-1-1 74×00 和 74×20 引脚排列

输入端不可悬空。原因是当输入端悬空时,CMOS 电路输入阻抗很高,易受外界电磁场干扰,会破坏正常的逻辑功能,因此使用时常将多余的输入端接高电平或者和一个有用输入端连接在一起。

## 2. 用与非门组成集成逻辑门电路

利用公式变换,将与非门转换为其他几种类型逻辑门电路。

(1) 组成非门电路。由与非门构成非门:

$$Y = \overline{A} = \overline{A \cdot A} \quad (3-1-3)$$

(2) 组成与门电路。由与非门构成与门:

$$Y = A \cdot B = \overline{\overline{A \cdot B}} \quad (3-1-4)$$

(3) 组成或门电路。由与非门构成或门:

$$Y = A + B = \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}} \quad (3-1-5)$$

## 3. 异或门及其应用

异或门是由基本逻辑门组成的复合门电路。图 3-1-2 为 74×86 系列集成逻辑门电路的引脚排列。它的输出只有在两个输入不相同时才为真(即输出为 1),如果两个输入相同,则输出为假(即输出为 0)。2 输入异或门的逻辑函数表达式为

$$Y = A \oplus B$$

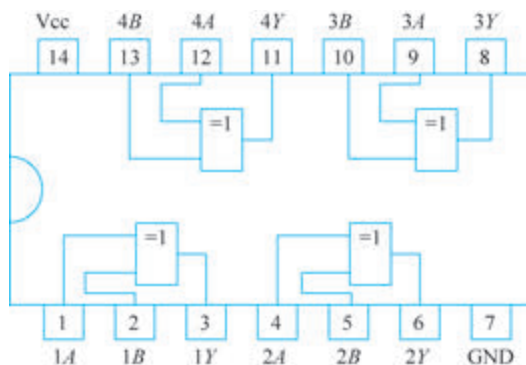


图 3-1-2 74×86 芯片引脚排列

奇偶校验器是一种用于检测数据中 1 的个数是奇数还是偶数的电路。这种校验通常用于错误检测,确保数据传输的可靠性。现用异或门设计一个 4 位奇偶校验器电路。要求当

输入的 4 位二进制码中有奇数个 1 时,输出为 1,否则输出为 0。

真值表如表 3-1-1 所示。化简逻辑表达式为

$$Y=\overline{A}\overline{B}\overline{C}D+\overline{A}\overline{B}C\overline{D}+\overline{A}B\overline{C}\overline{D}+\overline{A}BCD+A\overline{B}\overline{C}\overline{D}+A\overline{B}C\overline{D}+AB\overline{C}D+ABCD$$

(3-1-6)

经过化简得到

$$Y=A\oplus B\oplus C\oplus D$$

(3-1-7)

表 3-1-1 奇偶校验器电路逻辑真值表

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

三、实验内容

1. 与非门逻辑功能测试实验

(1) 选用 2 输入与非门 74LS00,通过仿真软件搭建与非门逻辑电路。输入接单刀双掷开关,掷上为 1,掷下为 0。输出端接一个指示灯(LED),灯亮为 1,灯灭为 0。

(2) 改变输入端的不同状态,测试输出端的逻辑功能并记录。

2. 与非门组成集成逻辑门电路实验

(1) 选用 2 输入与非门 74LS00,根据实验原理使用仿真软件搭建非门、与门、或门逻辑电路。输入端接单刀双掷开关,输出端接一个 LED 指示灯。

(2) 改变输入端的不同状态,测试输出端的逻辑功能并记录。

3. 异或门逻辑功能测试实验

(1) 选用 2 输入异或门 74LS86,通过仿真软件搭建异或门逻辑电路。输入接单刀双掷开关,掷上为 1,掷下为 0。输出端接一个指示灯(LED),灯亮为 1,灯灭为 0。

(2) 改变输入端的不同状态,测试输出端的逻辑功能并记录。

#### 4. 奇偶校验器电路测试实验

(1) 选用 2 输入异或门 74LS86, 通过仿真软件搭建奇偶校验器电路。4 个输入接单刀双掷开关, 输出接一个指示灯(LED)。

(2) 改变输入端的不同状态, 当 A、B、C、D 中 1 的个数为奇数时指示灯亮。测试输出端的逻辑功能并记录。

(3) 使用面包板搭建奇偶校验器电路, 观察输出端的结果。

### 3.1.2 实验电路仿真

#### 一、与非门逻辑功能及应用

##### 1. 与非门功能测试

如图 3-1-3 为与非门的仿真电路。

##### 2. 用与非门构成非门

如图 3-1-4 为非门的仿真电路。

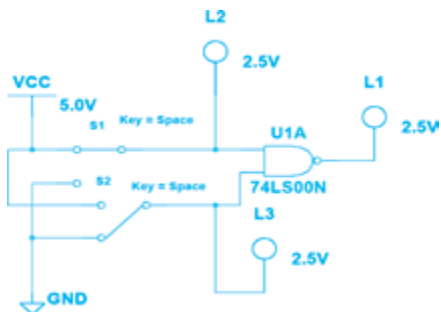


图 3-1-3 与非门仿真电路

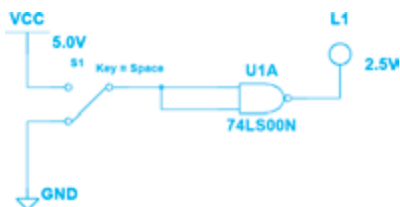


图 3-1-4 非门仿真电路

##### 3. 用与非门构成与门

如图 3-1-5 为与门的仿真电路。

##### 4. 用与非门构成或门

如图 3-1-6 为或门的仿真电路。

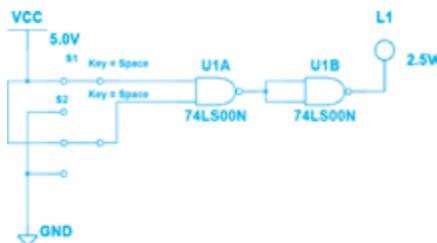


图 3-1-5 与门仿真电路

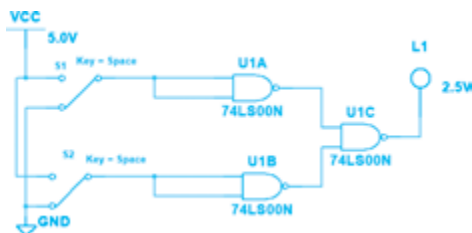


图 3-1-6 或门仿真电路

#### 二、异或门逻辑功能及应用

##### 1. 异或门功能测试

如图 3-1-7 为异或门的仿真电路。

##### 2. 用异或门构成奇偶校验器

如图 3-1-8 为异或门构成奇偶校验器的仿真电路。

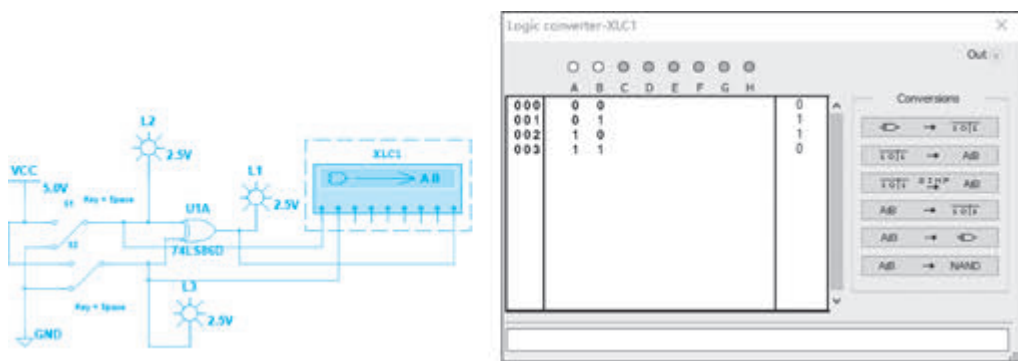


图 3-1-7 异或门仿真电路

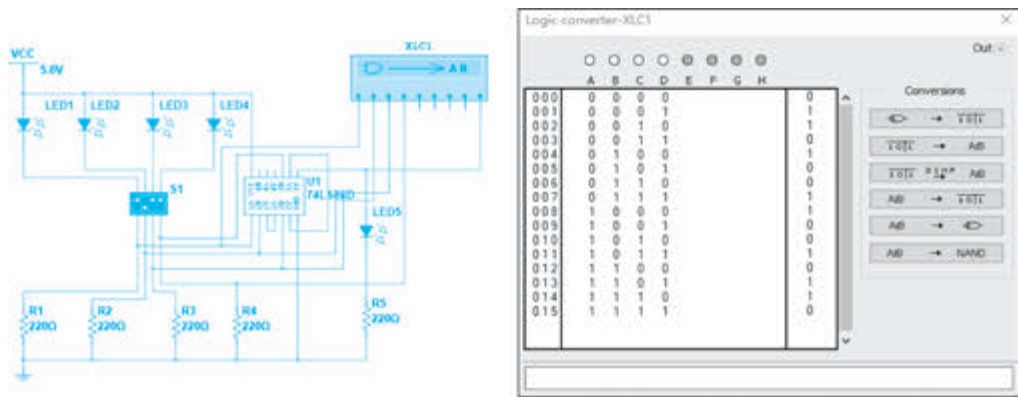


图 3-1-8 异或门构成奇偶校验器

3.1.3 实验演示验证

一、实验仪器

- (1) 多功能混合域示波器 MDO-2000A。
- (2) 双显测量万用表 GDM-8352。
- (3) 直流稳压电源 GPD-3303。

二、预习要求

- (1) 复习教材中有关异或门的内容,掌握用异或门组成组合逻辑电路原理。
- (2) 使用仿真软件 Multisim 14.0,按照图 3-1-8 搭建奇偶校验器实物电路,利用拨码开关作为输入,LED 作为输出,改变拨码开关的输入值,使得 LED 灯发生变化。

三、实验步骤

- (1) 按照图 3-1-8 选择 74LS86 搭建实物电路,正确摆放芯片位置,按照引脚分配输入端并连接拨码开关,分配输出端连接 LED。
- (2) 面包板通电,芯片 74LS86 的 14 引脚接电源 5V,7 引脚接地,所有仪器和实验电路共地。
- (3) 改变输入值,观察 LED 亮灭,记录测试结果。



奇偶校验器

四、实验报告

奇偶校验器测试结果填在表 3-1-2 中。

表 3-1-2 奇偶校验器测试结果

A B C D	数码中含 1 的个数	指示灯亮否

五、拓展实验

算术运算是数字系统的必备功能。加法运算和减法运算是最基本的运算。能完成两个二进制数的数值相减的数字电路称为半减器。用异或门和与非门设计 1 位半减器。

半减器逻辑真值表如表 3-1-3 所示。其中,A、B 表示两个 1 位二进制数,作为输入。两个数之差 D 和向高位的借位 C 作为输出。



半减器

表 3-1-3 半减器逻辑真值表

输 入		输 出	
A(被减数)	B(减数)	D	C
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

逻辑表达式化简为

$D = A \oplus B$

$C = \overline{A} \cdot B$

半减器仿真图如图 3-1-9 所示。

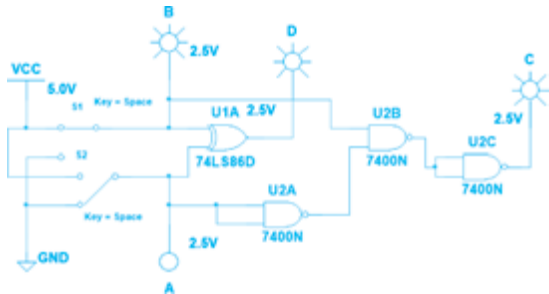


图 3-1-9 半减器仿真图

3.2 组合逻辑电路

3.2.1 实验主要内容

一、实验目的

- (1) 熟悉小规模、中规模组合集成电路元器件的使用。
- (2) 掌握组合逻辑电路的设计方法。
- (3) 验证设计的组合逻辑电路功能。

二、实验原理

1. 译码器

译码器是一个多输入、多输出的组合逻辑电路。它的作用是把给定的代码进行“翻译”，变成相应的状态，使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途，不仅用于代码的转换、终端的数字显示，还用于数据分配、存储器寻址和组合控制信号等。

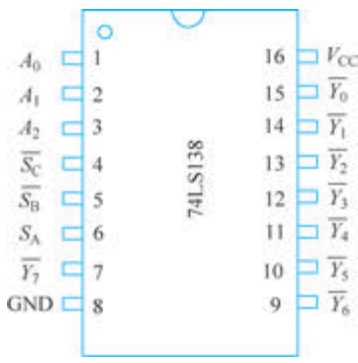


图 3-2-1 74LS138 引脚图

74LS138 是一种 3-8 译码器，3 个输入脚  $A_2 A_1 A_0$ ，8 个输出脚  $\overline{Y_0} \sim \overline{Y_7}$ ，3 个控制脚  $S_A \overline{S_B} \overline{S_C}$ 。当  $S_A = 1, \overline{S_B} = \overline{S_C} = 0$  时，译码器处于工作状态。输入端  $A_2 A_1 A_0$  选择  $\overline{Y_0} \sim \overline{Y_7}$  其中一个为低电平，其余的处于禁止状态， $\overline{Y_0} \sim \overline{Y_7}$  都为高电平。图 3-2-1 为 74LS138 引脚图，表 3-2-1 为 74LS138 的功能表。

表 3-2-1 74LS138 功能表

$S_A$	$S_B + S_C$	$A_2$	$A_1$	$A_0$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

74LS138 应用广泛，除译码外还可作为函数发生器和数据分配器。数据分配器是单路输入、多路输出的逻辑电路，其功能是在地址选择端的控制下，将单路输入数据分配到不同的输出数据通道上。

2. 数据选择器

数据选择器又称多路转换器或多路开关，其功能是从多个输入数据中选择一个送往唯



一通道输出。74LS153 是双 4 选 1 数据选择器,其内部有两个完全独立的 4 选 1 数据选择器,每个数据选择器有 4 个数据输入端  $D_0 \sim D_3$ ,2 个地址输入端  $A$  和  $B$ ,一个输入使能端  $\overline{ST}$  和一个输出端  $Y$ ,当  $\overline{ST}=1$  时,禁止数据选择,输出  $Y=0$ ;当  $\overline{ST}=0$  时,允许数据选择,被选中数据从  $Y$  端原码输出。其功能表和引脚图如图 3-2-2 所示。

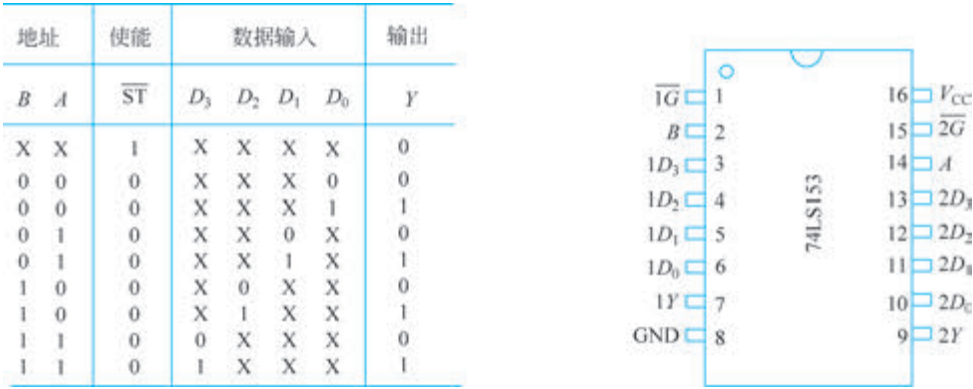


图 3-2-2 74LS153 功能表和引脚图

如图 3-2-3 所示为 74LS151 八选一数据选择器的引脚图和真值表,其中,  $D_0 \sim D_7$  是 8 路数据输入端,  $A$ 、 $B$ 、 $C$  是 3 位地址输入端,  $\overline{ST}$  是使能端(即选通输入端),  $Y$  是被选中数据的原码输出端,  $\overline{W}$  是被选中的反码输出端。



图 3-2-3 74LS151 功能表和引脚图

奇检验电路是一种在数字通信和计算机存储系统中常用的错误检测机制。它的核心思想为:在数据传输或存储过程中,通过添加一个额外的校验位,来检查数据是否在传输或存储过程中发生了改变。这种方法能够有效地检测出单比特错误,从而提高数据传输和存储的可靠性。使用 74LS151 设计实现奇校验电路的工作原理为:在发送数据时,发送方会计算数据中 1 的个数,并根据是奇数还是偶数来设置校验位。如果 1 的个数是偶数,则校验位设置为 0;反之,如果 1 的个数是奇数,则校验位设置为 1。

设输入信号为  $A$ 、 $B$ 、 $C$ 、 $D$ ,输出信号为  $Y$ 。用 74LS151 实现 4 输入奇校验电路,可以将 4 个输入信号中的 3 个连接到 74LS151 的地址输入端,剩下 1 个输入信号连接到数据输入端  $D_0 \sim D_7$ 。根据表 3-2-2 确定输入端  $D_0 \sim D_7$  的连接,利用使能端  $\overline{E}$  接低电平保证 74LS151 处于工作状态。



表 3-2-2 奇校验电路逻辑真值表

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

3. 加法器

74LS83(或 74LS283)改进型的全加器可实现两个 4 位二进制数带进位的加法运算,引脚图如图 3-2-4 所示。每一位都有和( $\Sigma$ )的输出,第四位为总进位( $C_4$ )。本加法器可对内部 4 位,进行全超前进位,在 10ns(典型值)之内产生进位项。其中一个加数通过  $A_1 \sim A_4$  输入至芯片,另外一个加数通过  $B_1 \sim B_4$  输入至芯片,计算结果通过  $\Sigma_1 \sim \Sigma_4$  输出。在计算时,芯片会自动加上低位的进位  $C_0$ 。如果结果有进位,则进位会被输出到  $C_4$  引脚。图 3-2-4 为 74LS83 引脚图,表 3-2-3 为 74LS83 的功能表。

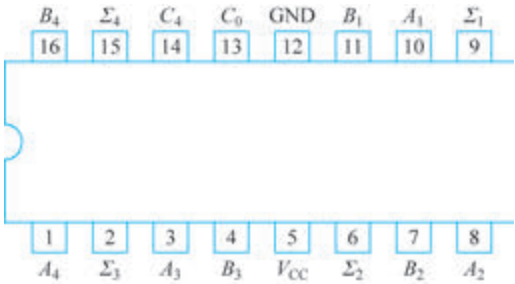


图 3-2-4 74LS83 引脚图

表 3-2-3 74LS83 功能表

名 称	功 能	引脚驱动能力(TTL)	
		高电平	低电平
$A_1 \sim A_4$	第一个加数	1	0.5
$B_1 \sim B_4$	第二个加数	1	0.5
$C_0$	低位进位	0.5	0.25
$\Sigma_1 \sim \Sigma_4$	结果输出	10	5
$C_4$	向高位进位	10	5

### 三、实验内容

#### 1. 用 74LS138 实现数据分配器

(1) 选用 74LS138, 通过仿真软件搭建数据分配器。输入接 50Hz 左右连续脉冲或者单次触发脉冲,  $A_2 A_1 A_0$  分别接拨码开关, 掷上为 1, 掷下为 0。输出  $\overline{Y}_0 \sim \overline{Y}_7$  接 LED 指示灯, 灯亮为 1, 灯灭为 0, 或者输出可接示波器观察现象。

(2) 电路搭建好后, 加入电源, 改变输入端值, 将测试结果填入表格中。

#### 2. 用 74LS151 实现奇校验电路

(1) 选用 74LS151, 通过仿真软件搭建奇校验电路。输入端接拨码开关, 输出端接 LED 指示灯。

(2) 电路搭建好后, 加入电源, 改变输入端的状态, 将测试结果填入表格中。

(3) 使用面包板搭建奇校验电路, 观察输出端的结果。

#### 3. 用 74LS83 实现码制变换电路

(1) 选用 74LS83, 通过仿真软件搭建码制变换电路。输入端接拨码开关, 输出端接 LED 指示灯。  $A_1 \sim A_4$  输入端接 8421BCD 码, 使得输出为余三码, 实现码制变换。

(2) 电路搭建好后, 加入电源, 改变输入端的状态, 将测试结果填入表格中。

## 3.2.2 实验电路仿真

### 一、74LS138 实现数据分配器

仿真电路如图 3-2-5 所示。

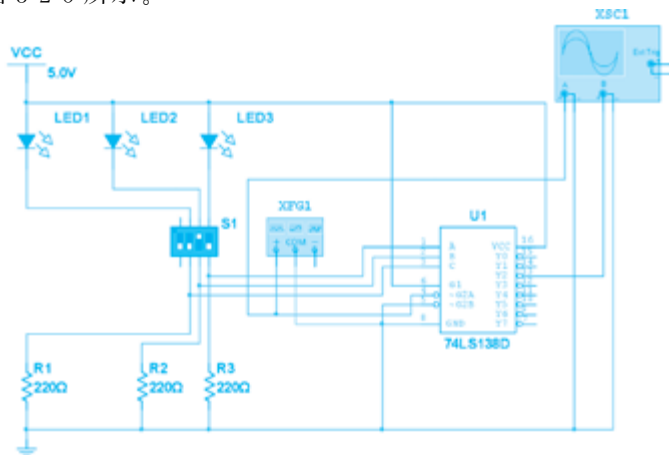


图 3-2-5 74LS138 实现数据分配器

### 二、74LS151 实现 4 输入奇校验电路

仿真电路如图 3-2-6 所示。

### 三、74LS83 实现码制变换电路

仿真电路如图 3-2-7 所示。

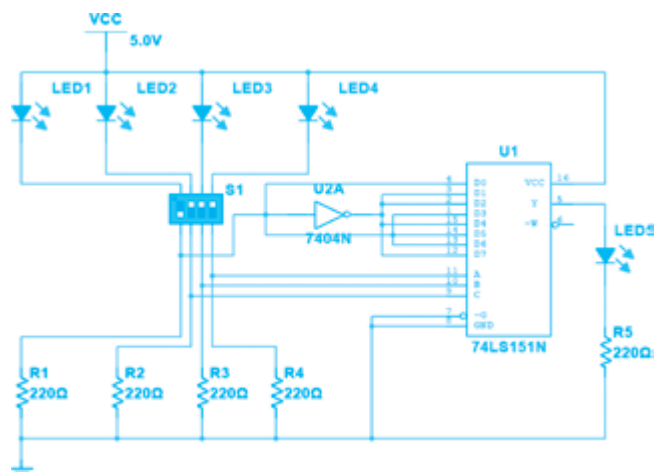


图 3-2-6 74LS151 实现 4 输入奇校验电路

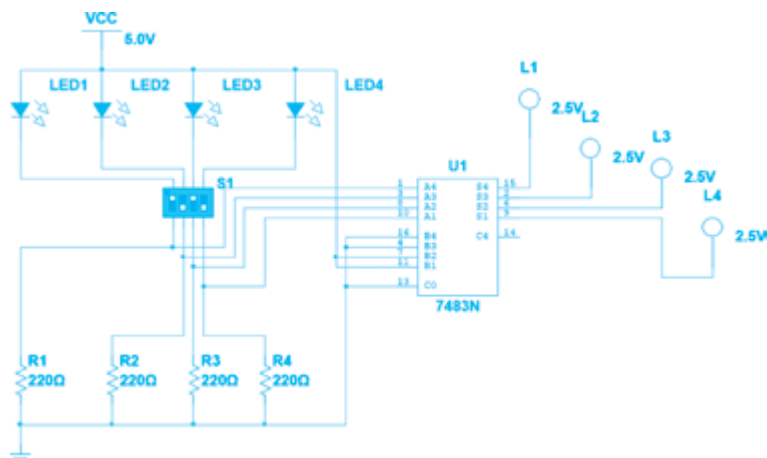


图 3-2-7 74LS83 实现码制变换电路

### 3.2.3 实验演示验证

#### 一、实验仪器

- (1) 多功能混合域示波器 MDO-2000A。
- (2) 双显测量万用表 GDM-8352。
- (3) 直流稳压电源 GPD-3303。

#### 二、预习要求

- (1) 复习教材中有关组合逻辑电路的内容,掌握常用组合逻辑电路的功能和原理。
- (2) 使用仿真软件 Multisim 14.0,按照图 3-2-6 搭建奇校验仿真电路,利用拨码开关作为输入,LED 作为输出,改变拨码开关的输入值,使得 LED 灯发生变化。

#### 三、实验步骤

- (1) 按照图 3-2-6 选择 74LS151 和 74LS04 搭建实物电路,正确摆放芯片位置,按照引脚分配输入端并连接拨码开关,分配输出端连接 LED。



(2) 面包板通电,芯片 74LS151 的 16 引脚接电源 5V,8 引脚接地,所有仪器和实验电路共地。

(3) 改变输入端状态,观察 LED 亮灭情况,记录测试结果。

四、实验报告

奇校验电路测试结果填在表 3-2-4 中。

表 3-2-4 奇校验电路测试结果

输入 A B C D				输出 Z	数码中含 1 的个数

五、拓展实验

利用 74LS138 和若干逻辑门设计实现一个 2 位二进制数相乘的乘法器。

设输入端两位二进制数分别为  $A_1$ 、 $A_0$  和  $B_1$ 、 $B_0$ ,其输出端乘法结果表示为  $P_3$ 、 $P_2$ 、 $P_1$ 、 $P_0$ 。二进制乘法运算功能真值表如表 3-2-5 所示。



乘法器

表 3-2-5 二进制乘法运算功能真值表

$A_1$	$A_0$	$B_1$	$B_0$	$P_3$	$P_2$	$P_1$	$P_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

由真值表得到输出端逻辑表达式为

$$\begin{aligned} P_3 &= m_{15} \\ P_2 &= m_{14} + m_{11} + m_{10} \\ P_1 &= m_{14} + m_{13} + m_{11} + m_9 + m_7 + m_6 \\ P_0 &= m_{15} + m_{13} + m_7 + m_5 \end{aligned}$$

乘法器仿真电路如图 3-2-8 所示。

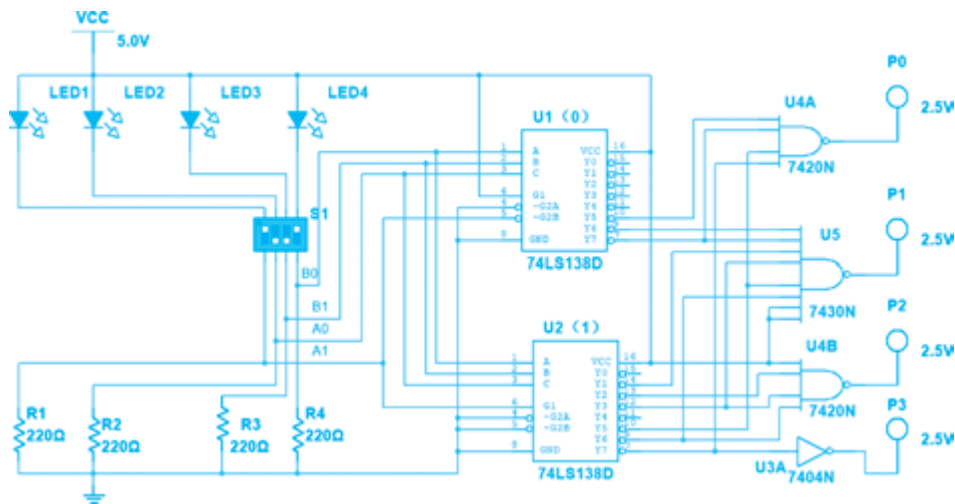


图 3-2-8 74LS138 实现 2 位二进制乘法器

### 3.3 时序逻辑电路

#### 3.3.1 实验主要内容

##### 一、实验目的

- (1) 熟悉常用 MSI 时序逻辑集成电路的功能和使用方法。
- (2) 掌握多片 MSI 时序逻辑集成电路级联和功能扩展。
- (3) 学会时序逻辑电路的分析方法、设计方法、组装和测试方法。

##### 二、实验原理

###### 1. 触发器

触发器是一种具有记忆功能的二进制存储器件，它可以存储一位二进制信息，即逻辑 1 或 0。它能够根据输入信号的状态改变其输出状态，并在输入信号消失后保持该状态不变。触发器对时钟脉冲边沿敏感，它们在时钟脉冲的上升沿或下降沿作用下改变状态。按照逻辑功能触发器可分为 D 触发器、JK 触发器、T(T')触发器和 SR 触发器。

这里主要介绍集成 D 触发器。利用时钟边沿控制的 D 触发器有 4 个输入端，其逻辑符号如图 3-3-1(a)所示。其中， $\bar{R}_D$ 、 $\bar{S}_D$  分别称为直接置 0(复位)端和直接置 1(置位)端，触发器正常工作时应将  $\bar{R}_D$ 、 $\bar{S}_D$  端悬空或接高电平。D 触发器的特性方程：

$$Q^{n+1} = D$$

在时钟脉冲 CP 上升沿触发下，触发器输出状态  $Q^{n+1}$  与 D 输入端信号相同，而与它的原来状态  $Q^n$  无关。实验采用 74LS74 型双 D 触发器，上升沿触发。引脚排列如图 3-3-1(b)所示。

利用中规模组合逻辑电路和触发器扩展电路功能，可以实现串行数码比较器。串行数码比较器是一种用于对两个串行输入的数码进行大小比较的电路，将两个数码按照从高位到低位(或从低位到高位)的顺序逐位输入比较器进行比较，最终得出两个数码的大小关系。与并行数码比较器同时对多个位进行比较不同，串行数码比较器在时间上逐位处理数据，通常适用于对数据传输速率要求不高、数据位数较多且对硬件资源要求较为苛刻的场合。

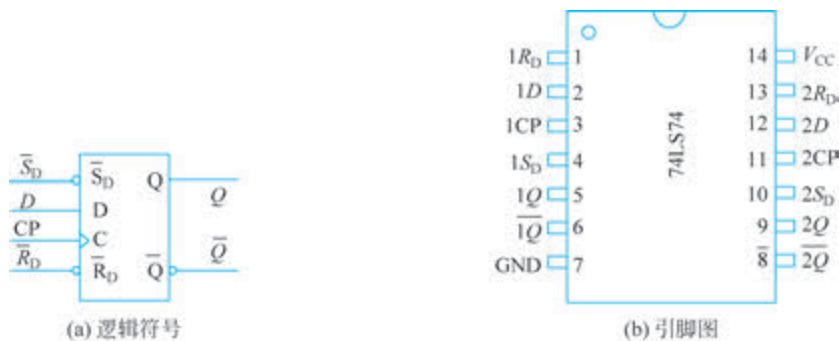


图 3-3-1 74LS74D 触发器

2. 计数器

计数器是最常用的时序逻辑电路之一,可用于分频、定时、产生节拍脉冲和脉冲序列及其他时序信号等。按进位体制,分为二进制、十进制和任意进制计数器。74LS161 是 4 位二进制同步加法计数器,其逻辑符号及引脚分布见图 3-3-2。其中, $\overline{R_D}$  是清零端,低电平有效, $\overline{L_D}$  是置数端,就是将  $D_0 \sim D_3$  端的电平存储在  $Q_0 \sim Q_3$  端,低电平有效,CP 为时钟脉冲输入端,上升沿有效,CO 是溢出进位端。 $CT_T$ 、 $CT_P$  为使能端。

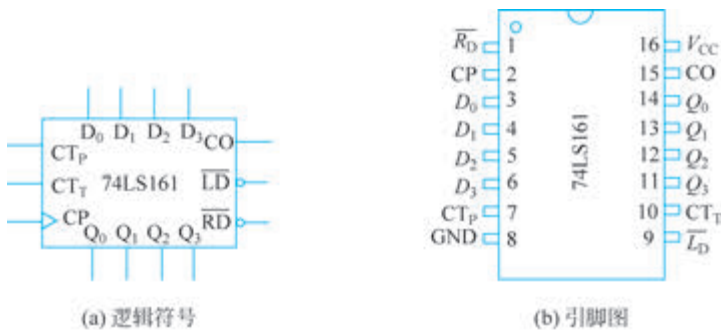


图 3-3-2 计数器 74LS161

74LS161 功能表如表 3-3-1 所示。74LS161 具有异步清零、同步置数及计数、保持 4 种功能。当  $\overline{R_D}=0$  时,不论其他输入端为何状态,均将  $Q_3 \sim Q_0$  全部清零;当  $\overline{R_D}=1, \overline{L_D}=0$  时,在 CP 计数脉冲上升沿作用时,可将置数输入端  $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$  加入的数据  $d_3$ 、 $d_2$ 、 $d_1$ 、 $d_0$  分别送至输出端  $Q_3 \sim Q_0$  实现置数功能;当  $\overline{R_D}=\overline{L_D}=CT_T=CT_P=1$  时,在 CP 计数脉冲上升沿作用下实现计数功能,包含 16 个计数状态 0000~1111,故又称十六进制计数器;当  $\overline{R_D}=\overline{L_D}=1$  时,只要  $CT_T$  和  $CT_P$  有一个为 0,不论其余各输入端的状态如何,计数的状态保持不变。

表 3-3-1 74LS161 功能表

输 入									输 出			
$\overline{R_D}$	$\overline{L_D}$	$CT_T$	$CT_P$	CP	$D_0$	$D_1$	$D_2$	$D_3$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	×	×	×	×	×	×	×	×	0	0	0	0
1	0	×	×	↑	$d_0$	$d_1$	$d_2$	$d_3$	$d_0$	$d_1$	$d_2$	$d_3$
1	1	0	×	×	×	×	×	×	触发器保持,CO=0			
1	1	×	0	×	×	×	×	×	保持			
1	1	1	1	↑	×	×	×	×	计数			

3. 移位寄存器

在数字系统中能存储二进制信息,并进行移位的逻辑部件称为移位寄存器,它的主要组成部分是触发器。移位寄存器的工作方式有串入串出、串入并出、并入串出、并入并出 4 种形式,按移位方向有左移、右移两种。实验采用 4 位双向通用移位寄存器 74LS194,其逻辑符号及引脚分布见图 3-3-3, $D_0、D_1、D_2、D_3$  为并行输入端; $Q_0、Q_1、Q_2、Q_3$  为并行输出端; $S_1、S_2$  为工作方式选择端; $D_{SR}$  为右移串行输入端, $D_{SL}$  为左移串行输入端, $C_r$  为清零端; $CP$  为时钟输入端。

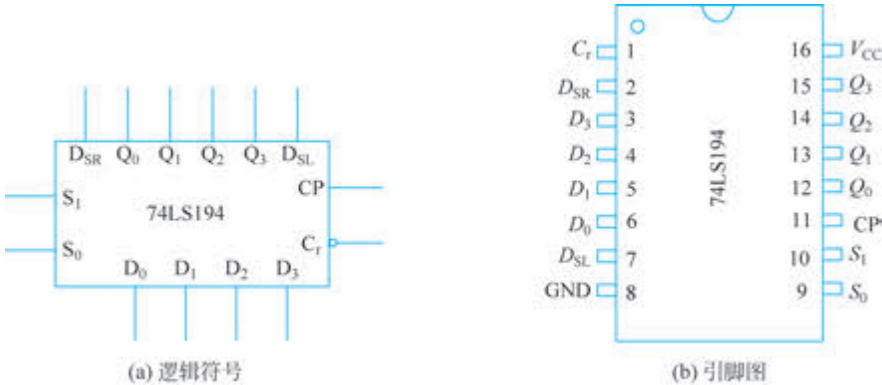


图 3-3-3 移位寄存器 74LS194

移位寄存器 74LS194 有 5 种不同操作模式：异步清零、保持、右移、左移和同步并行置数,如表 3-3-2 所示。

表 3-3-2 74LS194 功能表

输 入										输 出				功 能
清零 $C_r$	控制信号		时 钟 CP	串行输入		并行输入				$Q_0^{n+1}$	$Q_1^{n+1}$	$Q_2^{n+1}$	$Q_3^{n+1}$	
	$S_1$	$S_0$		右移 $D_{SR}$	左移 $D_{SL}$	$D_0$	$D_1$	$D_2$	$D_3$	$Q_0^n$	$Q_1^n$	$Q_2^n$	$Q_3^n$	
0	×	×	×	×	×	×	×	×	×	0	0	0	0	异步清零
1	0	0	×	×	×	×	×	×	×	$Q_0^n$	$Q_1^n$	$Q_2^n$	$Q_3^n$	保持
1	0	1	↑	L	×	×	×	×	×	L	$Q_0^n$	$Q_1^n$	$Q_2^n$	右移
1	0	1	↑	H	×	×	×	×	×	H	$Q_0^n$	$Q_1^n$	$Q_2^n$	右移
1	1	0	↑	×	L	×	×	×	×	$Q_1^n$	$Q_2^n$	$Q_3^n$	L	左移
1	1	0	↑	×	H	×	×	×	×	$Q_1^n$	$Q_2^n$	$Q_3^n$	H	左移
1	1	1	↑	×	×	$D_0^*$	$D_1^*$	$D_2^*$	$D_3^*$	$D_0$	$D_1$	$D_2$	$D_3$	同步并 行置数

将移位寄存器 74LS194 输出端  $Q_3$  取反后反馈至串行数据输入端  $D_{SR}$ ,就构成了 4 位扭环形计数器。这种连接方式可实现八进制扭环形计数器。

三、实验内容

1. 用 74LS74 实现串行数码比较器

(1) 选用 74LS74 和 74LS153,通过仿真软件搭建串行数码比较器。74LS153 的两个地址端 A、B,作为两组输入数据控制开关,将两串二进制数分别从低位到高位串行输入到 A、



B。输出 1Y、2Y 连接到触发器 74LS74，触发器输出 1Q、2Q 接 LED 指示灯，灯亮为 1，灯灭为 0。例如，将两串二进制数 A(0111)、B(1010)分别从低位到高位串行输入 A、B 端(每次一位)，逐位比较。若  $A > B$ ，则  $1Q = 1$ ，B1 灯亮；若  $A < B$ ，则  $2Q = 1$ ，B2 灯亮；若  $A = B$ ，则  $1Q = 2Q = 1$ ，灯均不亮。

(2) 电路搭建好后，加入电源，可另设两组 4 位二进制数进行比较，将测试结果填入表格中。

## 2. 用 74LS161 实现彩灯控制器

(1) 选用 74LS161 和 74LS138，通过仿真软件实现彩灯控制器，该电路可利用信号发生器产生时钟脉冲。4 位二进制同步加法计数器 74LS161 用来计数分频，计数器输出信号通过译码器 74LS138 直接输出控制彩灯。

(2) 电路搭建好后，加入电源，观察彩灯依次点亮，计算分频数。

(3) 使用面包板搭建彩灯控制器，观察输出端结果。

## 3. 用 74LS194 实现扭环形计数器

(1) 选用 74LS194 和 74LS04，通过仿真软件搭建扭环形计数器。输入端接拨码开关，输出端接 LED 指示灯。

(2) 电路搭建好后，加入电源，改变输入端的状态，将测试结果填入表格中。

# 3.3.2 实验电路仿真

## 一、74LS74 实现串行数码比较器

仿真电路如图 3-3-4 所示。

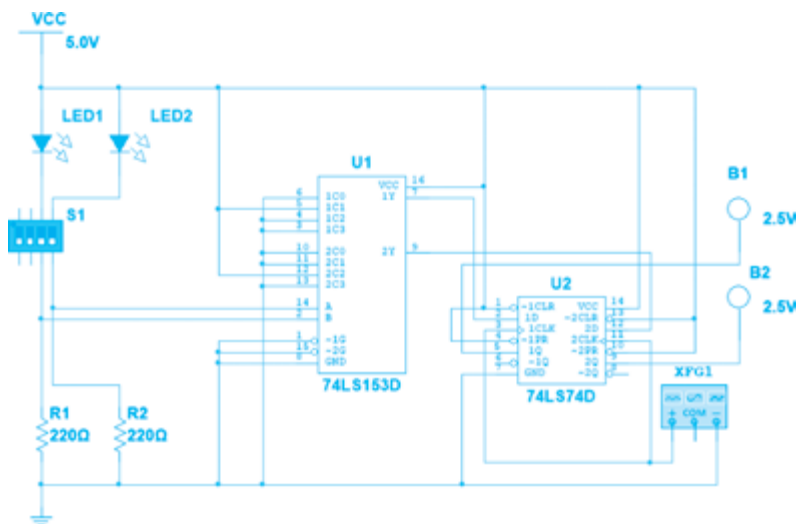


图 3-3-4 74LS74 实现串行数码比较器

## 二、74LS161 实现彩灯控制器

仿真电路如图 3-3-5 所示。

## 三、74LS194 实现扭环形计数器

仿真电路如图 3-3-6 所示。

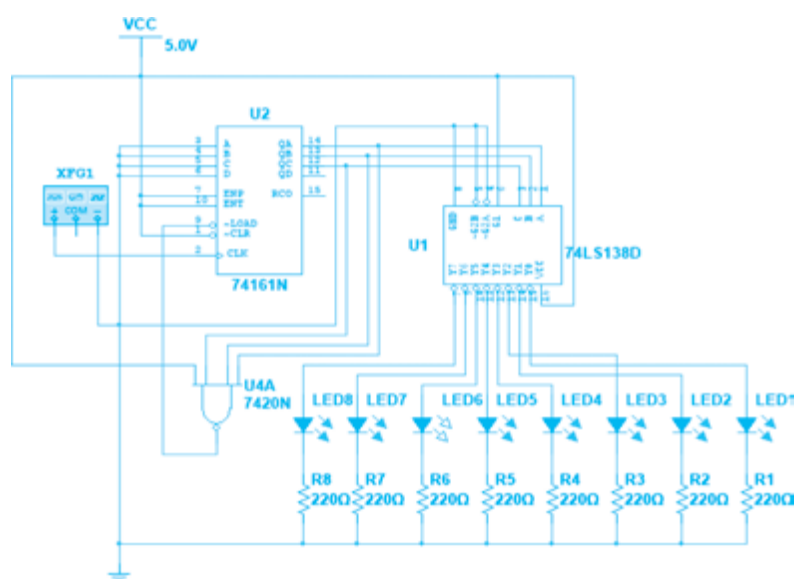


图 3-3-5 74LS161 实现彩灯控制器

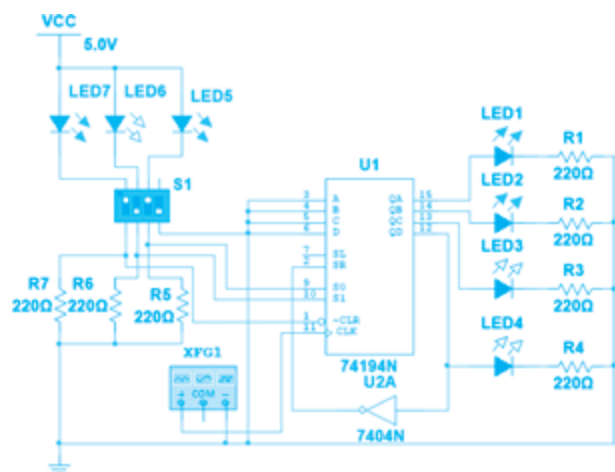


图 3-3-6 74LS194 实现扭环形计数器

3.3.3 实验演示验证

一、实验仪器

- (1) 多功能混合域示波器 MDO-2000A。
- (2) 双显测量万用表 GDM-8352。
- (3) 直流稳压电源 GPD-3303。
- (4) 信号发生器 MFG-2220HM。

二、预习要求

- (1) 复习教材中有关时序逻辑电路的内容，掌握常用时序逻辑电路的功能和原理。
- (2) 使用仿真软件 Multisim 14.0，按照图 3-3-5 搭建彩灯控制器，也可利用拨码开

关作为输入,LED 作为输出,改变拨码开关的输入值,使得 LED 灯点亮现象发生变化。

三、实验步骤

- (1) 按照图 3-3-5 选用 74LS161 和 74LS138 搭建实物电路,正确摆放芯片位置,按照引脚分配连接输入端和输出端。
- (2) 面包板通电,芯片 74LS161 和 74LS138 供电电源均为 5V,接 16 引脚。地接 8 引脚,所有仪器和实验电路共地。
- (3) 改变输入端状态至少为两种,观察 LED 亮灭情况,记录分频数和测试结果。



四、实验报告

彩灯控制器测试结果填在表 3-3-3 中。

表 3-3-3 彩灯控制器测试结果

输 入				分 频 数	测 试 结 果
A	B	C	D		

五、拓展实验

设计一款智力竞赛抢答器,其功能具备:

- (1) 同时可供多人(3 人以上)参加比赛,选手编号从 0 开始,各用一个抢答按钮,第一个选手按下抢答器时,数码管显示对应的参赛者编号并报警。
- (2) 给主持人设置一个控制开关,用来控制系统的清零和抢答开始。
- (3) 抢答器具有数据锁存和显示的功能。抢答开始后,若由选手按下抢答按钮,编号立即锁存,并在数码管上显示该选手的编号。同时还要封锁输入电路,禁止其他选手抢答。优先抢答选手的编号一直保持到主持人将系统清零为止。



根据以上要求设计的智力竞赛抢答器系统如图 3-3-7 所示。



图 3-3-7 智力竞赛抢答器系统框图

1. 系统工作原理

智力抢答器的工作过程: 接通电源后,主持人将开关置于清楚位置,抢答器处于禁止工作状态,编号显示器灭灯;当主持人宣布抢答开始并将开关置于开始位置,抢答器处于工作

状态,当选手按键抢答时,优先编码器立即分辨出抢答器的编号,并由锁存器锁存,然后由编码电路显示编号,提示有选手抢答。同时,控制电路对输入编码进行封锁,避免其他选手再次进行抢答。当选手回答完问题,主持人操作控制开关,使系统恢复到禁止工作状态,以便进行下一轮的抢答。

2. 典型电路

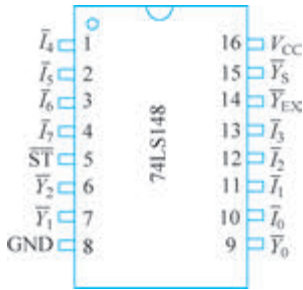


图 3-3-8 优先编码器 74LS148

抢答器的功能有两个：一是能分辨出选手按键的先后,并锁存优先抢答者的编号,供译码显示电路用；二是要使其他选手的按键操作无效。该模块主要包括 3 个部分：编码电路、锁存电路、译码显示电路。分别采用优先编码器 74LS148、RS 锁存器 74LS279 和译码器 74LS47 或 74LS48 完成上述功能。

优先编码器 74LS148 是 8 线输入 3 线输出的二进制编码器,其作用是将输入  $\bar{I}_0 \sim \bar{I}_7$  共 8 个状态分别编成 3 个二进制码输出,引脚排列如图 3-3-8 所示,其功能表如表 3-3-4 所示。

表 3-3-4 74LS148 功能表

输 入									输 出				
$\overline{\text{ST}}$	$\bar{I}_0$	$\bar{I}_1$	$\bar{I}_2$	$\bar{I}_3$	$\bar{I}_4$	$\bar{I}_5$	$\bar{I}_6$	$\bar{I}_7$	$\bar{Y}_2$	$\bar{Y}_1$	$\bar{Y}_0$	$\bar{Y}_{\text{EX}}$	$\bar{Y}_S$
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	1	1	1	0	1
0	×	0	1	1	1	1	1	1	1	1	1	0	1
0	×	×	0	1	1	1	1	1	1	1	1	0	1
0	×	×	×	0	1	1	1	1	1	1	1	0	1
0	×	×	×	×	0	1	1	1	1	1	1	0	1
0	×	×	×	×	×	0	1	1	1	1	1	0	1
0	×	×	×	×	×	×	0	1	1	1	1	0	1
0	×	×	×	×	×	×	×	0	1	1	1	0	1

74LS148 的输入信号和输出信号均为低电平有效。其中,  $\bar{I}_0 \sim \bar{I}_7$ ：编码输入端,输入低电平表示有编码请求,优先级别从  $\bar{I}_7 \sim \bar{I}_0$  递减。 $\overline{\text{EI}}$ ：输入使能端,  $\overline{\text{EI}}=0$  允许编码,  $\overline{\text{EI}}=1$  禁止编码。此时无论  $\bar{I}_0 \sim \bar{I}_7$  为何种状态,所有输出端均为高电平。 $\bar{Y}_2 \bar{Y}_1 \bar{Y}_0$ ：3 位反码输出端。 $\overline{\text{EO}}$ ：使能输出端,只有当  $\overline{\text{EI}}=0$ ,并且有数据输入端  $\bar{I}_0 \sim \bar{I}_7$  均为高电平时,  $\overline{\text{EO}}=0$ ,常用于级联,与另一片 74LS148 的  $\overline{\text{EI}}$  相连,用于打开比它优先级低的芯片。 $\overline{\text{GS}}$ ：编码状态标志位,表示芯片正在进行编码操作。

中规模集成显示译码器 74LS47 或 74LS48 是一款 BCD-7 段译码器/驱动器,它能够将 4 位 BCD 码转换为 7 段数码管所需的驱动信号,从而驱动共阳极或共阴极 7 段数码管显示出 0~9 的数字及一些特殊字符。74LS48 的引脚图如图 3-3-9 所示,功能表如表 3-3-5 所示,其中,  $A_3 A_2 A_1 A_0$  为 8421BCD 码输入端,  $a \sim g$  为 7 段译码输出端。

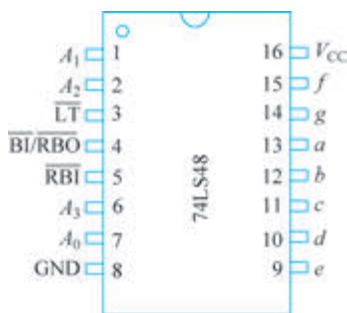


图 3-3-9 74LS48 引脚排列图

表 3-3-5 74LS48 功能表

功能或数字	输 入						输 出								显示字形
	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	$A_3$	$A_2$	$A_1$	$A_0$	$\overline{\text{BI/RBO}}$	$a$	$b$	$c$	$d$	$e$	$f$	$g$	
灭灯	×	×	×	×	×	×	0	0	0	0	0	0	0	0	灭灯
试灯	0	×	×	×	×	×	1	1	1	1	1	1	1	1	试灯
动态灭零	1	0	0	0	0	0	0	0	0	0	0	0	0	0	灭灯
0	1	1	0	0	0	0	1	1	1	1	1	1	1	0	0
1	1	×	0	0	0	1	1	0	1	1	0	0	0	0	1
2	1	×	0	0	1	0	1	1	1	0	1	1	0	1	2
3	1	×	0	0	1	1	1	1	1	1	1	0	0	1	3
4	1	×	0	1	0	0	1	0	1	1	0	0	1	1	4
5	1	×	0	1	0	1	1	1	0	1	1	0	1	1	5
6	1	×	0	1	1	0	1	0	0	1	1	1	1	1	6
7	1	×	0	1	1	1	1	1	1	1	0	0	0	0	7
8	1	×	1	0	0	0	1	1	1	1	1	1	1	1	8
9	1	×	1	0	0	1	1	1	1	1	1	0	1	1	9
10	1	×	1	0	1	0	1	0	0	0	1	1	0	1	0
11	1	×	1	0	1	1	1	0	0	1	1	0	0	1	1
12	1	×	1	1	0	0	1	0	1	0	0	0	1	1	2
13	1	×	1	1	0	1	1	1	0	0	1	0	1	1	3
14	1	×	1	1	1	0	1	0	0	0	1	1	1	1	-
15	1	×	1	1	1	1	1	0	0	0	0	0	0	0	0

74LS48 各引脚功能如下：

$\overline{\text{LT}}$  为灯测试输入使能端。当  $\overline{\text{LT}}=0$  时，译码器各段输出均为高电平，显示器各段全亮，因此， $\overline{\text{LT}}=0$  可用来检查 74LS48 和显示器的好坏。

$\overline{\text{RBI}}$  为动态灭零输入使能端。在  $\overline{\text{LT}}=1$  的前提下，当  $\overline{\text{RBI}}=0$  且输入  $A_3A_2A_1A_0=0000$  时，译码器各段输出全为低电平，显示器各段全灭，而当输入数据为非零数码时，译码器和显示器正常译码和显示。利用此功能可以实现将无意义位的零消隐。

$\overline{\text{BI}}$  为静态灭灯输入使能端。只要  $\overline{\text{BI}}=0$ ，不论输入  $A_3A_2A_1A_0$  为何种电平，译码器各

段输出全为低电平，显示器灭灯(此时  $\overline{\text{BI}}/\text{RBO}$  为输入使能)。

$\text{RBO}$  为动态灭零输出端。在不使用  $\overline{\text{BI}}$  功能时， $\overline{\text{BI}}/\text{RBO}$  为输出使能(其功能是只有在译码器实现动态灭零时  $\text{RBO}=0$ ，其他时候  $\text{RBO}=1$ )。该端主要用于多个译码器级联时，实现对无意义的零进行消隐。实现整数位的零消隐是将高位的  $\text{RBO}$  接到相邻低位的  $\overline{\text{RBI}}$ ，实现小数位的零消隐是将低位的  $\text{RBO}$  接到相邻高位的  $\overline{\text{RBI}}$ 。

74LS279 是一款常用的数字集成电路，如图 3-3-10 所示，它包含 4 个独立的 RS 触发器，每个触发器具有置位 Set 和复位 Reset 输入，以及正逻辑输出  $Q$  和反相输出  $\overline{Q}$ ，主要用于实现同步或异步的逻辑状态存储与控制。

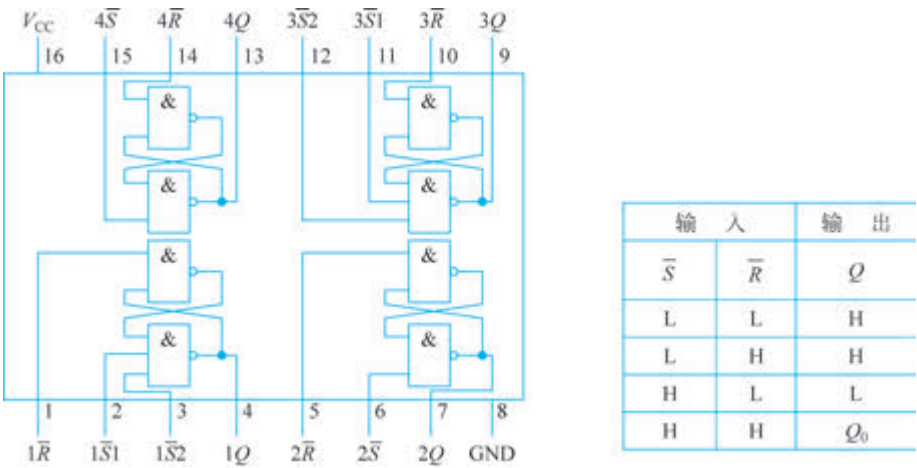


图 3-3-10 74LS279 引脚排列图和真值表

智力竞赛抢答器的仿真电路图如图 3-3-11 所示。

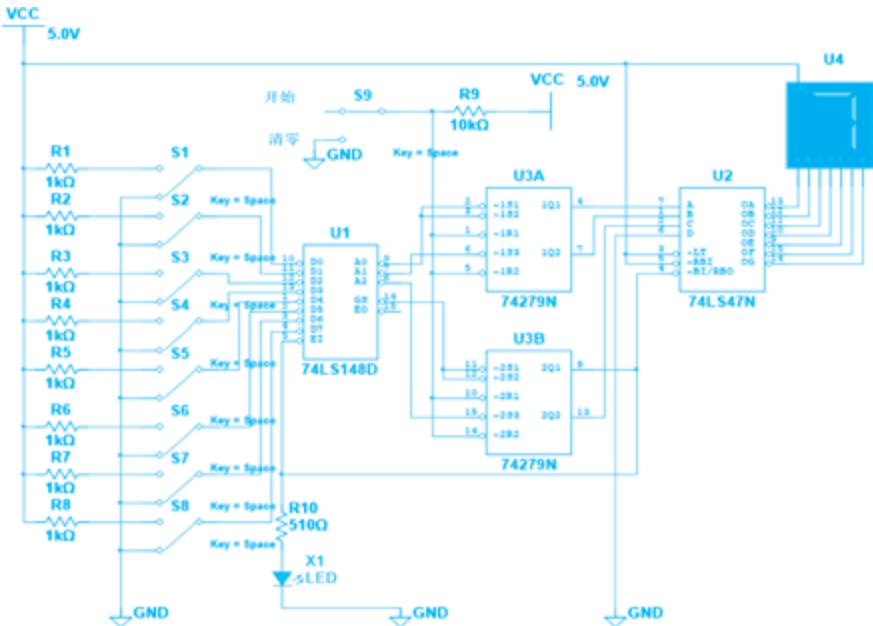


图 3-3-11 智力竞赛抢答器仿真电路图

### 3.4 555 定时器

#### 3.4.1 实验主要内容

##### 一、实验目的

- (1) 熟悉 555 集成定时器的组成及工作原理。
- (2) 掌握用定时器构成单稳态电路、多谐振荡电路和施密特触发器。

##### 二、实验原理

###### 1. 555 集成定时器

555 定时器是一种模、数混合的中规模集成电路,应用十分广泛。它可以组成脉冲的产生、整形、延时和定时电路。其内部原理框图和引脚排列图如图 3-4-1 所示,其组成部分包括由 3 个电阻构成的分压器、电压比较器、基本 RS 锁存器、集电极开路的三极管 T 以及缓冲器 G。

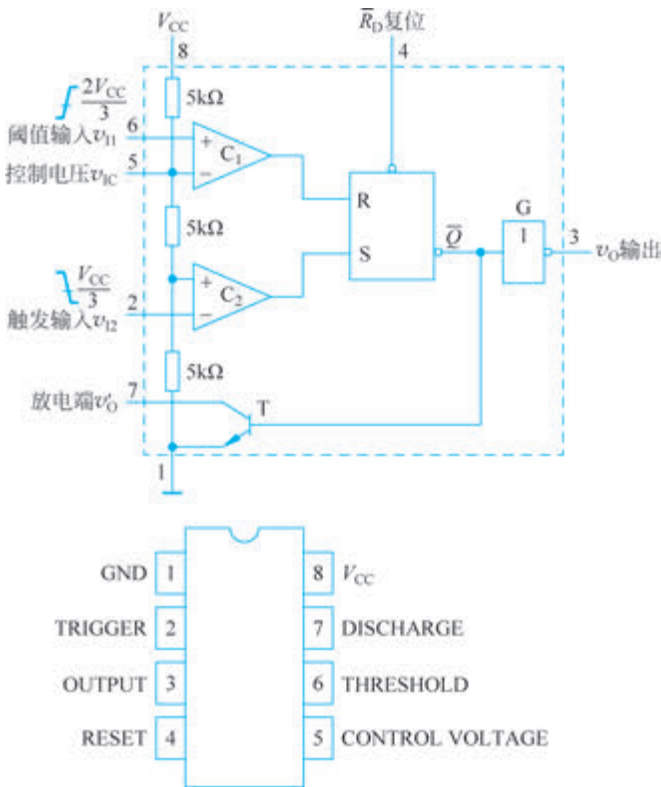


图 3-4-1 555 集成定时器内部原理图和引脚排列图

555 定时器功能表如表 3-4-1 所示,比较器  $C_1$  的同相输入端接到由 3 个  $5\text{k}\Omega$  电阻组成的分压网络  $\frac{2}{3}V_{\text{CC}}$  处(5 脚也称控制电压端),反相输入端 6 为阈值电压输入端,比较器  $C_2$  的反相输入端接到分压电阻网络的  $\frac{1}{3}V_{\text{CC}}$  处,同相输入端 2 为触发电压输入,用来启动电



路,两个比较的输出控制 RS 触发器。

表 3-4-1 555 定时器功能表

输 入			输 出	
阈值输入( $V_{I1}$ )	触发输入( $V_{I2}$ )	复位( $R_D$ )	输出( $V_O$ )	放电管 T
$\times$	$\times$	0	0	导通
$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	1	1	截止
$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	1	0	导通
$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	1	不变	不变

2. 555 定时器构成单稳态触发器

555 定时器和外接定时元件  $R$ 、 $C$  构成单稳态触发器,如图 3-4-2 所示,4 脚与电源 8 脚相连、5 脚通过小电容  $0.01\mu\text{F}$  接地、6 脚与 7 脚相连,其上端通过  $R$  接电源,下端通过  $C$  接地,  $RC$  为外接定时元件,2 脚接输入触发信号,下降沿有效。

(1) 稳态: 在没有触发信号输入时,电路处于稳态,  $v_O=0$ 。此时,  $v_2$  为高电平,放电晶体管  $T$  导通,外接电容  $C$  通过放电晶体管  $T$  放电,电容电压  $v_C=0$ 。

(2) 触发翻转: 当触发输入端输入一个负脉冲触发信号,且  $v_1 < \frac{1}{3}V_{CC}$  时,  $v_O$  由低电平跳变到高电平,电路进入暂稳态。

(3) 暂稳态维持: 输出端为高电平,放电晶体管  $T$  截止,电源  $V_{CC}$  通过电阻  $R$  向电容  $C$  充电,电容电压  $v_C$  逐渐升高,上升到  $v_C < \frac{2}{3}V_{CC}$  期间,电路保持暂稳态,输出端维持高电平。

(4) 自动翻转恢复稳态: 随着电容  $C$  的充电,当电容电压  $v_C$  上升到  $v_C \geq \frac{2}{3}V_{CC}$  时,输出端翻转为低电平,电路回到稳态。同时,晶体管  $T$  导通,电容  $C$  通过放电晶体管  $T$  迅速放电,为下一次触发做好准备。

工作波形如图 3-4-3 所示。暂稳态的持续时间  $t_w$  (即为延时时间) 决定于外接元件  $R$ 、 $C$  值的大小。

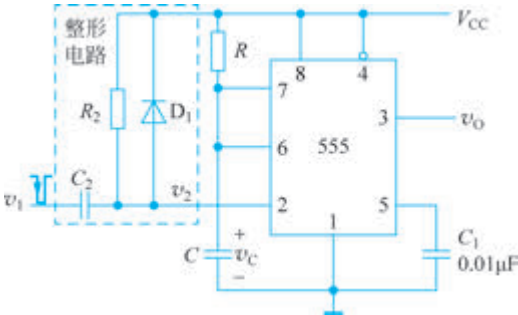


图 3-4-2 555 集成定时器构成单稳态触发器

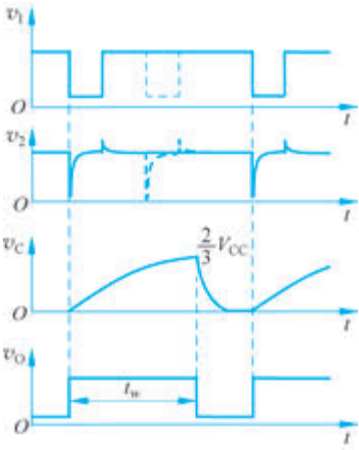


图 3-4-3 单稳态触发器工作波形

$$t_w = 1.1RC \quad (3-4-1)$$

即通过改变电阻  $R$  和电容  $C$  的数值,可以调整单稳态触发器的暂稳态时间,以满足不同的应用需求。

### 3. 555 定时器构成多谐振荡器

由 555 定时器和外接元件  $R_1$ 、 $R_2$ 、 $C$  构成多谐振荡器,如图 3-4-4 所示,脚 2 与脚 6 直接相连。电路没有稳态,仅存在两个暂稳态。此时电路不需要外加触发信号,利用电源通过  $R_1$ 、 $R_2$  向  $C$  充电,以及  $C$  通过  $R_2$  和三极管 T 放电,使电路产生振荡。

电容  $C$  在  $\frac{1}{3}V_{CC}$  和  $\frac{2}{3}V_{CC}$  之间充电和放电,其波形如图 3-4-5 所示。

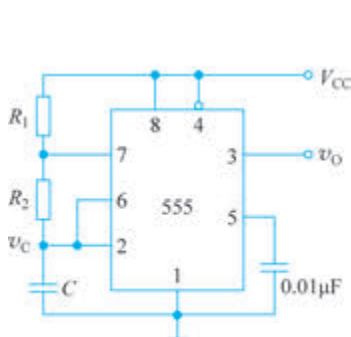


图 3-4-4 555 集成定时器构成多谐振荡器

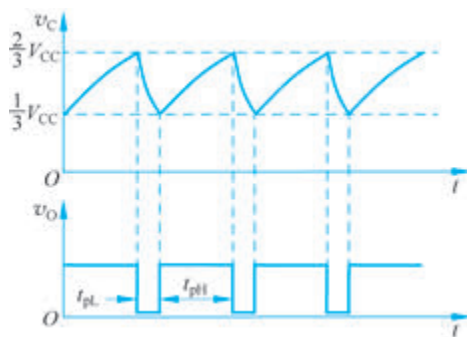


图 3-4-5 多谐振荡器工作波形

输出信号的时间分别为

$$t_{pL} = 0.7RC \quad (3-4-2)$$

$$t_{pH} = 0.7(R_1 + R_2)C \quad (3-4-3)$$

振荡频率为

$$f = \frac{1}{t_{pL} + t_{pH}} = \frac{1.43}{(R_1 + 2R_2)C} \quad (3-4-4)$$

### 4. 555 定时器构成施密特触发器

将脚 2、脚 6 连在一起作为信号输入端,即得到施密特触发器,如图 3-4-6 所示。图 3-4-7 所示为工作波形。这种电路能够将不规则的输入信号整形为稳定的数字信号,具有滞后特性,适用于信号整形和噪声抑制。

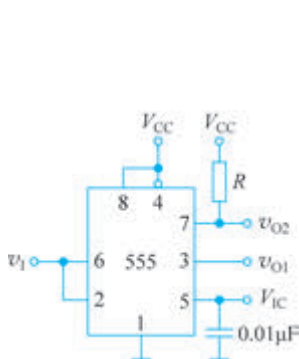


图 3-4-6 555 集成定时器构成施密特触发器

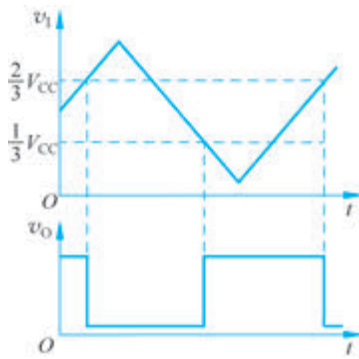


图 3-4-7 施密特触发器工作波形

### 三、实验内容

#### 1. 555 定时器构成单稳态触发器

(1) 选用 555 器件和若干电阻电容等,取  $R=100\text{k}\Omega$ ,  $C=47\mu\text{F}$ ,通过仿真软件搭建单稳态触发器电路。输入接  $100\text{mHz}$  左右连续脉冲,输出端接示波器。

(2) 电路搭建好后,加入电源,观察示波器现象,记录电压波形的时序关系,测试周期、幅值、脉宽等,并记录结果。

#### 2. 555 定时器构成多谐振荡器

(1) 选用 555 器件和若干电阻电容等,通过仿真软件搭建多谐振荡器,输出端接示波器。

(2) 电路搭建好后,加入电源,观察示波器现象,记录电压波形,测试振荡频率、占空系数,并记录结果。

#### 3. 555 定时器构成施密特触发器

(1) 选用 555 器件和若干电阻电容等,通过仿真软件搭建施密特触发器。输入端为  $1\text{kHz}$  的正弦波信号,输出端接示波器。

(2) 电路搭建好后,加入电源,逐渐增大信号幅度,观测输出波形,测绘电压传输特性,计算回差电压  $\Delta U$ ,并记录结果。

#### 4. 555 定时器构成双色闪光灯电路

(1) 选用 555 器件和若干电阻电容等,通过仿真软件搭建双色闪光灯电路,输出端接 LED 显示灯。

(2) 电路搭建好后,加入电源,观察示波器现象,记录电压波形,测试振荡频率、占空比,并记录结果。

(3) 使用面包板搭建双色闪光灯电路,观察输出端的现象。

### 3.4.2 实验电路仿真

#### 一、555 定时器构成单稳态触发器

仿真电路如图 3-4-8 所示。

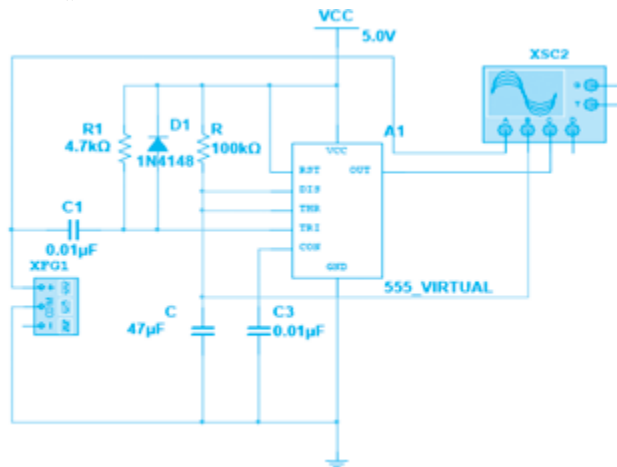


图 3-4-8 555 定时器构成单稳态触发器

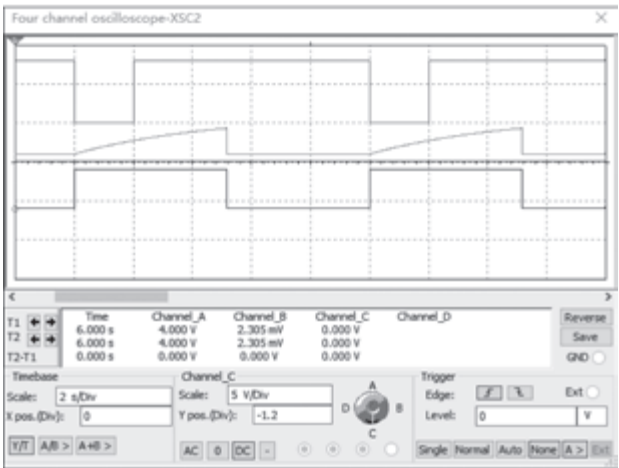


图 3-4-8 (续)

## 二、555 定时器构成多谐振荡器

仿真电路如图 3-4-9 所示。

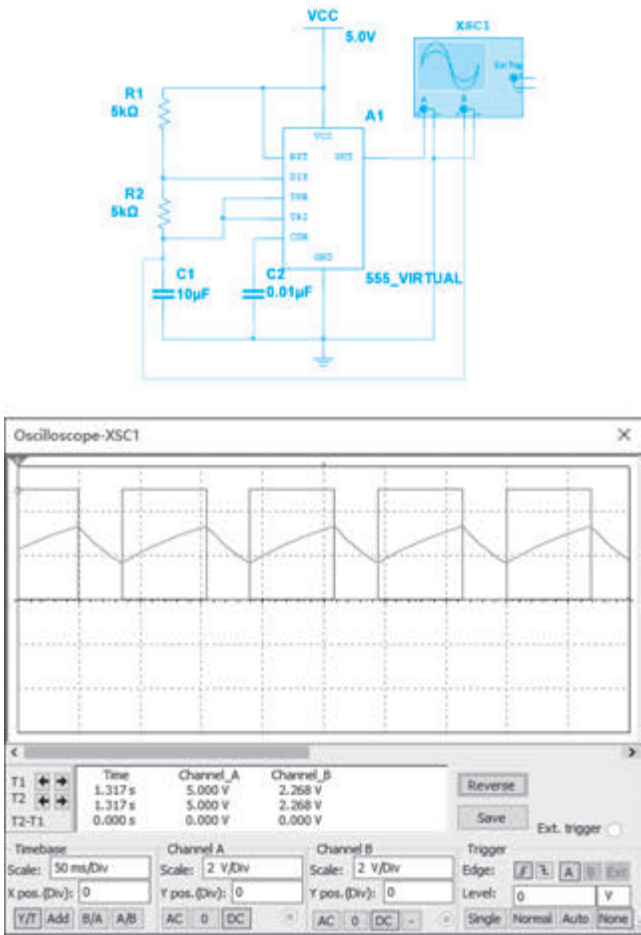


图 3-4-9 555 定时器构成多谐振荡器

### 三、555 定时器构成施密特触发器

仿真电路如图 3-4-10 所示。

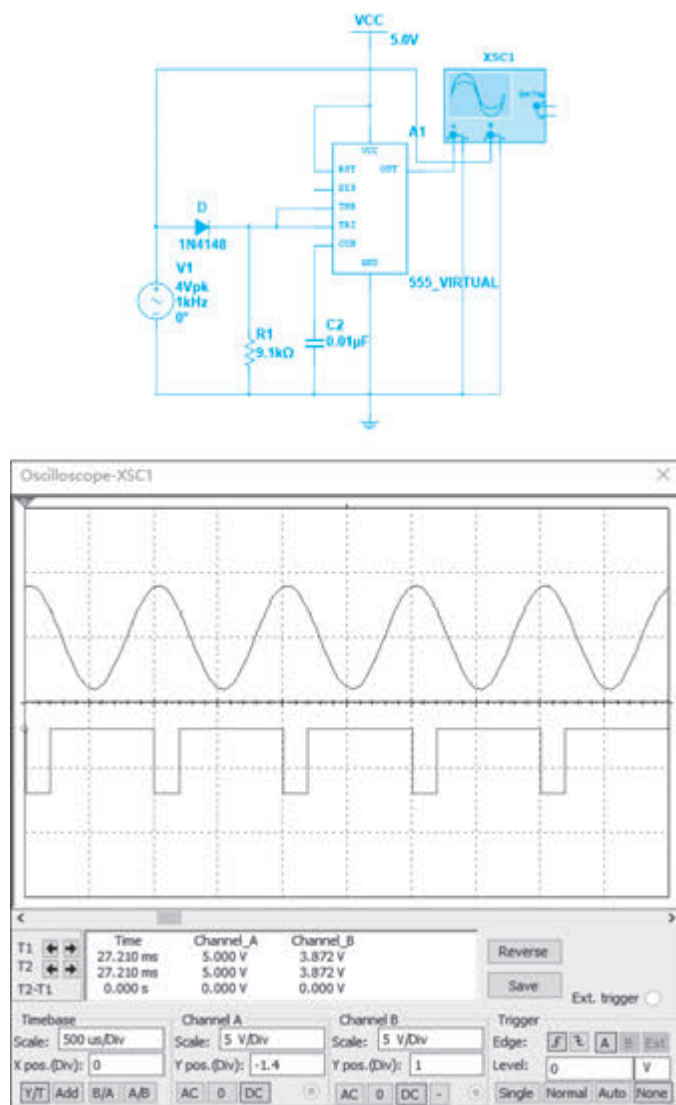


图 3-4-10 555 定时器构成施密特触发器

### 四、555 定时器构成双色闪光灯

仿真电路如图 3-4-11 所示。

#### 3.4.3 实验演示验证

##### 一、实验仪器

- (1) 多功能混合域示波器 MDO-2000A。
- (2) 双显测量万用表 GDM-8352。
- (3) 直流稳压电源 GPD-3303。

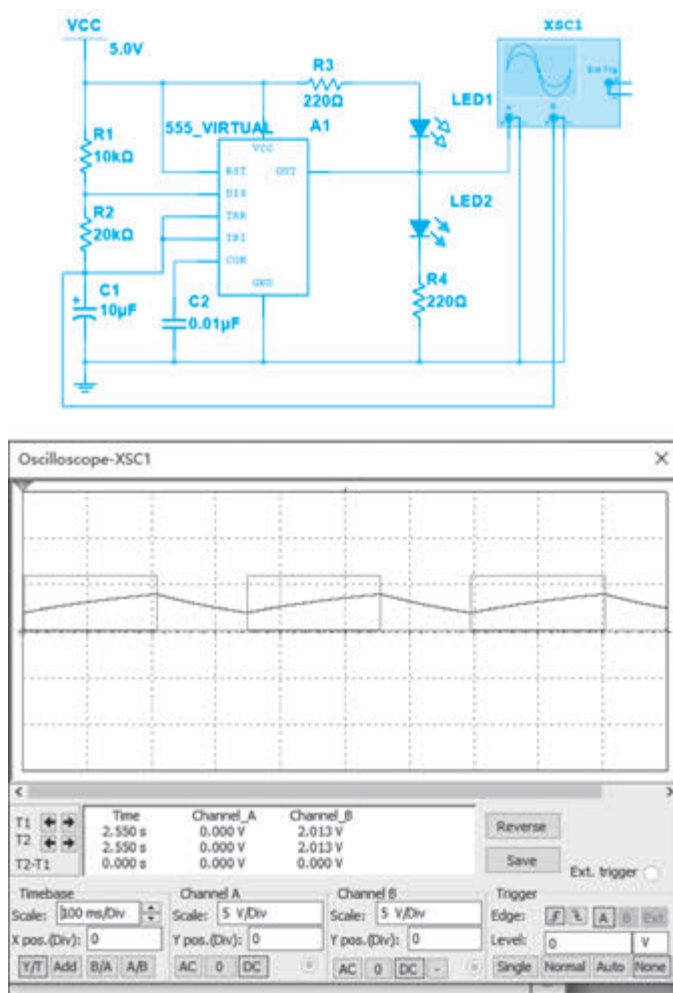


图 3-4-11 555 定时器构成双色闪光灯

(4) 信号发生器 MFG-2220HM。

## 二、预习要求

- (1) 复习教材中有关 555 定时器的工作原理,掌握 555 定时器构成多谐振荡器的原理。
- (2) 使用仿真软件 Multisim 14.0,按照图 3-4-10 搭建双色闪光灯电路,观察示波器现象。

## 三、实验步骤

- (1) 按照图 3-4-10 选择 555 定时器芯片搭建实物电路,正确摆放芯片位置。
- (2) 555 定时器芯片的电源引脚接 5V,所有仪器和实验电路共地。
- (3) 输出端连接双踪示波器,改变  $R_1$  和  $C$  的值,观察 LED 闪烁情况,记录波形测试结果。
- (4) 将电路优化为占空比可调的多谐振荡电路,可增加二极管、滑动变阻器改变  $R_1$ 、 $R_2$  阻值,观察 LED 亮灭情况,记录波形测试结果。



双色闪光灯

四、实验报告

双色闪光灯电路测试结果填在表 3-4-2 中。

表 3-4-2 双色闪光灯电路测试结果

多谐振荡器波形图	相关参数计算

五、拓展实验

用两片 555 定时器构成双音报警电路,模拟救护车叫声。其电路如图 3-4-12 所示,它能按一定规律发出两种不同的声音,这种变音信号发生器是由两个多谐振荡器组成,其中一个振荡频率较低,另一个振荡频率受其控制。适当调整电路参数,可使声音达到满意的效果。



双音报警器

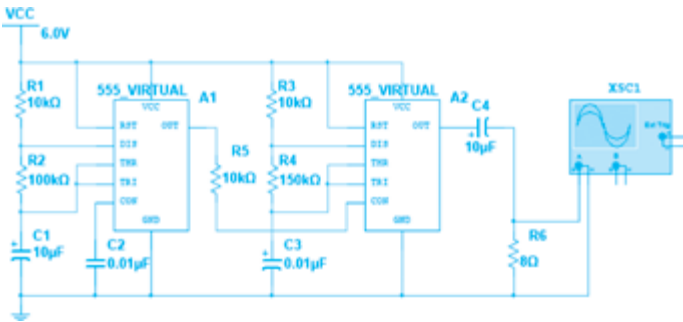


图 3-4-12 双音报警电路仿真图