

数字逻辑都是由晶体管门电路实现的。晶体管有双极型晶体管 (bipolar junction transistor, BJT) 和金属-氧化物-半导体场效应晶体管 (metal-oxide-semiconductor field effect transistor, MOSFET), MOSFET 可缩写为 MOS。现在 MOS 管广泛地应用于构造数字系统, 其中 CMOS (complementary MOS) 工艺已成为数字集成电路制造的主要方法。

本章主要介绍 CMOS 门电路的电路结构和工作原理, 主要包括下列知识点。

1) 逻辑值的表示

理解逻辑电平和二进制数字之间的关系。

2) MOS 管结构和工作原理

理解 MOS 管结构和工作原理。

3) NMOS 门电路

理解 NMOS 门电路的结构和工作原理, 理解 PMOS 门电路和 NMOS 门电路是对偶的。

4) CMOS 门电路

掌握 CMOS 门电路的结构和工作原理, 理解反相器的传输特性。

5) 传输门和三态缓冲器

理解传输门的工作原理和高阻态的概念, 理解使用三态缓冲器实现总线复用的方法。

6) CMOS 门电路的传播延时和功耗

理解传播延时的概念和影响 CMOS 门传播延时的因素, 理解影响 CMOS 门电路功耗的因素。



视频讲解

3.1 逻辑值的表示

实现与、或、非逻辑关系的门电路分别称为与门、或门、非门, 这些门电路都是由晶体管电路实现的。

在门电路中, 0 和 1 可以用电压也可以用电流表示, 最简单也最常见的是用电压电平表示。常见的方式是定义一个电压阈值, 大于该阈值的电压表示为一个逻辑值, 小于该阈值的电压表示为另一个逻辑值。通常, 低电平表示为逻辑 0, 高电平表示为逻辑 1, 这就是所谓的正逻辑; 如果低电平表示为逻辑 1, 高电平表示为逻辑 0, 这就是所谓的负逻辑。本书主要使用正逻辑。

在正逻辑系统中,逻辑 0 和逻辑 1 可以简单地称为“低”和“高”,对“低”和“高”的定义如图 3-1 所示。

V_{SS} 通常认为是负电源电压或 0V,0V 也就是电路的“地”(GND);最高电压为 V_{DD} ,是电路的电源电压。从图中可以看出,电压在 V_{SS} 和 $V_{0,max}$ 之间表示逻辑 0,被电路认作“低”;电压在 $V_{1,min}$ 和 V_{DD} 之间表示逻辑 1,被电路认作“高”。 $V_{0,max}$ 和 $V_{1,min}$ 的值依工艺不同而不同。处于 $V_{0,max}$ 和 $V_{1,min}$ 之间的电压未定义。

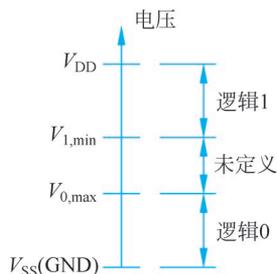


图 3-1 逻辑值对应的电平

3.2 MOS 管结构和工作原理

逻辑门电路都是由晶体管实现的,在大信号下可以认为晶体管工作在开关状态。例如开关受逻辑信号 X 控制,当 X 为高时开关闭合, X 为低时开关打开,如图 3-2 所示。



图 3-2 开关模型

MOS 管是大规模集成电路(VLSI)中应用最广泛的开关器件,是数字集成电路的基本构成单元。和双极型管(BJT)相比,MOS 管占用硅面积比较小,制造步骤也比较少。

MOS 管有两种类型,即 N 沟道 MOS 管(NMOS 管)和 P 沟道 MOS 管(PMOS 管)。NMOS 管的基本结构如图 3-3 所示。衬底是芯片的基本材料,对衬底进行 P 掺杂,在 P 衬底上做出两个 N^+ 扩散区的 N 阱,称为源(source)和漏(drain)。在源和漏之间的衬底表面覆盖薄的二氧化硅绝缘层,上面铺设导电的多晶硅或金属,引出引线,称为栅极 G;从两个 N 阱源和漏分别引出两根引线,称为源极 S 和漏极 D。可以看出,源极和漏极是完全对称的,它们的作用只有在连接外加电压后才能确定。

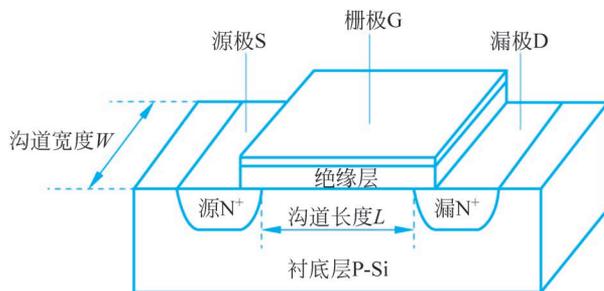


图 3-3 NMOS 管的基本结构

在栅极上施加正电压时,就会在栅极下形成导电沟道。源和漏之间的距离称为沟道长度 L ,沟道的横向长度称为沟道宽度 W 。沟道的长和宽是控制管子电特性的重要参数,覆盖沟道的二氧化硅绝缘层的厚度 t_{ox} 也是一个重要的参数。栅极没有加电压就没有导电沟道的 MOS 管称为增强型,栅极零偏压时导电沟道存在的 MOS 管称为耗尽型。

PMOS 管的结构和 NMOS 管的结构类似,不同的是 PMOS 管的衬底是 N 掺杂的,源和漏是 P 阱,当在栅极上加负电压时会形成 P 型导电沟道。

MOS 管有 4 个端子:栅极 G、源极 S、漏极 D 和衬底 B。在 NMOS 管中,定义两个 N 阱中电势比较低的一端为源极,另一端为漏极。习惯上所有端的电压都是相对于源的电势

来定义的,如栅源电压 V_{GS} 、漏源电压 V_{DS} 和衬底-源电压 V_{BS} 。NMOS 管和 PMOS 管的符号如图 3-4 所示,4 端符号表示管子所有的外部连线,简化的 3 端符号应用也很广泛。

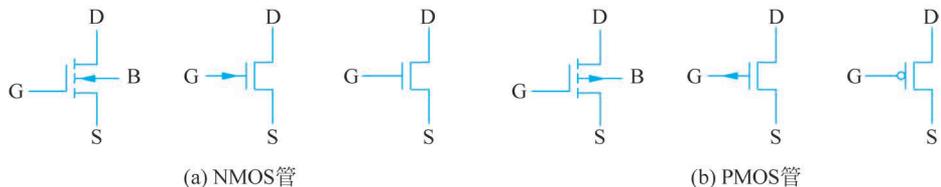


图 3-4 NMOS 管和 PMOS 管的符号

在 NMOS 管的栅源间和漏源间分别加电压 V_{GS} 和 V_{DS} ,如图 3-5 所示。在栅极上加正电压,则会吸引衬底中的电子向上运动,当栅极上的电压(相对于源极)大于某一阈值 V_T 时,就会在栅极下面的源和漏之间形成导电沟道,因为形成的沟道是 N 型的,所以这种晶体管称为 N 沟道 MOS 管。

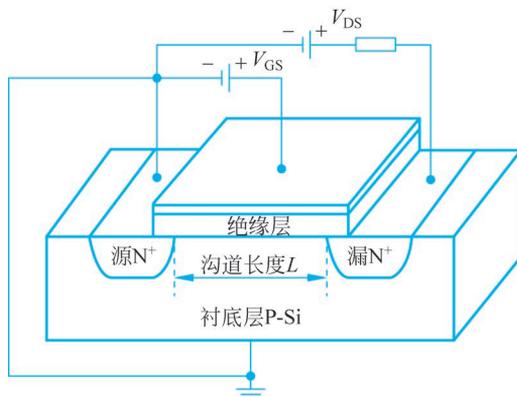


图 3-5 NMOS 管的基本工作原理

N 沟道在源和漏两个 N 阱之间形成了电气连接,如果漏极和源极之间有电位差,该沟道就会允许电流传导,则漏极和源极之间就会有电流流过,称为管子处于导通状态(ON)。如果栅极上的电压小于阈值,则源和漏之间无法形成导电沟道,源极和漏极之间也就无法导通,称为管子处于截止状态,不导通(OFF)。

对某一个固定的栅源电压 $V_{GS} > V_T$,电流 I_D 的大小取决于加在漏极和源极上的电压 V_{DS} 。如果 $V_{DS} = 0V$,则没有电流流过。随着 V_{DS} 的增大,只要加在漏极的电压 V_D 足够小,能保证在漏端也能大于阈值电压 V_T ,即 $V_{GD} > V_T$,电流 I_D 随 V_{DS} 的增大近似线性增大。在这个电压范围内,即 $0 < V_{DS} < (V_{GS} - V_T)$,称管子工作在线性区,电流和电压的关系近似为

$$I_D = k'_n \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

其中, k'_n 是常数,和制造工艺有关。

当 $V_{DS} = V_{GS} - V_T$ 时,电流 I_D 达到最大值。 V_{DS} 继续增大,NMOS 管不再工作在线性区,电流也饱和,这种情况称 NMOS 管工作在饱和区,这时漏极电流 I_D 和 V_{DS} 的变化近似无关:

$$I_D = k'_n \frac{W}{L} (V_{GS} - V_T)^2$$

NMOS管在某一固定栅源电压 $V_{GS} > V_T$ 时漏源电压和漏极电流的关系如图 3-6 所示。

栅极上的电压可以控制 MOS 管的通和断,因此 MOS 管可以看作栅电压控制的开关。下面就用电压控制的开关模型来分析电路的逻辑行为,把高电压映射为逻辑 1,低电压映射为逻辑 0。MOS 管在逻辑电路中的典型应用如图 3-7 所示,源极和漏极之间是否能导通由栅极电压控制。

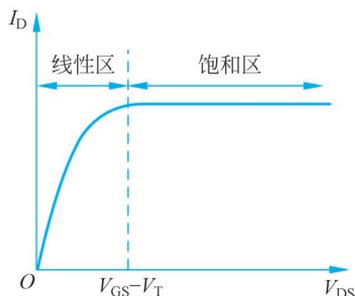


图 3-6 NMOS 管电压电流关系

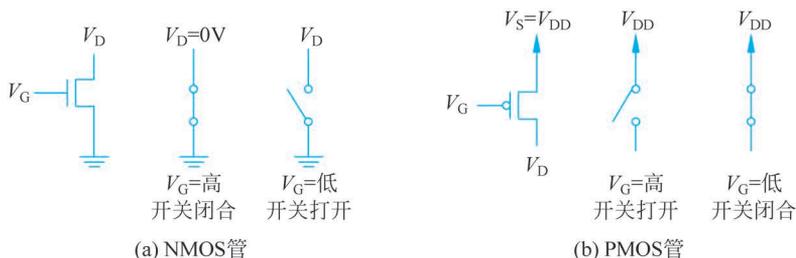


图 3-7 MOS 管在逻辑电路中的典型应用

对 NMOS 管来说,当栅极上的电压 V_G 为低电平(逻辑 0)时,源极和漏极之间无法形成导电沟道,相当于开关打开;当栅极上的电压 V_G 为高电平(逻辑 1)时,源极和漏极之间可以形成导电沟道,可以导通,相当于开关闭合。PMOS 管的行为和 NMOS 正好相反,当栅极上的电压 V_G 为高电平(逻辑 1)时,源极和漏极之间无法形成导电沟道,不能导通,开关打开;当栅极上的电压 V_G 为低电平(逻辑 0)时,源极和漏极之间可以形成导电沟道,可以导通,相当于开关闭合。

3.3 NMOS 门电路

图 3-8 所示是用 NMOS 管实现的非门。当 V_X 为低电平时, NMOS 管不导通,电阻 R 上没有电流,因此 $V_F = V_{DD}$ 。当 V_X 为高电平时, NMOS 管导通,把 V_F 下拉到低电平。 V_F 的大小取决于流经电阻 R 和 NMOS 管的电流大小。如果从输入 V_X 和输出 V_F 的关系看,可以认为这个电路为非门电路,也称为反相器, $F = X'$ 。

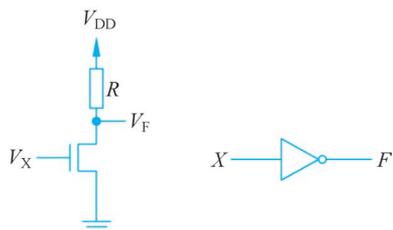


图 3-8 NMOS 管实现的非门

图 3-9 所示的电路中两个 NMOS 管串联,当 V_{X1} 和 V_{X2} 同为高电平时,两个 NMOS 管都导通, V_F 被下拉到低电平;当 V_{X1} 和 V_{X2} 中任意一个为低电平时,就无法形成从电源到地的通路, $V_F = V_{DD}$ 。用逻辑值来表示高低电平,就可以得到真值表。可以看出,这个电路为与非门电路, $F = (X_1 \cdot X_2)'$ 。



视频讲解

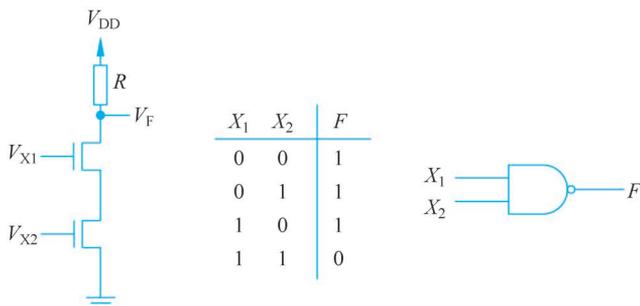


图 3-9 NMOS 管实现的与非门

图 3-10 所示的电路中两个 NMOS 管并联,当 V_{X1} 和 V_{X2} 中任意一个为高电平时,就可以形成从电源到地的通路, V_F 被下拉到低电平;当 V_{X1} 和 V_{X2} 同为低电平时,两个管 NMOS 都不导通,无法形成从电源到地的通路, $V_F = V_{DD}$ 。用逻辑值来表示高低电平,就可以得到真值表。可以看出,这个电路为或非门电路, $F = (X_1 + X_2)'$ 。

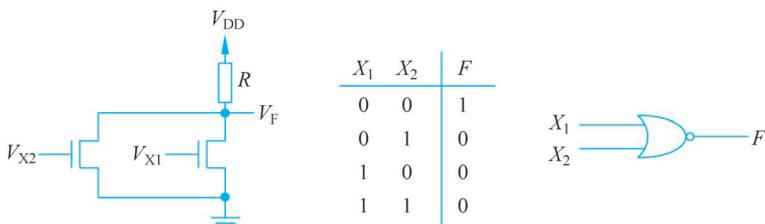


图 3-10 NMOS 管实现的或非门



视频讲解

3.4 CMOS 门电路

用 NMOS 管实现逻辑电路时都需要有一个上拉电阻,当 NMOS 管不导通时,输出被上拉到高电平;当 NMOS 管导通时,输出被下拉到低电平,因此电路中 NMOS 管部分也可以看作下拉网络。图 3-8~图 3-10 中 NMOS 门电路的结构都可以用图 3-11 所示的结构来表示。

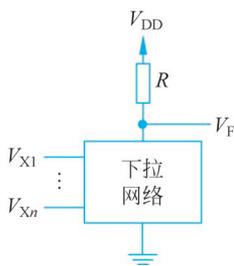


图 3-11 NMOS 门电路结构

用 NMOS 管实现的门电路,用 PMOS 管也可以实现。实现相同功能的逻辑门时,PMOS 电路和 NMOS 电路是对偶的。用 NMOS 管实现逻辑门时需要有一个上拉电阻,用 PMOS 管实现逻辑门时则需要有一个下拉电阻;如果用 NMOS 管实现时电路中的 NMOS 管是串联的,那么用 PMOS 管实现时电路中的 PMOS 管就是并联的,反之亦然。当 PMOS 管部分不导通时,输出被下拉到低电平;当 PMOS 管部分导通时,输出被上拉到高电平,因此电路中的 PMOS 管部分可以看作上拉网络。PMOS 门电路的结构如图 3-12 所示。

如果把 NMOS 门电路和 PMOS 门电路结合在一起,它们分别做下拉网络和上拉网络,就构成互补型 MOS 门电路——CMOS 门电路。

CMOS 门电路的结构如图 3-13 所示,上拉网络由 PMOS 管构成,下拉网络由 NMOS

管构成,上拉网络和下拉网络中的 MOS 管数量相同。上拉网络中 PMOS 管的连接方式和下拉网络中 NMOS 管的连接方式是对偶的,也就是说,如果下拉网络中 NMOS 管是串联连接,那么上拉网络中 PMOS 管就是并联连接,反之亦然。

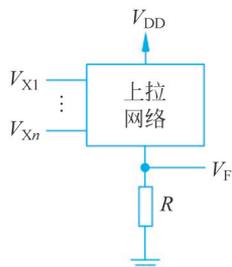


图 3-12 PMOS 门电路结构

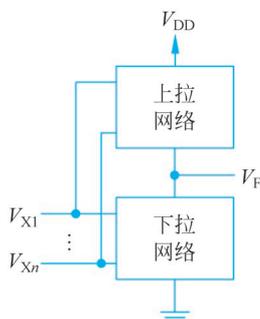
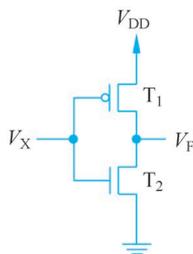


图 3-13 CMOS 门电路结构

3.4.1 CMOS 反相器

最简单的 CMOS 门电路是非门,也称为 CMOS 反相器,电路如图 3-14 所示。当 V_X 为低电平时, T_2 管截止, T_1 管导通,输出 V_F 被上拉到高电平。当 V_X 为高电平时, T_2 管导通, T_1 管截止,输出 V_F 被下拉到低电平。



(a) 非门电路

X	T_1	T_2	F
0	开	关	1
1	关	开	0

(b) 真值表和 CMOS 管状态

图 3-14 CMOS 非门电路

CMOS 反相器的一个重要特点是无论输入是高还是低,稳态时都没有直流电流通路。实际上所有 CMOS 电路都有这个特点,稳态时没有直流电流流过也就没有静态功耗。CMOS 电路的另一个优点是它的电压传输特性,输出电压完全在 $0 \sim V_{DD}$ 变动,噪声容限相对较宽,而且电压传输特性的过渡区十分陡峭,CMOS 反相器的电压传输特性接近理想反相器。

在图 3-14 中,输入电压被同时加到 NMOS 管和 PMOS 管的栅极,这样两个 MOS 管都直接由 V_X 驱动。当输入电压比 NMOS 管的阈值小,即 $V_X < V_{Th,N}$ 时, NMOS 管截止;同时 PMOS 管导通,工作在线性区。不计两个 MOS 管的漏极泄漏电流,两个 MOS 管的漏极电流都近似为 0,即 $I_{D,N} = I_{D,P} = 0$, PMOS 管漏源间的电压也为 0,这时输出电压 $V_F = V_{OH} = V_{DD}$ 。

当输入电压 $V_X > V_{DD} + V_{Th,P}$ 时, PMOS 管截止。这时 NMOS 管导通,工作在线性区,它的漏源电压为 0,输出电压 $V_F = V_{OL} = 0$ 。

当输入电压大于 NMOS 管的阈值, $V_X > V_{Th,N}$, 且满足 $V_{DS,N} \geq V_{GS,N} - V_{Th,N}$ 时,

NMOS 管处于饱和状态, $V_F \geq V_X - V_{Th,N}$ 。

当输入电压 $V_X < V_{DD} + V_{Th,P}$, 且满足 $V_{DS,P} \leq V_{GS,P} - V_{Th,P}$ 时, PMOS 管处于饱和状态, $V_F \leq V_X - V_{Th,P}$ 。

CMOS 反相器的电压传输特性如图 3-15 所示, 特性曲线被分为 5 个区, 记为 A、B、C、D、E, 分别对应不同的工作条件。表 3-1 列出了这些区和相应的临界输入输出电平。

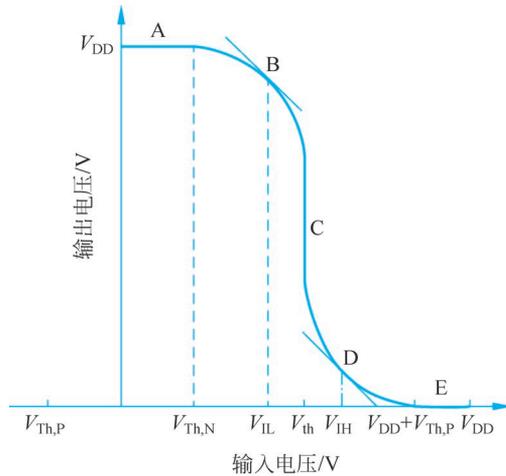


图 3-15 CMOS 反相器电压传输特性

表 3-1 CMOS 反相器电压传输特性各区工作条件

区	V_X	V_F	NMOS 管	PMOS 管
A	$< V_{Th,N}$	V_{OH}	截止	线性
B	V_{IL}	高, $\approx V_{OH}$	饱和	线性
C	V_{th}	V_{th}	饱和	饱和
D	V_{IH}	低, $\approx V_{OL}$	线性	饱和
E	$> V_{DD} + V_{Th,P}$	V_{OL}	线性	截止

在 A 区, 当 $V_X < V_{Th,N}$ 时, NMOS 管截止, 输出电压 $V_F = V_{OH} = V_{DD}$ 。当输入电压超过 $V_{Th,N}$ 时进入 B 区, NMOS 管开始进入饱和状态, 输出电压也开始下降, 与 $\left(\frac{dV_F}{dV_X}\right) = -1$ 对应的临界电压 V_{IL} 位于 B 区。从图中可以看出, 反相器的门限电压 $V_{th} = V_F = V_X$ 位于 C 区。随着输出电压进一步下降, PMOS 管在 C 区边界进入饱和状态。当输出电压 V_F 下降到低于 $V_X - V_{Th,N}$ 时, 进入 D 区, NMOS 管开始工作在线性区, 与 $\left(\frac{dV_F}{dV_X}\right) = -1$ 对应的临界电压 V_{IH} 位于 D 区。当输入电压 $V_X > V_{DD} + V_{Th,P}$ 时, 进入 E 区, PMOS 管截止, 输出电压 $V_F = V_{OL} = 0$ 。

在定性分析中, NMOS 管和 PMOS 管都可以看作由输入电压控制的连接输出节点和地或电源电压的理想开关。这个电路最重要的特征就是在 A 区和 E 区稳态时, 电源提供的直流电流都近似为 0。在 B、C 和 D 区, 两个 MOS 管都导通, 存在直流导通电流, 当 $V_X = V_{th}$ 时, 直流导通电流达到峰值。

3.4.2 CMOS 逻辑门

图 3-16 所示是 CMOS 与非门的电路和 CMOS 管的状态,此电路和 NMOS 与非门相似,不同的是上拉电阻由两个并联的 PMOS 管取代,下半部分是两个串联的 NMOS 管。

当两个输入电压 V_{X1} 和 V_{X2} 中任意一个为低电平时,两个串联的 NMOS 管中相应的 NMOS 管就不能导通,下拉网络不导通;而两个并联的 PMOS 管中相应的 PMOS 管导通,上拉网络导通,输出电压 V_F 被上拉到高电平。只有两个输入电压 V_{X1} 和 V_{X1} 同时为高电平时,两个串联的 NMOS 管同时导通,下拉网络导通;而并联的两个 PMOS 管都不导通,上拉网络不导通,输出 V_F 被下拉到低电平。分析电路中各 MOS 管的通断情况以及对应的真值表,可以看出该电路为与非门电路, $F = (X_1 \cdot X_2)'$ 。

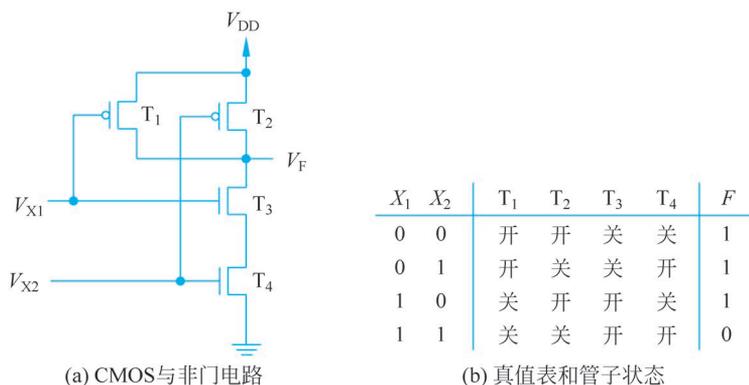


图 3-16 CMOS 与非门电路和 CMOS 管的状态

图 3-17 所示是 CMOS 或非门的电路和 CMOS 管的状态。它的上拉网络是两个串联的 PMOS 管,下拉网络是两个并联的 NMOS 管。当两个输入 V_{X1} 和 V_{X2} 中任意一个为高电平时,两个串联的 PMOS 管中相应的 PMOS 管就不能导通,导致上拉网络不导通;而并联的 NMOS 管中相应的 NMOS 管就会导通,从而使得下拉网络导通,输出 V_F 被下拉到低电平。只有当两个输入同时为低电平时,上拉网络中的两个 PMOS 管同时导通,使得上拉网络导通;而下拉网络中的两个 NMOS 管同时不导通,使得下拉网络不导通,输出 V_F 被上拉到高电平。分析电路中各管子的通断情况以及对应的真值表,可以看出这个电路为或非门电路, $F = (X_1 + X_2)'$ 。

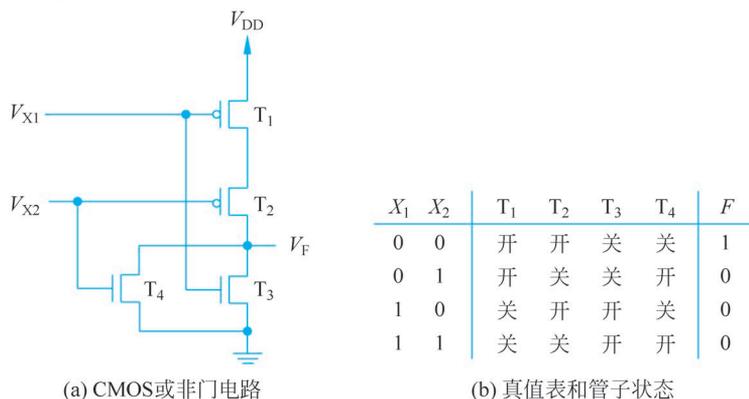


图 3-17 CMOS 或非门电路和 CMOS 管的状态

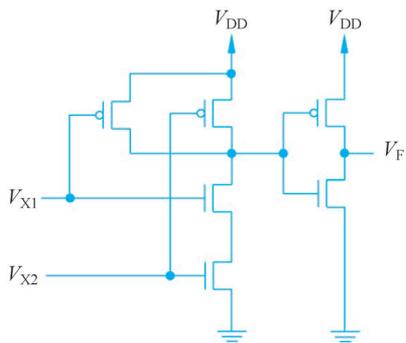


图 3-18 CMOS 与门电路

实现与门需要用一个与非门和一个非门连接起来,CMOS 与门电路如图 3-18 所示。同样,实现或门也需要一个或非门和一个非门连接起来。

与非门和或非门的电路结构可以很容易地扩展到复合逻辑电路,通过管子的串并联就可以实现复合逻辑功能。

NMOS 门电路的电路结构规则可以总结如下:

- (1) “与”用 NMOS 管串联实现;
- (2) “或”用 NMOS 管并联实现;
- (3) 电路实现“非”逻辑;

- (4) 复合逻辑中的“与”和“或”运算可以用上述结构的嵌套来实现。

PMOS 门电路和 NMOS 门电路是对偶的。即 NMOS 下拉网络中的串联对应着 PMOS 上拉网络中的并联; NMOS 下拉网络中的并联对应着 PMOS 上拉网络中的串联。CMOS 门电路的电路结构规则可以总结如下:

(1) CMOS 门电路由 NMOS 下拉网络和 PMOS 上拉网络构成;

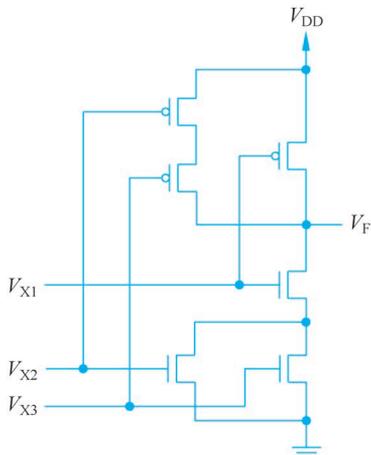
(2) 上拉网络中,“或”用串联的 PMOS 管实现,“与”用并联的 PMOS 管实现,即“串或并与”;

(3) 下拉网络中,“或”用并联的 NMOS 管实现,“与”用串联的 NMOS 管实现,即“串与并或”;

(4) 电路自上拉网络和下拉网络的连接处输出;

(5) 电路实现逻辑“非”功能。

例如逻辑函数 $F = [X1(X2 + X3)]'$, 根据 CMOS 门电路的电路结构规则,上拉网络是 $X1$ 控制的 PMOS 管和 $X2$ 、 $X3$ 控制的两个串联的 PMOS 管并联,下拉网络是 $X1$ 控制的 NMOS 管和 $X2$ 、 $X3$ 控制的两个并联的 NMOS 管串联,得到如图 3-19 所示的电路。

图 3-19 实现逻辑函数 $F = [X1(X2 + X3)]'$ 的 CMOS 电路

视频讲解

3.5 传输门和三态缓冲器

CMOS 传输门由一个 NMOS 管和一个 PMOS 管并联而成,电路及表示符号如图 3-20 所示。加在两个管子栅极上的控制信号是互补的,这样传输门就在节点 A 和 B 之间形成了一个双向开关,开关受信号 C 控制。如果 C 是高电平,则两个管子都导通,在节点 A 和 B 之间形成一个低阻的电流通路。如果 C 是低电平,则两个管子都截止,节点 A 和 B 之间是断开的,呈开路状态,这种状态称为高阻状态 Z。

用传输门可以构成三态缓冲器。三态缓冲器有一个输入端 X、一个输出端 F 和一个使能端 EN,符号如图 3-21(a)所示。使能信号用来控制三态缓冲器是否产生输出,如果 $EN=0$,则缓冲器和输出完全断开,输出为高阻态, $F=Z$; 如果 $EN=1$,则缓冲器驱动输入 X 到输出 F, $F=X$,等效电路如图 3-21(b)所示。三态缓冲器的所谓“三态”就是输出有逻辑 0、1

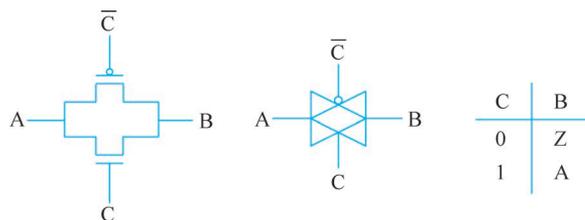


图 3-20 CMOS 传输门电路及表示符号

和高阻 3 种状态。图 3-21(c)和图 3-21(d)所示是三态缓冲器的一种实现和真值表。

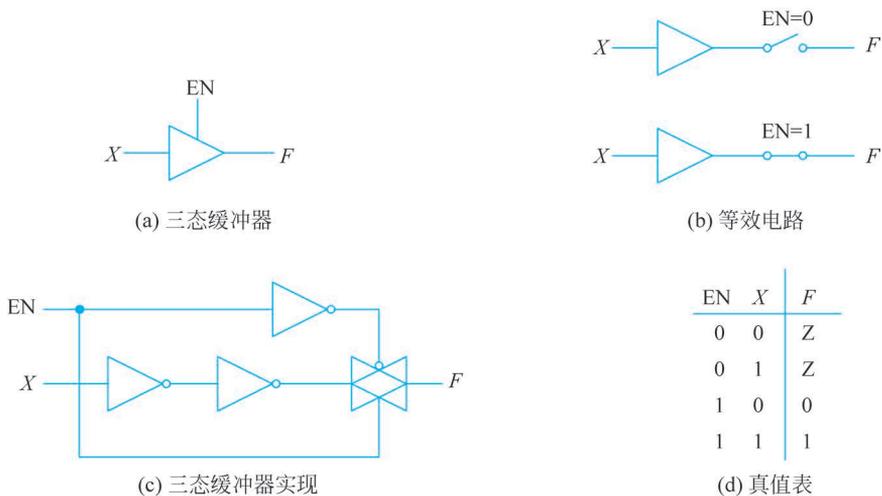


图 3-21 三态缓冲器

图 3-22 所示是常见的 4 种类型三态缓冲器。图 3-22(b)中的三态缓冲器和图 3-22(a)所示的类似,不同的只是当 $EN=1$ 时,输出 $F=X'$ 。图 3-22(c)和图 3-22(d)中三态缓冲器的使能信号相同,都是低有效,当 $EN=1$ 时, $F=Z$; 图 3-22(c)中的三态缓冲器当 $EN=0$ 时, $F=X$, 图 3-22(d)中的三态缓冲器当 $EN=0$ 时, $F=X'$ 。

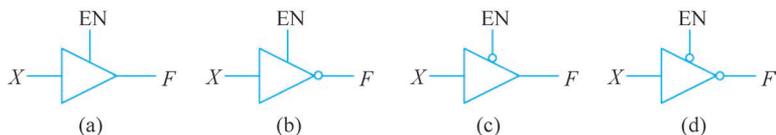


图 3-22 4 种类型三态缓冲器

三态缓冲器可以实现总线复用。图 3-23(a)是两个信号复用总线的例子,两个三态缓冲器的输出并接在输出总线上,两个三态缓冲器的控制信号不同,任何时候都只有一个三态缓冲器的控制信号有效,这样就保证了总有一个三态缓冲器的输出处于高阻状态,即和总线是断开的,因此可以实现输出信号的选择。类似地,用三态缓冲器也可以实现多个信号复用总线,如图 3-23(b)所示。多个信号通过三态缓冲器连接在总线上,条件是任何时候只有一个三态缓冲器的使能信号有效,这样在任何时候都只有一个三态缓冲器的输出有效,其他三态缓冲器的输出处于高阻状态,即只有一路信号连接在总线上,其他信号和总线是断开的。

同样地,用三态缓冲器也可以实现双向总线,如图 3-24 所示。

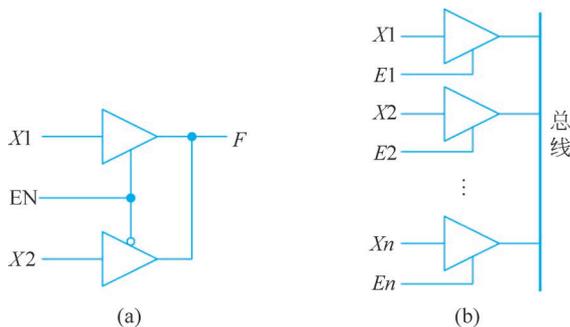


图 3-23 三态缓冲器实现总线复用

需要注意的是,一定不能有两个或两个以上使能信号同时有效。如果使能信号同时有效,并且同时有效的缓冲器输出不同信号,就会出现电源 V_{DD} 到地 GND 的通路,造成短路。

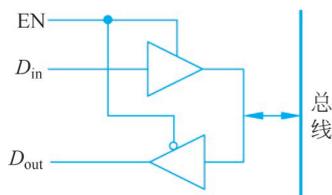


图 3-24 三态缓冲器实现双向总线



视频讲解

3.6 CMOS 门电路的传播延时和功耗

3.6.1 传播延时

数字系统的速度主要由构成系统的逻辑门的传播延时决定。反相器是数字电路设计的核心,复杂数字电路的电气特性几乎可以由反相器中得到的结果推断出来,反相器的分析结果也可以用来解释其他比较复杂的门的特性。门的性能主要是由它的动态(瞬态)响应决定的,因此下文通过 CMOS 反相器的动态响应来分析它的传播延时。

传播延时是反相器响应输入变化所需要的时间。假设在反相器的输入端加一个如图 3-25(a)所示的理想脉冲信号,则反相器输出端的信号如图 3-25(b)所示。

可以看出,输出信号不再是理想的脉冲信号,输出电压从高电平变为低电平或从低电平变为高电平都需要一段时间。把输出电压达到 $\frac{V_{DD}}{2}$ 的点定义为转换点,定义输入电压的边沿到输出电压转换点的时间为传播延时。传播延时有两种,一种是输出电压从高电平变为低电平的传播延时 t_{PHL} ,另一种是输出电压从低电平变为高电平的传播延时 t_{PLH} ,这两种延时可能不相等。反相器的传播延时就定义为这两种延时的平均

$$t_P = \frac{t_{PHL} + t_{PLH}}{2}$$

反相器的这一动态响应主要是由门的输出电容 C_L 决定的。输出电容 C_L 包括 NMOS 管和 PMOS 管的漏扩散电容、连线电容以及所驱动的门的输入电容。假设 MOS 管的开关

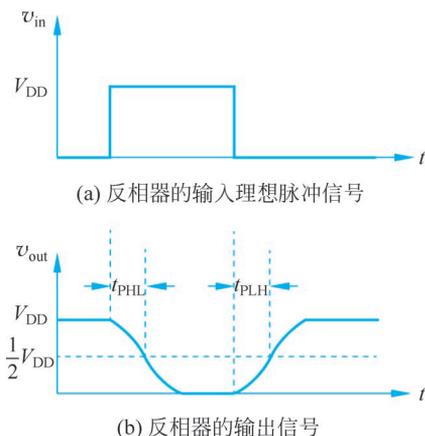


图 3-25 输入为理想脉冲的反相器的输出和传播延时

是瞬间发生的,当输入为 0 时,NMOS 管截止,PMOS 管导通,电源通过 PMOS 管对电容 C_L 充电,门的响应时间是通过 PMOS 管的导通电阻 R_P 向 C_L 充电所需要的时间,如图 3-26(a)所示。当输入电压为高电平时,NMOS 管导通,PMOS 管截止,电容通过 NMOS 管放电,门的响应时间是通过 NMOS 管的导通电阻 R_N 放电所需要的时间,如图 3-26(b)所示。

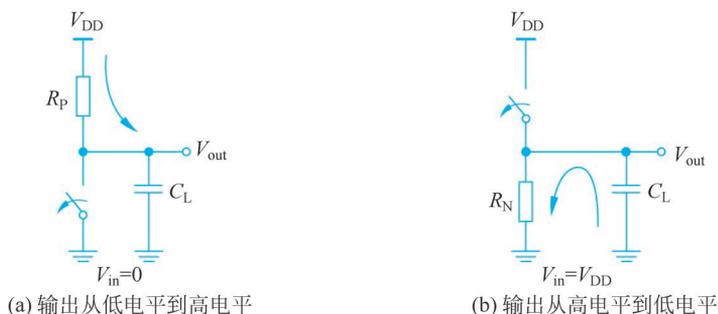


图 3-26 CMOS 反相器动态特性的开关模型

估计延时有几种不同的模型,其中一种是 τ 模型。该模型将门的延时简化为时间常数 $\tau=RC$ 。当输入电压为阶跃信号时,对于输出从高电平变为低电平的情况,下拉电阻为 R_N ,输出响应为

$$V_{out}(t) = V_{DD} e^{-t/R_N C_L}$$

对于输出从低电平变为高电平的情况,上拉电阻为 R_P ,输出响应为

$$V_{out}(t) = V_{DD} (1 - e^{-t/R_P C_L})$$

τ 模型的关键是假设晶体管可以模型化为一个电阻,但实际上 NMOS 管和 PMOS 管的导通电阻并不是常数,而是 MOS 管两端电压的非线性函数。为了简化模型,用 MOS 管的平均导通电阻 R_{eqN} 和 R_{eqP} 分别代替 R_N 和 R_P 。求从高电平变为低电平的延时 t_{PHL} 和从低电平变为高电平的延时 t_{PLH} ,可分别测量 $V_{DD} \sim \frac{1}{2}V_{DD}$ 和 $0 \sim \frac{1}{2}V_{DD}$ 的时间,可以得到

$$t_{PHL} = (\ln 2) R_{eqN} C_L = 0.69 R_{eqN} C_L$$

$$t_{\text{PLH}} = (\ln 2)R_{\text{eqP}}C_L = 0.69R_{\text{eqP}}C_L$$

平均导通电阻 R_{eqN} 和 R_{eqP} 都和 MOS 管的宽长比 W/L 成反比, W/L 值增大时, 电阻值减小。NMOS 管和 PMOS 管具有不同的导通电阻, 通过 SPICE 仿真发现有一个导通电阻的经验公式

$$R_{\text{eqN}} = \frac{12.5}{(W/L)_n} \text{k}\Omega$$

$$R_{\text{eqP}} = \frac{30}{(W/L)_p} \text{k}\Omega$$

对于 $0.25\mu\text{m}$ 、 $0.18\mu\text{m}$ 和 $0.13\mu\text{m}$ 的 CMOS 工艺, 这些值都是正确的。

上面估计反相器延时的模型虽然非常粗糙, 但是可以在一定程度上揭示电路的性能如何依赖于总体的负载电容和晶体管的尺寸。延时和负载电容 C_L 成正比, 因此降低负载电容可以缩短门的传播延时。负载电容主要由门本身的内部扩散电容、连线电容和扇出电容组成, 好的版图设计有助于减小扩散电容和连线电容。增大 MOS 管的宽长比 W/L 可以缩短门的传播延时, 但增加管子的尺寸同时也增大了扩散电容, 从而使 C_L 增大。

3.6.2 功耗

CMOS 门电路的功耗主要由静态功耗 P_{stat} 、电容充放电引起的动态功耗 P_{dyn} 和直通电流引起的动态功耗 P_{dp} 组成:

$$P_{\text{total}} = P_{\text{stat}} + P_{\text{dyn}} + P_{\text{dp}}$$

静态功耗是电路稳态时的功耗。理想情况下 CMOS 门电路的静态功耗为 0, 因为在稳态下 NMOS 管和 PMOS 管不会同时导通。但实际上总会有泄漏电流流过晶体管源(或漏)与衬底之间反相偏置的 PN 结, 这一电流通常都非常小, 因此可以被忽略。

动态功耗大部分是由电平转换时电容充放电引起的。仍然以 CMOS 反相器为例, 假设输入信号是阶跃信号, 上升时间和下降时间都为 0。当负载电容 C_L 通过 PMOS 管充电时, 它的电压从 0 升至 V_{DD} , 在这期间从电源获取的能量为

$$E_{V_{\text{DD}}} = \int_0^{\infty} i_{V_{\text{DD}}}(t)V_{\text{DD}}dt = V_{\text{DD}} \int_0^{\infty} C_L \frac{dv_{\text{out}}}{dt} dt = V_{\text{DD}} C_L \int_0^{V_{\text{DD}}} dv_{\text{out}} = C_L V_{\text{DD}}^2$$

电平翻转结束时在电容 C_L 上存储的能量为

$$E_{C_L} = \int_0^{\infty} i_{V_{\text{DD}}}(t)v_{\text{out}} dt = \int_0^{\infty} C_L \frac{dv_{\text{out}}}{dt} v_{\text{out}} dt = C_L \int_0^{V_{\text{DD}}} v_{\text{out}} dv_{\text{out}} = \frac{C_L V_{\text{DD}}^2}{2}$$

可以看出, 在从低电平翻转至高电平期间, 电容 C_L 上被充电的电荷量为 $C_L V_{\text{DD}}$, 电源提供的能量为 $C_L V_{\text{DD}}^2$, 其中一半能量 $\frac{C_L V_{\text{DD}}^2}{2}$ 存放在电容上, 另一半能量消耗在 PMOS 管上。在从高电平翻转至低电平期间, 电容通过 NMOS 管放电, 它的能量消耗在 NMOS 管上。因此每个开关周期(从高电平变为低电平和从低电平变为高电平)都需要消耗一定的能量, 即 $C_L V_{\text{DD}}^2$ 。如果反相器每秒通断 f 次(即开关的频率为 f), 则功耗为

$$P_{\text{dyn}} = C_L V_{\text{DD}}^2 f$$

动态功耗中除电容充放电引起的功耗外, 还存在着直通电流引起的功耗 P_{dp} 。在实际情况中, 输入信号的上升时间和下降时间并不为 0, 因此会存在 NMOS 管和 PMOS 管同时

导通的时候,电源 V_{DD} 和地之间会在很短的时间内出现一条直通的通路,形成一个电流脉冲。这个电流脉冲的峰值出现在 $V_M = \frac{1}{2}V_{DD}$ 处,这时 NMOS 管和 PMOS 管都工作在饱和区。这个电流脉冲的宽度取决于输入电压的变化速度,输入波形的边沿变化越慢,电流脉冲就越宽, P_{dp} 就越大。但通常这部分功耗远小于 P_{dyn} 。

因此,静态 CMOS 门电路的功耗主要是对电容进行充放电引起的动态功耗。可以看出,电路的工作频率越高,功耗越大;电源电压越高,功耗越大。

习题

3-1 图 3-27 中只画出了 CMOS 电路的一半,试画出另一半电路。

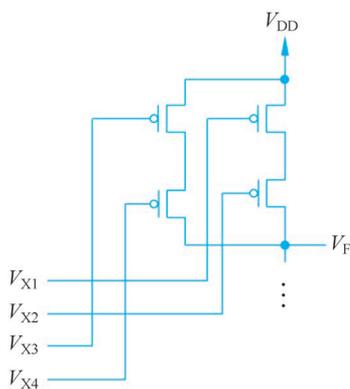


图 3-27 题 3-1 图

3-2 写出图 3-28 所示电路实现的逻辑函数。

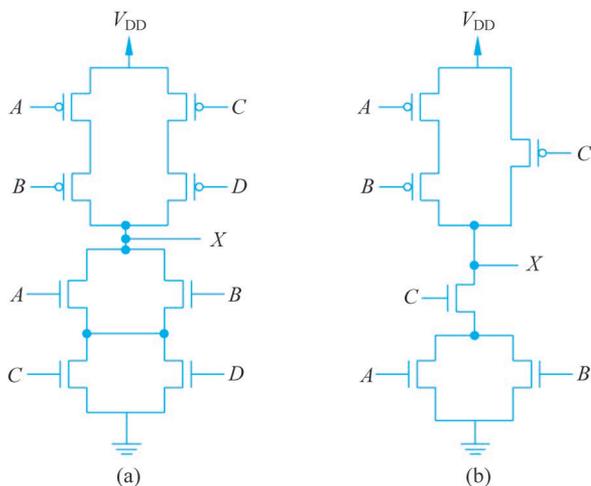


图 3-28 题 3-2 图

3-3 电路如图 3-29(a)所示,试填写图 3-29(b)中的输出信号 Y 的波形。

3-4 三态门内部电路如图 3-30 所示,试写出三态门的功能表,画出该三态门的逻辑符号。

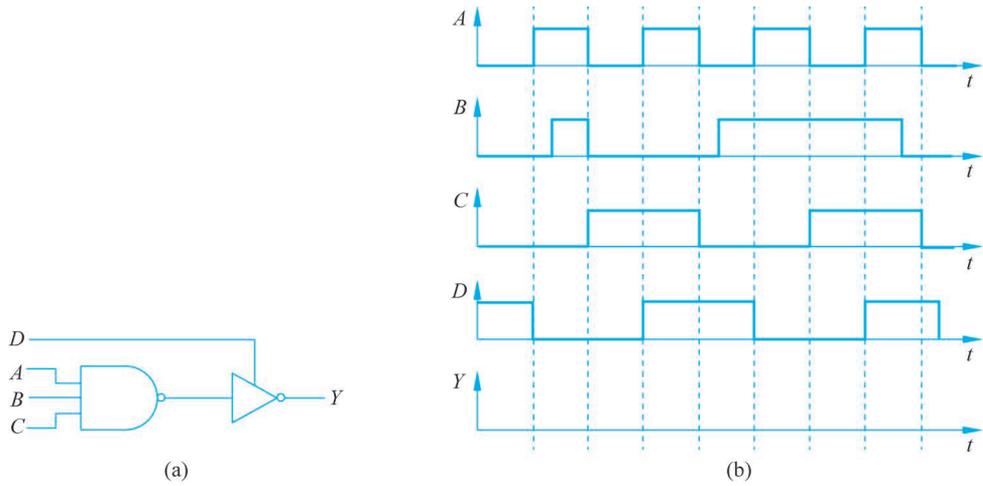


图 3-29 题 3-3 图

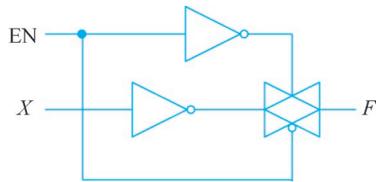


图 3-30 题 3-4 图

3-5 画出实现下列逻辑函数的 CMOS 电路。

- (1) $F = (A \cdot B \cdot C)'$
- (2) $F = (A + B + C + D)'$