

第3章

射频集成电路元器件

3.1 射频集成电路元器件概述

与数字集成电路和低频模拟集成电路不同,射频集成电路广泛使用无源元件,某些调谐电路还会用到变容二极管。理解集成无源元件的基本特性,对于设计射频集成电路来说是非常重要的。在集成电路中,无源元件与电路的其他器件集成在同一个芯片上。由于受到工艺的限制,集成无源元件的性能远低于分立元件,而且对射频集成电路来说,电路性能在很大程度上受限于无源元件。因此在工艺允许的情况下,通过尺寸或者版图设计尽可能地提高集成无源元件的性能,对于射频集成电路来说具有特别重要的意义。射频电路中有源器件模型也极其重要,有源 MOS 的使用也会影响电路的性能,正确的建模是十分重要的。本章将分析射频集成电路中 MOS 晶体管和常用集成无源元件(电阻、电容、电感和变压器)的基本特性,并讨论如何对它们建立 SPICE 模型。此外,还将讨论片上集成电感的优化问题。

3.1.1 MOS 晶体管的射频模型

MOSFET 模型的发展经历了从只适用于长沟道器件[采用求解垂直于沟道方向的一维泊松方程,或称为 GCA(Gradual Channel Approximation,渐变沟道近似)]的 SPICE Level 1(第一级)模型到包括由短沟/窄沟等小尺寸器件引起的高阶效应 SPICE Level 3 模型。Level 3 模型是一个带有半经验公式的模型,在相关教材中广泛使用。自 1987 年以来,各种层次的 BSIM(Berkeley Short-channel IGFET Model)被工业界接受为标准 MOS 模型。一些专门的公司会提供模型参数提取服务。其中,BSIM3v3(BSIM3 模型版本 3)和 BSIM4 是至今仍在广泛采用的两个 MOS 模型。UC Berkeley 的模型都是基于阈值电压(threshold voltage)的概念,并大量采用拟合公式和平滑函数,以取得 $I-V$ 、 $Q-V$ (其对电压的一阶导数为 $C-V$)及其高阶导数的连续性。近年来,一种基于更基本的物理方法——表面势(Surface Potential, SP)的模型有取代 BSIM 的趋势。表面势(SP)模型建立在解 Pao-Sah 方程的基础上,该模型将器件的电流、电荷与依赖于直流偏置的沟道表面势(实际上只要知道沟道两端的表面势即可)联系起来,能保证端口电学量(及其高阶导数)的连续性并满足其他电路模拟(尤其是模拟电路模拟)的各种要求。尽管 SP 模型在求值时可能要用到数值迭代,但经过近年来的发展,其计算效率并不比 BSIM 低。

这里 MOS 模型的介绍依然以 BSIM3/BSIM4 模型为基础,这是因为阈值电压是理解 MOS 工作原理的核心概念。同时 BSIM 及其参数的文献、资料也比较容易获得。下面首先介绍 MOS 直流模型。

3.1.1.1 直流模型

直流模型是根据加在器件上的电压偏置来求器件的直流终端电流的。对于 MOS 器件来说,若不考虑栅极的隧穿电流,则通常只计算漏极电流 I_D 和衬底电流 I_B 。MOS 器件的电压参考点有两种取法:源(source,简记为 s)端或衬底接触点(substrate contact,简记为 b)。不同的电压参考点会导致器件模型公式的不同形式。本书取源端为电压参

考点。目前, MOS 器件的等效电路模型(或称 SPICE 模型)有两个流派: 以阈值电压(threshold voltage, 简记为 V_{th})为建模基础的, 以及以表面势为基础的。我们主要采用阈值电压建模方法, 但也会简单介绍表面势建模方法。以漏极电流的直流表达式为例, 以 V_{th} (其定义稍后介绍) 为参数, 可写为

$$I_D = I_D(V_{GS}, V_{DS}; V_{th}(V_{DS}, V_{BS})) \quad (3.1.1)$$

其中, 分号“;”后的变量为参变量。在本章的讨论中, 我们将 I_D 写作 I_{DS} , 以表示漏极电流的表达式专指在漏源之间流动的电流, 不包括漏极和衬底间的电流。

1. 阈值电压定义与计算

阈值电压从物理层次来理解可定义为沟道反型层的载流子密度等于体掺杂浓度时(此状态称为强反型)的栅电压。通常以源电压为参考点, 因此是 V_{GS} , 其值依赖于漏源电压(V_{DS})和源衬底偏置电压($V_{SB} = -V_{BS}$, 对 nMOS 为非负数)。如暂不考虑短沟、窄沟和 DIBL(Drain Induced Barrier Lowering, 漏端电压感生势垒降低)效应, 则阈值电压由平带电压和源衬底偏置电压决定:

$$V_{th0}(V_{BS}) = V_{FB} + 2\phi_B + \gamma\sqrt{2\phi_B - V_{BS}} \quad (3.1.2)$$

其中,

(1) 平带电压 V_{FB} 是由 V_{GB} 的值来定义的(因而与源电压无关)。在该值下, 衬底表面垂直于沟道的电场为零。

$$V_{FB} = \frac{\Phi_{ms}}{q} - \frac{Q_0}{C_{ox}} = \Phi_{ms} - \frac{Q_0 t_{ox}}{\epsilon_0 \epsilon_{ox}} \quad (3.1.3)$$

式中, Φ_{ms} 是栅电极和衬底接触处半导体的功函数差, 单位是 eV(因而 Φ/q 的单位是 V); C_{ox} 是单位表面面积的栅电容, $C_{ox} = \epsilon_0 \epsilon_{ox} / t_{ox}$, ϵ_0 是真空介电参数, ϵ_{ox} 是二氧化硅的相对介电常数, t_{ox} 是栅氧化层的厚度; Q_0 是硅衬底与二氧化硅界面处的电荷密度(每单位界面面积)。

(2) 强反型时相对于衬底接触的表面势或能带弯曲量。如果有源衬底偏置电压 V_{SB} , 则还需减去该量。 ϕ_B 是衬底的费米势, 定义为

$$\phi_B = V_T \ln \frac{N_A}{n_i} \quad (3.1.4)$$

在室温(300K)下, 热电压 $V_T = 0.0259V$, 本征载流子浓度 $n_i = 9.65 \times 10^9 \text{ cm}^{-3}$ 。若取衬底掺杂浓度为 $N_A = 5 \times 10^{17} \text{ atom/cm}^3$ (p-型), 则 $\phi_B = 0.460V$ 。给定 V_{BS} (对 nMOS 通常为负值), 强反型时的表面势变为 $2\phi_B + V_{SB}$ 。注意, V_{BS} 对 nMOS 通常为正值。

(3) 栅氧层上的电压降(方向为从栅电极到衬底)为

$$V_{ox} = -\frac{Q_{b,dep}}{C_{ox}} \quad (3.1.5)$$

衬底耗尽层体电荷面密度为

$$Q_{b,dep} = -\sqrt{2q\epsilon_0\epsilon_{si}N_A(2\phi_B + V_{SB})} \quad (3.1.6)$$

因此,

$$V_{\text{ox}} = \frac{1}{C_{\text{ox}}} \sqrt{2q\epsilon_0\epsilon_{\text{si}}N_{\text{A}}(2\phi_{\text{B}} + V_{\text{SB}})} \equiv \gamma \sqrt{2\phi_{\text{B}} + V_{\text{SB}}} \quad (3.1.7)$$

其中, γ 称为“体因子”, 定义为

$$\gamma = \frac{\sqrt{2q\epsilon_0\epsilon_{\text{si}}N_{\text{A}}}}{C_{\text{ox}}} \left(\text{V}^{\frac{1}{2}} \right) \quad (3.1.8)$$

下面来看典型的数值: 取上述的 N_{A} , 并且假设 $t_{\text{ox}} = 2.5 \text{ nm}$, 则

$$C_{\text{ox}} = \frac{\epsilon_{\text{ox}}\epsilon_0}{t_{\text{ox}}} = \frac{3.9 \times 8.854 \times 10^{-14}}{2.5 \times 10^{-7}} = 1.38 \times 10^{-6} \text{ F/cm}^2$$

$$\gamma = 0.295 \left(\text{V}^{\frac{1}{2}} \right)$$

栅电极 (Φ_{m}) 与衬底接触 (Φ_{sub}) 之间的功函数差为

$$\Phi_{\text{ms}} = \Phi_{\text{m}} - \Phi_{\text{sub}} \quad (3.1.9)$$

一个材料的功函数定义为真空能级与费米能级的差 ($\Phi = E_{\text{vac}} - E_{\text{F}}$)。对金属或硅化物来说, Φ 是一个固定的物理参数。表 3.1.1 列出了集成电路中常用的几种金属和金属硅化

表 3.1.1 集成电路中常用的几种金属和金属硅化物的功函数

| 金 属 | $\Phi_{\text{m}}/\text{eV}$ |
|-------------------------|-----------------------------|
| Al(铝) | 4.1 |
| Pt(铂) | 5.3 |
| W(钨) | 4.5 |
| Au(金) | 4.75 |
| MoSi ₂ (硅化钼) | 4.73 |
| TiSi ₂ (硅化钛) | 4.6 |
| WSi ₂ (硅化钨) | 4.62 |

物的功函数。注意, 典型值都在 4.17 eV (硅的电子亲和能 χ_{si} 定义为真空能级与导带底的差) $\sim 5.29 \text{ eV}$ ($5.29 = 4.17 + 1.12$, 其中, 1.12 是硅在室温下的禁带宽度, 或称带隙 E_{g})。衬底(半导体)的功函数为

$$\Phi_{\text{sub}} = \chi_{\text{s}} + \frac{E_{\text{g}}}{2} + \frac{1}{2}kT \ln \frac{N_{\text{C}}}{N_{\text{V}}} + q\phi_{\text{B}} \quad (3.1.10)$$

式中, χ_{s} 是半导体(衬底)的亲能, $q\phi_{\text{B}} = E_{\text{i}} - E_{\text{F}}$, 其中, E_{i} 是本征费米能级(位于导带底 $E_{\text{g}}/2 + V_{\text{T}} \ln(N_{\text{C}}/N_{\text{V}})/2$ 以下处)。对 p-衬底, ϕ_{B} 是一个正值。在半导体材料中, 费米能级相对于能带边缘(如导带底)的位置与掺杂浓度有关, 因而衬底的功函数不仅与半导体的物理参数(如电子亲和能)有关, 也取决于衬底的掺杂浓度。具体来说,

$$\Phi_{\text{sub}} = \chi_{\text{s}} + \frac{E_{\text{g}}}{2} + \frac{1}{2}kT \ln \frac{N_{\text{C}}}{N_{\text{V}}} + kT \ln \frac{N_{\text{A}}}{n_{\text{i}}} \quad (3.1.11)$$

对于硅材料, 取室温下禁带宽度 $E_{\text{g}} = 1.12 \text{ eV}$, 能带有效态密度 $N_{\text{C}} = 2.86 \times 10^{19} \text{ cm}^{-3}$, $N_{\text{V}} = 2.57 \times 10^{19} \text{ cm}^{-3}$, 并采用上述的衬底材料参数, 可得 $\phi_{\text{B}} = 0.457 \text{ V}$, $\Phi_{\text{sub}} = 5.19 \text{ eV}$ 。如采用铝栅电极, 则平带电压由式(3.1.3)确定, 再假设界面电荷 $Q_0 = 0$, 得到 $V_{\text{FB}} =$

-1.09V。如前所述,从式(3.1.2)可得阈值电压为 $V_{th0}=0.107V$,这是一个很小的值。

至此,我们定义了一维(垂直于沟道方向)MOS结构的阈值电压(可通过给定 V_{SB} 来包括源极的影响)。进一步来看阈值电压与漏极电压的依赖关系,即 DIBL,有

$$V_{th}(V_{DS}, V_{BS}) = V_{th0}(V_{BS}) - \Delta V_{th, DIBL}(V_{DS}, V_{BS}) \quad (3.1.12)$$

$$\Delta V_{th, DIBL}(V_{DS}, V_{BS}) = \sigma(V_{BS})V_{DS} \quad (3.1.13)$$

式中,

$$\sigma(V_{BS}) = \sigma = 10^{-7} \times \frac{\epsilon_0 \epsilon_{si}}{\pi C_{ox} L^3} (\eta_0 - \eta_b V_{BS}) \quad (3.1.14)$$

$$= 9.55 \frac{t_{ox}}{L^3} (\eta_0 - \eta_b V_{BS}) \times 10^{-8} \quad (3.1.15)$$

式中, L 是沟道长度,其与 t_{ox} 的单位均为 cm; 参数 η_0 及 η_b 的典型值分别为 0.02~2 与 0(SPICE Level 3 模型)。

2. 漏极电流表达式

MOS 晶体管是四端器件。如取源端为电压参考点,则漏极电流由栅、漏、衬底(接触)端的偏置决定。衬底效应通常计入阈值电压的变化(也称背栅效应),根据栅偏和漏偏电压的不同组合,MOS 器件工作在 3 个不同的区域:截止区、线性区和饱和区。我们已定义了由 V_{BS} 决定的阈值电压 V_{th} (V_{DS} 的影响可暂且不计,因为是二阶效应)。现在引入一个饱和电压 V_{dsat} 来定量地确定上述 3 个工作区域:

- 截止区(或称为亚阈值区), $V_{GS} < V_{th}$ 。
- 线性区, $V_{GS} > V_{th}$ 且 $V_{DS} \leq V_{dsat}$ 。
- 饱和区, $V_{GS} > V_{th}$ 且 $V_{DS} > V_{dsat}$ 。

MOS 晶体管的漏极电流是否饱和取决于沟道长度,具体由两种机制决定:沟道漏端夹断(pinch-off)与载流子速度饱和。其统一公式由 Ping Ko 提出:

$$V_{dsat} = [(V_{GS} - V_{th}) // (LE_{sat})] = \frac{(V_{GS} - V_{th})(LE_{sat})}{(V_{GS} - V_{th}) + LE_{sat}} \quad (3.1.16)$$

其中, E_{sat} 是沿沟道方向的载流子速度降至由低场迁移率外推所得的速度一半时的横向电场。通常称 $V_{od} = V_{GS} - V_{th}$ 为栅过驱动(over-drive)电压。在式(3.1.16)中,方括号([])中的第一项表示漏极饱和电压是由沟道漏端夹断引起的,第二项则表示速度饱和。因为式(3.1.16)表示两个机制的并联关系,所以整个机制是由较小的项决定的。

现在解释如何从基本的物理参数出发得到 E_{sat} 。沟道中载流子迁移率受垂直于以及平行于沟道方向的表面电场的影响。在 SPICE Level 3 模型中,这个关系表达为

$$\mu_{eff} = \frac{\mu_s}{1 + \frac{\mu_s V_{DS}/L}{v_{sat}}} \quad (3.1.17)$$

$$\mu_s = \frac{\mu_0}{1 + \theta(V_{GS} - V_{th})}, \quad V_{GS} > V_{th} \quad (3.1.18)$$

式中, μ_0 称为低场表面迁移率。对硅材料中的电子而言, 其典型值为 $\mu_0 = 500 \text{ cm}^2/\text{V} \cdot \text{s}$ 。参数 θ 可以取 0.1, 其实际值可通过模型参数提取获得。采用载流子沿沟道方向的速度和横向电场的关系为

$$v(E) = \frac{\mu_0 E}{1 + \mu_0 E/v_{\text{sat}}}, \quad E = \frac{V_{\text{DS}}}{L} \quad (3.1.19)$$

式中, v_{sat} 是载流子的饱和速度。对硅材料中的电子而言, 这个量的典型值为 10^7 cm/s 。令

$$v(E_{\text{sat}}) = \frac{1}{2} \mu_0 E_{\text{sat}} \quad (3.1.20)$$

可得

$$E_{\text{sat}} = \frac{v_{\text{sat}}}{\mu_0} \quad (3.1.21)$$

因而电子的 E_{sat} 典型值为 $2 \times 10^4 \text{ V/cm}$ 。利用 E_{sat} 的定义, 式(3.1.19)可改写为

$$v(E) = \frac{\mu_0 E}{1 + E/E_{\text{sat}}} \Rightarrow v(E) = \mu_0 E_{\text{sat}}, \quad E \rightarrow \infty \quad (3.1.22)$$

$v(E)$ 与横向电场 E 的关系及 E_{sat} 的定义如图 3.1.1 所示。

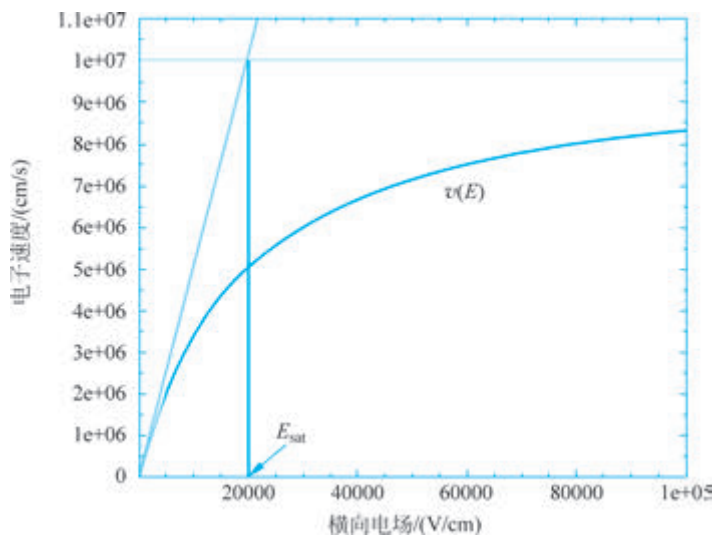


图 3.1.1 nMOSFET 沟道中电子速度与横向电场的关系

有关参数为 $v_{\text{sat}} = 10^7 \text{ cm/s}$, $\mu_0 = 500 \text{ cm}^2/\text{V} \cdot \text{s}$, $E_{\text{sat}} = 2 \times 10^4 \text{ V/cm}$ 。

通过引入两个等效的偏置电压——等效漏偏压 $V_{\text{ds,eff}}$ 及等效栅过驱动偏压 $V_{\text{gst,eff}}$, 漏极电流在以上任何一个工作区可统一表示为

$$I_{\text{DS}} = \underbrace{W}_{\text{inversion}} \underbrace{Q_{\text{chs0}}}_{\text{charge}} \underbrace{\mu_{\text{eff}}}_{\text{carrier velocity}} \frac{V_{\text{ds,eff}}}{L} = \frac{W}{L} \mu_{\text{eff}} Q_{\text{chs0}} V_{\text{ds,eff}} \quad (3.1.23)$$

$$Q_{\text{chs0}} = C_{\text{ox}} V_{\text{gst,eff}} \quad (3.1.24)$$

$$V_{\text{gst,eff}} = \frac{2\eta V_T \ln \left[1 + \exp \left(\frac{V_{\text{GS}} - V_{\text{th}}}{2\eta V_T} \right) \right]}{1 + (2\eta V_T C_{\text{ox}}/H) \exp \left(-\frac{V_{\text{GS}} - V_{\text{th}}}{2\eta V_T} \right)} = \begin{cases} V_{\text{GS}} - V_{\text{th}}, & V_{\text{GS}} \gg V_{\text{th}} \\ \frac{H}{C_{\text{ox}}} \exp \left(\frac{V_{\text{GS}} - V_{\text{th}}}{\eta V_T} \right), & V_{\text{GS}} \ll V_{\text{th}} \end{cases} \quad (3.1.25)$$

$$V_{\text{dsat}} \left\{ 1 - \frac{1}{\alpha} \ln \left[1 + e^{\alpha(1-V_{\text{DS}}/V_{\text{dast}})} \right] \right\} = \begin{cases} V_{\text{DS}}, & V_{\text{DS}} \ll V_{\text{dast}} \\ V_{\text{dast}}, & V_{\text{DS}} \gg V_{\text{dast}} \end{cases} \quad (3.1.26)$$

在式(3.1.25)中, H 是表征亚阈值斜率的参数, 其典型值为 1~3:

$$H = 2 \sqrt{\frac{\phi_B}{q\epsilon_0\epsilon_{\text{si}}N_A}} \quad (3.1.27)$$

其中, N_A 是衬底的掺杂浓度(假设为 p-型材料)。在式(3.1.26)中, α 是使 I_{DS} 与 V_{DS} 输出特性在 $V_{\text{DS}} = V_{\text{dsat}}$ 附近平滑过渡的参数, 通常可取 $\alpha = 10$ 。

从式(3.1.16)可以看出, 短沟效应是否严重主要看 $(V_{\text{GS}} - V_{\text{th}})/L$ 与 E_{sat} 的比值。如果这个比值较小, 那么即使沟道长度短, 器件仍呈现长沟特性。也就是说, 短沟效应本质上并不是一个几何尺寸的问题, 而是一个电学上的(取决于偏置)效应。沟道长度越短, 出现短沟效应所要求的栅过驱动电压就越低。

现在来看在主要的工作区中的漏极电流表达式(为书写简便, 现在开始用 μ_n (nMOS)代替 μ_{eff})。

① 线性区:

$$I_{\text{DS}} = \mu_n C_{\text{ox}} \frac{W}{L} \left[(V_{\text{GS}} - V_{\text{th}}) V_{\text{DS}} - \frac{V_{\text{DS}}^2}{2} \right] \quad (3.1.28)$$

② 饱和区:

$$I_{\text{DS}} = \frac{\mu_n C_{\text{ox}} W}{2L} (V_{\text{GS}} - V_{\text{th}}) [(V_{\text{GS}} - V_{\text{th}}) // (LE_{\text{sat}})] \quad (3.1.29)$$

$$= \frac{\mu_n C_{\text{ox}}}{2} (V_{\text{GS}} - V_{\text{th}}) v_{\text{sat}} \left[1 + \frac{LE_{\text{sat}}}{V_{\text{GS}} - V_{\text{th}}} \right]^{-1} \quad (3.1.30)$$

对长沟道, 因为 $(V_{\text{GS}} - V_{\text{th}})/L \ll E_{\text{sat}}$, 所以

$$I_{\text{DS}} = \frac{\mu_n C_{\text{ox}} W}{2L} (V_{\text{GS}} - V_{\text{th}})^2 \quad (3.1.31)$$

可以看到, 漏极电流反比于沟道长度, 即在长沟道工作区, 缩短沟道长度可以增加漏极电流。

对短沟道, 因为 $(V_{\text{GS}} - V_{\text{th}})/L \gg E_{\text{sat}}$, 所以

$$I_{\text{DS}} = \frac{\mu_n C_{\text{ox}} W}{2} (V_{\text{GS}} - V_{\text{th}}) E_{\text{sat}} \quad (3.1.32)$$

可以看到, 此时漏极电流已不依赖于沟道长度。

3. 跨导

知道了 I_{DS} 和 V_{GS} 、 V_{DS} 、 V_{BS} 的依赖关系, 原则上很容易求得其一阶导数(量纲为电

导)。其中, I_{DS} 对 V_{GS} (或 V_{BS}) 的导数称为跨导(或背栅跨导)。这是因为 MOS 器件本质上是一个(输入)电压控制的(输出)电流源。定义

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \quad (3.1.33)$$

为正向跨导, 而称

$$g_{mb} = \frac{\partial I_{DS}}{\partial V_{BS}} \quad (3.1.34)$$

为背栅跨导。在饱和区, 基于式(3.1.31)的正向跨导(长沟道)为

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) \quad (3.1.35)$$

用漏极电流表示, 则为

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_{DS}} \quad (3.1.36)$$

对短沟道器件(或工作区域), 由式(3.1.33)可得到

$$g_m = \frac{\mu_n C_{ox}}{2} WE_{sat} \quad (3.1.37)$$

可以得出结论: 与双极型晶体管不同, 长沟道 MOS 器件的跨导与漏极电流的平方根成正比。而双极型晶体管的跨导则与集电极电流成正比。

3.1.1.2 阈值电压的测量

MOS 晶体管阈值电压的定义尽管看起来很简单(表面沟道区强反型), 从微观的角度看来也可以有十分明确和定量的定义(表面反型层载流子的浓度等于衬底深处掺杂平坦区的多数载流子浓度时的栅源极间的偏置电压), 但根据器件的电流电压特性来得到阈值电压缺乏唯一性。本节给出常用的两种定义和测量方法。尤其是第一种方法, 完全没有二异性。

(1) 基于 MOSFET 的 $I_{DS}-V_{GS}$ 转移特性(给定漏源偏置 V_{DS})。如果画出 g_m-V_{GS} 的线性坐标图, 则一定存在一个 V_{GS} (记为 V_{GSx}), 其对应的跨导 g_m 为最大。这是因为当增加 V_{GS} 时, 一开始由于(对 nMOS 而言)栅场效应诱生的反型层载流子表面浓度增加而使得器件的跨导增加。但到了一定程度后, 由于垂直于沟道的电场使得反型层载流子的迁移率减小(见式(3.1.18)), 从而导致跨导最终随着 V_{GS} 的增加而减小。这种载流子迁移率对栅电压的依赖关系是造成 g_m-V_{GS} 出现最大值的根本原因。在对应 V_{GSx} 的 I_{DS} 处, 作 $I_{DS}-V_{GS}$ 的切线。该切线在 V_{GS} 轴上的截距即为所要求的(定义的)阈值电压。

(2) 固定的漏极电流测量法。在此法中, 只需要对相应于一个固定漏极电流的栅源偏置进行测量(或模拟)。但这个漏极电流随晶体管的栅长和栅宽而变。本质上, 我们只给定一个电流值, 如(也是通常用的) $I_{th} = 10^{-7} \text{ A} = 0.1 \mu\text{A}$ 。然后, 要测量的漏极电流即为

$$I_{DS} = I_{th} \frac{W_m}{L_m} (\text{A}) \quad (3.1.38)$$

式中, W_m 与 L_m 是版图中画出的掩模(mask)上的栅宽和栅长(不是加工后的器件实际栅宽和栅长)。对应这个漏极电流的栅源偏置电压 V_{GS} 即为所求的阈值电压。注意, 阈值电压仍然为漏压和衬底偏置电压的函数。

3.1.1.3 MOS 电容模型阈值电压的测量

1. MOS 电容的物理组成

源、漏区和衬底间通常是反偏的, 所以是标准的 pn 结电容, 标识为 C_{jsb} 和 C_{jdb} 。除了结电容外, 还有几个平板电容见图 3.1.2。

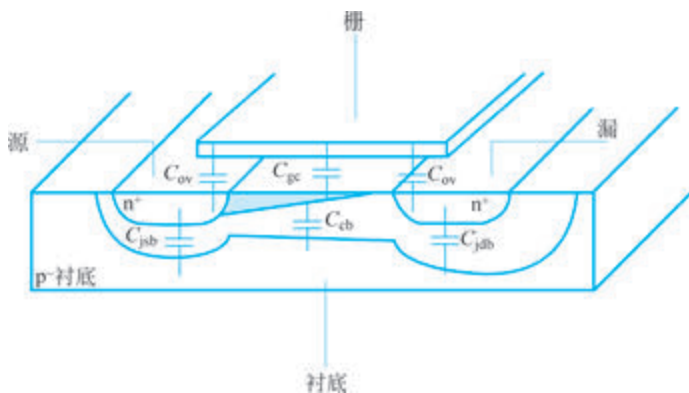


图 3.1.2 MOSFET 电容

(1) C_{ov} 是栅源、栅漏交叠电容。尽管不希望有它们, 但不可避免。

$$C_{ov} \approx \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} W L_D = 0.7 C_{ox} W x_j \quad (3.1.39)$$

式中, L_D 是源、漏区的横向扩散长度。另外, 还要考虑由于栅电极高度所引起的边缘(fringing)电容。

(2) 栅-沟道电容 C_{gc} 。由于源漏区横向扩散到栅极下的区域, 有效沟道长度比栅长少 $2L_D$, 即

$$C_{gc} = C_{ox} W (L - 2L_D) \quad (3.1.40)$$

(3) 沟道与衬底间的电容 C_{cb} , 其行为表现为结电容

$$C_{cb} \approx \frac{\epsilon_0 \epsilon_{si}}{x_d} W (L - 2L_D) \quad (3.1.41)$$

式中, x_d 是衬底表面耗尽区的厚度, 具体为

$$x_d = \sqrt{\frac{2\epsilon_0 \epsilon_{si}}{qN_{sub}} (2\phi_B)} \quad (3.1.42)$$

但是沟道并不是器件的一个外接终端, 因此要确定上述各种电容成分对终端电容的贡献, 需要知道沟道电荷是如何在源、漏端划分的。一般来说, 终端电容的值取决于器件的工作区域, 因为沟道电荷的划分由器件的工作状态决定。

当器件工作于线性区时(强反型), 存在沟道反型层, 可以假设源、漏端平均分配沟道

电荷。因此, C_{gc} 的各一半应加到交叠电容上去。类似地, C_{jsb} 和 C_{jdb} 也加上了 C_{cb} 的各一半。在饱和区(强反型), 漏端的电压不影响沟道电荷, 因此 C_{gc} 对 C_{gd} 也没有贡献, C_{gd} 完全由栅漏交叠电容组成。 C_{gs} 则依然与 C_{gc} 有关。仔细分析可以发现 $C_{gs} \neq C_{gc} + C_{ov}$, 而是

$$C_{gs} = \frac{2}{3}C_{gc} + C_{ov} \quad (3.1.43)$$

现在来推导这个关系。推导过程中的关键是认识到沟道上的横向压降 $V_{CS}(y)$ 并不是 y 的线性函数(初看起来, 很容易认为 $V_{CS}(y) = (y/L)V_{DS}$)。记 $V_{GSt} = V_{GS} - V_{th}$ 。强反型条件是 $V_{GSt} > 0$ (更确切地说, 要高出一个或数倍热电压 V_T , 见式(3.1.25)中的 η)。要得到 V_{CS} 的表达式, 需借助沟道电流连续条件

$$I_{DS} = WC_{ox} [V_{GSt} - V_{CS}(y)] \mu_n \frac{dV_{CS}(y)}{dy} \quad (3.1.44)$$

其中, $0 \leq y \leq L$ 。

$$\int_0^L I_{DS} dy = \int_0^{V_{DS}} WC_{ox} (V_{GSt} - V_{CS}) \mu_n dV_{CS} \quad (3.1.45)$$

可以注意到, I_{DS} 是一个常数, 且在饱和区(暂不考虑沟道长度调制效应)积分上限 $V_{DS} = V_{GSt}$, 可以得到

$$I_{DS} = \frac{\mu_n WC_{ox}}{2L} V_{GSt}^2 \quad (3.1.46)$$

栅极电荷为

$$Q_G = \int_0^L WC_{ox} [V_{GSt} - V_{CS}(y)] dy = WC_{ox} V_{GSt} L - WC_{ox} \int_0^L V_{CS}(y) dy \quad (3.1.47)$$

$$\int_0^L V_{CS} dy = \int_0^{V_{GSt}} V_{CS} \frac{2L}{V_{GSt}^2} (V_{GSt} - V_{CS}) dV_{CS} = \frac{1}{3} L V_{GSt} \quad (3.1.48)$$

式中, 利用了式(3.1.46)及式(3.1.44)来得到 $dy \rightarrow dV_{CS}$ 的变换。因此

$$Q_G = \frac{2}{3} WLC_{ox} V_{GSt} \quad (3.1.49)$$

C_{gs} 在饱和区就可近似求得为(忽略栅源交叠电容 C_{ov}):

$$C_{gs} = \frac{\partial Q_G}{\partial V_{GS}} \approx \frac{2}{3} WLC_{ox} \quad (3.1.50)$$

2. MOS 准静态小信号的一般定义

MOS 器件是一个四端器件。如果定义和器件终端相联系的器件内部的电荷为 Q_I ($I = G, D, S, B$), 则 Q_I 是偏压 V_G, V_D, V_S, V_B 的函数。这里采用任意的电压参考点。可以定义

$$C_{ij} = \begin{cases} -\frac{\partial Q_i}{\partial V_j}, & i \neq j; i, j = g, d, s, b (\text{对应 } I, J = G, D, S, B) \\ \frac{\partial Q_i}{\partial V_j}, & i = j \end{cases} \quad (3.1.51)$$

在以上互电容($i \neq j$)定义中用了负号,是为了保证当电容的一个极板电压增加时,在这个极上的电荷(带符号)也增加。因此上述定义的电容总是正的。这样,MOS器件的完整电容矩阵为

$$\begin{matrix} & V_G & V_D & V_S & V_B \\ \begin{matrix} Q_G \\ Q_D \\ Q_S \\ Q_B \end{matrix} & \begin{bmatrix} C_{gg} & -C_{gd} & -C_{gs} & -C_{gb} \\ -C_{dg} & C_{dd} & -C_{ds} & -C_{db} \\ -C_{sg} & -C_{sd} & C_{ss} & -C_{sb} \\ -C_{bg} & -C_{bd} & -C_{bs} & C_{bb} \end{bmatrix} \end{matrix} \quad (3.1.52)$$

为便于记忆,矩阵的行标出了相应的电荷,矩阵的列则标出了相应的偏压。这16个矩阵元素中只有9个是独立的。原因有以下两点。

(1) 总电荷要满足电中性条件,即

$$Q_G + Q_D + Q_S + Q_B = 0 \quad (3.1.53)$$

由此得到

$$\frac{\partial Q_G}{\partial V_G} = -\frac{\partial Q_D}{\partial V_G} - \frac{\partial Q_S}{\partial V_G} - \frac{\partial Q_B}{\partial V_G} \quad (3.1.54)$$

或

$$C_{gg} = C_{dg} + C_{sg} + C_{bg} \quad (3.1.55)$$

以此类推。从电容矩阵的角度来说,则是每一列的元素之和均为零。这样,就消除了对角线上的4个(自电容)元素。

(2) 对于每一行的元素而言,其和也为零。这是因为电容矩阵是独立于电压参考点的选择。比如当变化 V_G 而其他终端电压不变时,可等效地视作 V_G 不变,其他电压同时等值向反方向变化。因此,例如,对 Q_G 有

$$\frac{\partial Q_G}{\partial V_G} = -\frac{\partial Q_G}{\partial V_D} - \frac{\partial Q_G}{\partial V_S} - \frac{\partial Q_G}{\partial V_B} \quad (3.1.56)$$

或

$$C_{gg} = C_{gd} + C_{gs} + C_{gb} \quad (3.1.57)$$

即第一行的电容矩阵元素之和是零。其他各行服从同样的规律。初看起来,似乎又可消去4个独立变量。实际上4个方程中只有3个是独立的。因此只有3个独立变量可消去。以第三行为例,将第一行、第二行和第四行的对角线上的电容 C_{gg} 、 C_{dd} 、 C_{bb} 用各行的非对角线电容表示,再利用各列电容相加等于零的性质,可将该行的非对角电容用其他非对角电容表示如下:

$$C_{sg} = C_{gd} + C_{gs} + C_{gb} - C_{dg} - C_{bg} \quad (3.1.58)$$

$$C_{sd} = C_{dg} + C_{ds} + C_{db} - C_{gd} - C_{bd} \quad (3.1.59)$$

$$C_{sb} = C_{bg} + C_{bd} + C_{bs} - C_{gb} - C_{db} \quad (3.1.60)$$

因此,12个非对角电容元素中只有9个是独立的。

如此,四端MOS电容矩阵有9个独立变量。采用以上的选择(消除 C_{si} , $i = g, d, s$,

b, 或换言之, 排除源端电荷为独立变量), 这些独立电容可排成 3×3 的矩阵:

$$\begin{pmatrix} & C_{gd} & C_{gs} & C_{gb} \\ C_{dg} & & C_{ds} & C_{db} \\ C_{bg} & C_{bd} & C_{bs} & \end{pmatrix} \Rightarrow \begin{bmatrix} C_{gd} & C_{gs} & C_{gb} \\ C_{dg} & C_{ds} & C_{db} \\ C_{bg} & C_{bd} & C_{bs} \end{bmatrix} \quad (3.1.61)$$

注意, 跨电容(transcapacitance, 即 $C_{ij} (i \neq j)$) 并不具备互逆性(reciprocity), 即 $C_{ij} \neq C_{ji} (i \neq j)$, 如 $C_{gd} \neq C_{dg}$ 。表 3.1.2 列出了以衬底 b 为电压参考点时的常用准静态小信号电容(如 C_{gs}) 在晶体管的不同工作区域中的表达式。

表 3.1.2 MOSFET 中, 以衬底 b 为电压参考点时的
常用准静态小信号电容在晶体管的不同工作区域中的表达式

| 电 容 | 开 态 | 线 性 区 | 饱 和 区 |
|----------|---|----------------------|-----------------------|
| C_{gs} | C_{ov} | $C_{gc}/2 + C_{ov}$ | $2C_{gc}/3 + C_{ov}$ |
| C_{gd} | C_{ov} | $C_{gc}/2 + C_{ov}$ | C_{ov} |
| C_{gb} | $C_{gc} > C_{gb} > C_{gc} C_{cb} / (C_{gc} + C_{cb})$ | 0 | 0 |
| C_{sb} | C_{jsb} | $C_{jsb} + C_{cb}/2$ | $C_{jsb} + 2C_{cb}/3$ |
| C_{db} | C_{jdb} | $C_{jdb} + C_{cb}/2$ | C_{jdb} |

3.1.1.4 高频品质因子

通过品质因子可以将多维的量简化成一个单一的指标来表示。在器件的高频特性中, 有两个特征频率(品质因子)尤其有用: ω_T 和 ω_{max} 。它们分别是在“外推”的电流和功率增益为单位值(即 1)时的频率。外推是在频率和增益的乘积为常数时的频率范围内进行的。下面给出其定义和推导过程。

假设将共源接法的 MOS 的漏极交流接地, 栅极由一个理想电流源驱动。在这样的电路结构中, 漏-衬底电容 C_{db} 和栅串联电阻对电流增益都不起作用。进一步假定, 只在计算输入阻抗时考虑栅漏电容 C_{gb} , 而对通过其在输出电流中的正向馈送电流的贡献则忽略不计。这样, 漏、栅(交流)电流之比(即电流增益)可写为

$$\left| \frac{i_d}{i_{in}} \right| \approx \frac{g_m}{\omega(C_{gs} + C_{gd})} \quad (3.1.62)$$

当频率 ω 为

$$\omega_T = \frac{g_m}{C_{gs} + C_{gd}} \quad (3.1.63)$$

时, 电流增益为 1。这个频率称为晶体管的截止频率, $f_T = \omega_T / 2\pi$ 。应该指出, 选择增益为 1 作为截止频率的定义点, 并无特别原因, 只是为方便记忆和计算。关键之处是增益和频率的乘积要在定义的频率区域中为常数(在式(3.1.62)中的确如此: 等于 $g_m / (C_{gs} + C_{gd})$)。

尽管截止频率 f_T 是表征晶体管高频特性的一个最常用的参数, 另一个更相关的参数其实是功率增益外推为 1 时的频率 ω_{max} 。这个频率比较难求。首先来看如何求最大输出功率增益, 这需要将漏端的负载置为和器件的输出阻抗成共轭匹配。然后要找到器件的输出阻抗。此时的输入条件是输入电流源开路, 且 C_{gd} 在计算输出阻抗时不能被忽

略。下面给出计算功率增益截止频率(或更经常称为最大振荡频率) ω_{\max} 的具体步骤。

首先,输入功率可以简单地计算为

$$P_{\text{in}} = \frac{i_{\text{in}}^2 r_g}{2} \quad (3.1.64)$$

其中, i_{in} 是输入电流的振幅; r_g 是栅极串联电阻,也是输入电路中唯一的耗能元件。

其次,需要得到器件的输出阻抗。在器件的等效电路中令输入端开路($i_{\text{in}}=0$),而在输出端加激励电压。通过求出在输出端的响应(注入)电流,即可得到器件的输出阻抗。依此步骤,可以由如图 3.1.3 所示的等效电路得到输出阻抗的电阻部分为(忽略通过 C_{gd} 的电流对输出端响应电流的贡献)

$$\frac{1}{r_{\text{out}}} = g_{\text{out}} \approx g_m \frac{C_{\text{gd}}}{C_{\text{gd}} + C_{\text{gs}}} = \omega_T C_{\text{gd}} \quad (3.1.65)$$

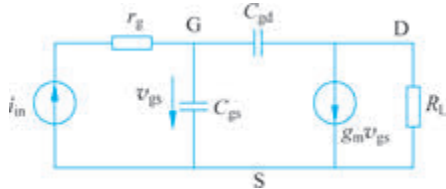


图 3.1.3 用于求 MOS 最大功率增益截止频率的等效电路

而输出端交流短路时的电流增益也可用 ω_T 表示为

$$\left| \frac{i_d}{i_{\text{in}}} \right| \approx \frac{\omega_T}{\omega} \quad (3.1.66)$$

从器件输出端看进去的等效电源中的(受控)电流源电流 ω_T 一半供给负载,另一半则消耗在器件的自身输出阻抗上。因而有

$$\frac{P_L}{P_{\text{in}}} \approx \frac{\frac{1}{2} \left(\frac{1}{2} \frac{\omega_T}{\omega} i_{\text{in}} \right)^2 \frac{1}{\omega_T C_{\text{gd}}}}{i_{\text{in}}^2 r_g / 2} \approx \frac{\omega_T}{4\omega^2 r_g C_{\text{gd}}} \quad (3.1.67)$$

当功率增益为 1 时,相应的频率为

$$\omega_{\max} \approx \frac{1}{2} \sqrt{\frac{\omega_T}{r_g C_{\text{gd}}}} \quad (3.1.68)$$

从上式可以清楚地看到,最大功率增益截止频率与栅电阻有关,因而比 ω_T 更能综合反映器件的高频特性。进一步可以推断,如果 r_g 足够小,那么 ω_{\max} 也可以比 ω_T 大。通过合理地设计版图,可以使栅电阻做得很小,因此 ω_{\max} 可以比 ω_T 大很多。同时应注意,输出电容对 ω_{\max} 并无影响,这是因为总可以将负载调成使输出阻抗的电抗部分完全被抵消。

测量 ω_T 和 ω_{\max} 时需增加频率直到增益有明显的降低,再用外推的办法得到增益为 1 时的频率。截止频率是由外推法得到的,但实际器件并不能工作在这些频率下。通常为了保证器件正常工作,工作频率为 ω_T 的 $1/10 \sim 1/5$ 。

【例 3.1.1】 长沟道器件截止频率与偏置电压、工艺参数和器件尺寸的关系。如果近似认为输入电容主要由 C_{gs} 组成,即 $C_{\text{gd}} \ll C_{\text{gs}}$,应用式(3.1.63)、式(3.1.35)和

式(3.1.50),可以得到

$$\omega_T \approx \frac{g_m}{C_{gs}} \approx \frac{\mu_n C_{ox} (W/L) (V_{GS} - V_{th})}{(2/3)WLC_{ox}} = \frac{3}{2} \frac{\mu_n (V_{GS} - V_{th})}{L^2} \quad (3.1.69)$$

因此,长沟道的 ω_T 反比于沟道长度的平方,而正比于栅极的过驱动电压 $V_{od} = V_{GS} - V_{th} = V_{GS} - V_{th}$ 。

对于短沟道 MOS 器件,漏极电流的饱和是由载流子速度饱和而不是沟道在漏端夹断引起的。由式(3.1.37),得到

$$\omega_T \approx \frac{g_m}{C_{gs}} \approx \frac{(1/2)\mu_n C_{ox} WE_{sat}}{(2/3)WLC_{ox}} = \frac{3}{4} \frac{\mu_n E_{sat}}{L} \quad (3.1.70)$$

可以看到,短沟道 MOS 器件的截止频率不像长沟道器件那样反比于沟道长度的平方,而是反比于沟道长度。同时既不依赖于偏置也不依赖于栅氧化层厚度。当然这些关系只在饱和区成立。由图 3.1.4 可推断,90nm CMOS 技术节点(栅长为 50nm)的器件截止频率已超过 100GHz。

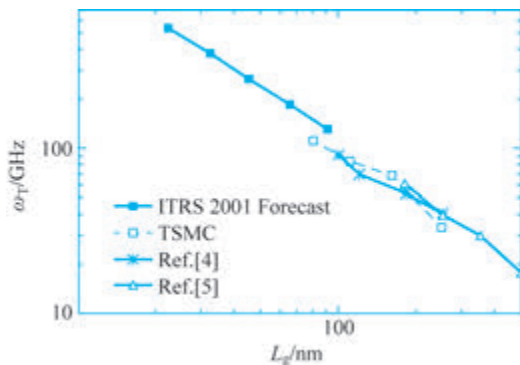


图 3.1.4 CMOS 截止频率与标称栅长的关系

3.1.1.5 非准静态(NQS)现象及模型

迄今为止有关 MOS 物理的讨论,无论是直流还是电荷存储(电容)效应,都是基于准静态(quasi-static)假设,即器件对外部激励的反应都是即时的。可以用一般的数学公式来描述准静态。如果器件的响应以电流表示(如 MOS 器件的漏极电流),外部激励为电压(如 MOS 的栅源偏置),则

$$I(t) = f(V(t)) \quad (3.1.71)$$

其中, f 可以是一个任意函数,而激励 V 则可以是时间的函数。上式指出了这样一个关系,即 V 的变化会立即在 I 上反映出来,它们之间的关系不随时间而变。比如,对 MOS 器件有下列关系成立:

$$i_{DS} = \mu_n C_{ox} \frac{W}{L} \left[(v_{GS} - V_{th}) v_{DS} - \frac{v_{DS}^2}{2} \right] \quad (3.1.72)$$

这里用小写字母加大写下标表示一个依赖于时间的物理量,如漏源间漏极电流 $i_{DS}(t)$, v_{GS} 和 v_{DS} 的变化会立即引起 i_{DS} 的变化,这种关系就称为准静态关系。再给出一个交

流小信号关系的例子。图 3.1.5 是 MOS 最简化的交流等效电路,漏极电流被在栅源电容 C_{gs} 上的压降直接控制。关系为

$$i_{ds} = g_m v_{gs} \quad (3.1.73)$$

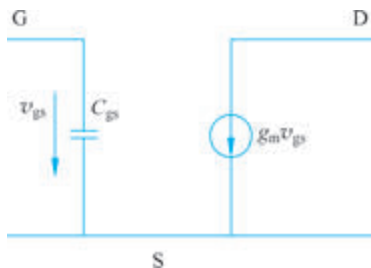


图 3.1.5 最简单的处于饱和区的 MOS 交流小信号电路(交流输出电阻被忽略)

因为外部交流小信号 V_{gs} [注意,大写字母加小写下标表示谐波(harmonic)交流信号,或称为相量,是一个复数,但不是时间的函数]就直接加上。式中, g_m 为跨导,一旦直流偏置确定,就可将其视为常数。但如果在信号源 v_{in} 与栅电极之间存在着一个电阻,则情况就不同了。

$$V_{gs} = \frac{1}{1 + j\omega R_g C_{gs}} V_{in} \quad (3.1.74)$$

I_{ds} 与 V_{in} 在交流小信号上的关系除了依赖于 V_{in} 外,还与频率 ω 有关。转成时域上的关系,即是 $i_{ds}(t)$ 不仅取决于 $v_{in}(t)$,也依赖于 t 。下面来看这种时域中的关系。从流过同一支路电阻和电容的电流相等原理出发,有

$$\frac{v_{in}(t) - v_{GS}(t)}{R} = C_{gs} \frac{dv_{GS}(t)}{dt} \quad (3.1.75)$$

同时假设 $v_{GS}(0^-) = v_{in}(0^-)$ (起始条件为稳态),得到

$$v_{GS}(t) = e^{-t/\tau} \left[\frac{1}{\tau} \int_0^t v_{in}(s) e^{s/\tau} ds + v_{in}(0^-) \right] \quad (3.1.76)$$

其中, $\tau = RC$ 。可见, v_{GS} 不只是 v_{in} 的函数,还显式依赖于 t 。如下的一般关系式:

$$i(t) = f(v(t), t) \quad (3.1.77)$$

称为非准静态关系。注意,在式(3.1.76)中,如果 v_{in} 随时间变化十分缓慢(即处于准静态),以至于 v_{in} 可以提出在积分号外,该式就还原为 $v_{GS}(t) = v_{in}(t)$ 。

有了以上的讨论,我们来看实际的 MOS 器件为什么一般都呈现非准静态特性。下面从交流小信号模型出发讨论。MOS 器件在表面沟道形成后,沿沟道长度方向,在源漏与栅电极之间可以看成是一个分布的一维 RC 网络。如图 3.1.6 所示。注意图中栅电极作为公共电压参考点。图 3.1.6 的不足之处是并没有标出有源器件,而且只针对强反型的情况。一个更一般的表示 MOS 器件沿沟道方向的分布特征的图像是将单一的 MOS 器件表示成若干子器件的串联,如图 3.1.7 所示。为了便于进行量化分析,在沿沟道方向仅取两个相同的 MOS 器件串联,其示意图与等效电路见图 3.1.8。现在来分析这个电路。首先注意到,如果这个电路在终端 D 和 S 间有电流流过,那么 M_1 必须处于线性区。这是因为 M_2 管要导通,其栅源电压必须大于阈值电压,即 $V_{GS,2} = V_{GS} > V_{th}$ (此处不考

考虑衬底偏置对 M_2 阈值电压的影响)。而 $V_{GD,1}$ 亦等于 V_{GX} , 因此 M_1 的漏端不可能夹断。这样 M_1 一定处于线性工作区。图 3.1.8(b) 给出了该结构的一般性交流小信号等效电路。由于 M_1 处于线性工作区, $g_{m1} \approx 0$, 其所属的受控电流源可以视为开路, 而 r_{ds1} 不能视为无穷大。如果原始的 MOSFET 处于饱和工作区, 则 r_{ds2} 所在支路可视为开路 (电阻无穷大), 但 M_2 中的受控电流源则不能忽略 (g_{m2} 有一定的值)。整个分析中重要的部分是无论原始的晶体管处于何种状态 (线性或饱和, 假设为强反型), M_2 的栅源电压对输入的 V_{gs} 信号的反应都要经过一个低通 RC 网络 $r_{ds1} - (C_{sg1} + C_{dg2})$ 的延迟。这就是非准静态 (NQS) 的根本来源。

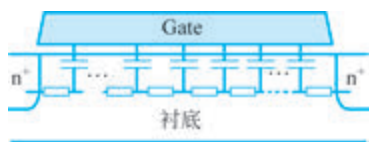


图 3.1.6 MOS 沟道形成之后, 源漏间与栅电极之间的分布 RC 网络



图 3.1.7 MOS 器件表示成沿沟道方向的若干子器件的串联

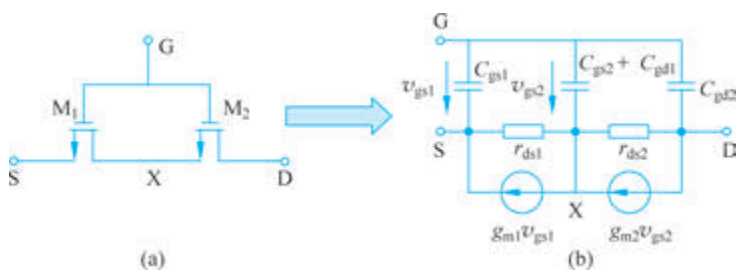


图 3.1.8 MOS 器件表示成沿沟道方向的两个子 MOS 器件的串联

现在来讨论如何对这种非准静态现象建立模型。显然, 将单个晶体管分成几个晶体管串联的方法对大规模的电路进行模拟是行不通的, 因为这样做会大大增加需模拟电路的节点数。比较实用的方法是用最少的附加元件将 NQS 现象定量地近似出来。下面介绍 BSIM3 中的 NQS 模型。该模型的本质就是引入人为的栅极电阻, 通过栅电阻与 C_{gs} 、 C_{gd} 形成的 RC 支路来模拟因沟道靠近源端部分分布电阻、电容网络引起的栅源端输入信号到实际影响 MOSFET 的本征栅源电容两端的压降延迟。具体的等效电路如图 3.1.9 所示, MOS 器件的交流小信号分析如图 3.1.10 所示。注意, 新增加的两个电阻 (互相相同) 是加在外部栅极和器件的内部节点上的, 因而整个模型较原来增加了两个电路节点。 R_s 、 R_d 是源/漏区的串联电阻, 是直流电阻。 r_{ds} 、 g_m 是交流小信号参数, 其值取决于晶体管的直流偏置。 R_{Elmore} 是交直流等效电阻, 用来模拟 NQS 效应, 其值也由直流偏置决定。其表达式为

$$R_{Elmore} = \frac{L}{\alpha W Q_{ch}} = \frac{L}{\alpha W C_{ox} (V_{GS} - V_{th})} \quad (3.1.78)$$

式中, α 通常取 3。为了区分外部与内部节点的差别, 用大写英文字母表示晶体管的外部节点。由式 (3.1.78) 可见, NQS 效应的栅极电阻与沟道长度成正比。如果沟道长度足够短 (相对单位长度沟道反型电荷而言), 则该修正电阻可以忽略。下面说明这种模型的有

效性。正确的结果是通过将原始的 MOSFET 分成 4 个子晶体管的串联,然后进行交流小信号分析。

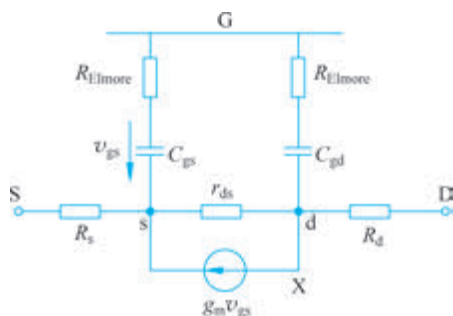


图 3.1.9 MOS 器件的非准静态模型等效电路

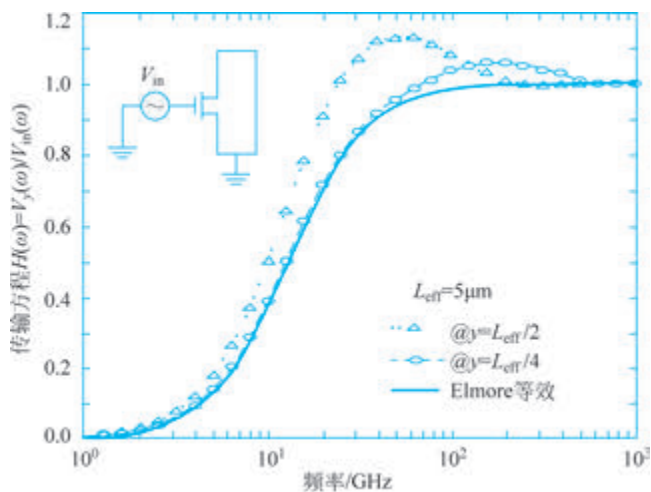


图 3.1.10 MOS 器件的交流小信号分析：非准静态模型等效电路与串联子器件的比较

3.1.1.6 MOS 非本征模型

本节主要考虑与射频电路应用有关的分布栅极 RC 等效电路模型及衬底电阻网络模型。

1. 栅极分布电阻、电容网络模型

在高频工作下,由栅极金属接触(欧姆接触)到沟道有源区上方的栅极(通常由重掺杂的多晶硅层形成)各处的电阻不能忽略。这个分布的电阻网络又通过分布的栅电容(gate capacitance)在栅极与沟道电阻(也是一个分布网络)之间形成 RC 网络,如图 3.1.11 所示。实际的 MOS 集约(compact)模型,不可能采用这种 RC 分布网络(元件太多),必须进行简化。

通常采用一个集总栅极电阻 R_g 直接接到本征晶体管道的栅极就可以得到足够的精度。文献[5]中提出了如下公式:

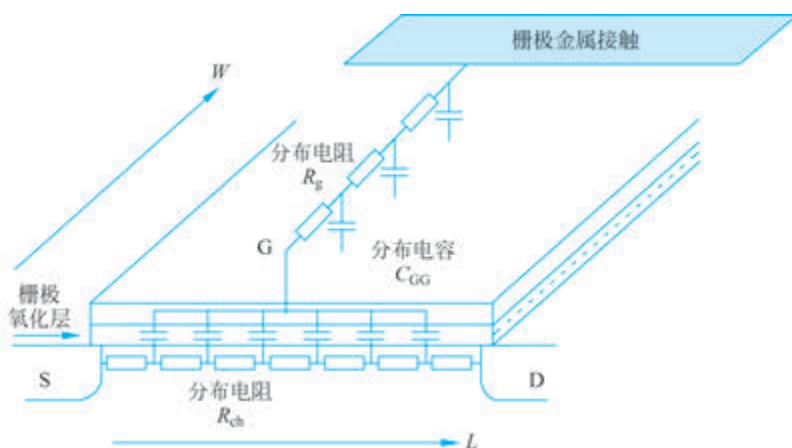


图 3.1.11 栅极分布电阻、电容网络模型

$$R_g = \frac{R_{\square g}}{N_f L_f} \left(W_{\text{ext}} + \frac{W_f}{\alpha} \right) \quad (3.1.79)$$

式中假定单个晶体管具有多指版图结构,即每个指都是一个全同的 MOSFET,然后将每个指的栅极金属接触并联起来。将单指的栅宽、栅长分别记为 W_f 、 L_f ,并记指的个数为 N_f ,则得到式(3.1.79)。在式(3.1.79)中, $R_{\square g}$ 是栅极层(如上提及,多为多晶硅层)的方块电阻(典型值为 $(5 \sim 10) \Omega/\square$), W_{ext} 是栅极延伸在有源区以外的额外栅宽。 α 则依据版图的不同设计可取 $1/3$ 或 $1/12$ 。

考虑到 NQS(非准静态)效应(该效应是由于沟道电阻的分布特征所引起的,此处不作详细讨论),在上述非本征栅串联电阻上还要加上一个依赖于栅偏置电压和版图结构的串联电阻,记为

$$R_g = R_{\text{poly}} + R_{\text{NQS}} \quad (3.1.80)$$

式中, R_{poly} 即取式(3.1.79)的表达式。

2. 衬底电阻分布网络

在射频 CMOS 电路中,衬底的分布电阻不再能忽略。加在漏端的信号可以通过漏区-衬底结电容及衬底电阻网络耦合到栅、源端上。本节给出衬底电阻的电路模型。图 3.1.12 是衬底分布电阻等效电路,其中包括源/漏区与衬底之间的结电容。衬底分布电阻对器件特性的影响主要是改变从漏端看进去的输出电阻,其影响程度可高达 20% (减小输出阻抗)。在图 3.1.12 中,

$$R_{\text{DSB}} = \frac{R_{\square, B} L_f}{N_f W_f} \quad (3.1.81)$$

$$R_{\text{DB}} = \frac{r_{\text{dbw}}}{N_f W_f} \quad (3.1.82)$$

$$R_{\text{SB}} = \frac{r_{\text{sbw}}}{N_f W_f} \quad (3.1.83)$$

其中, r_{dbw} 与 r_{sbw} 分别是单位栅宽下与漏、源区接触的衬底电阻。

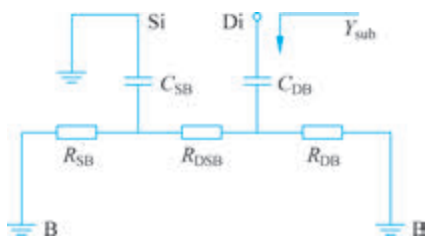


图 3.1.12 衬底分布电阻网络模型

3.1.1.7 MOS 高阶效应及其 BSIM 模型

本节列出在前述 MOS I - V 、 C - V 基本特性中不曾涉及的高阶效应及其在 BSIM 中的模型。

1. 多晶硅栅耗尽效应

将多晶硅作为栅极区的理想材料,主要是因为多晶硅可以实现 MOS 器件制造的自对准工艺,掺杂浓度也可很高(约 10^{20} atom/cm³)。但是这样的掺杂浓度(或载流子浓度)在栅极区靠近栅介质层处仍然会产生耗尽区,如果栅电压是使 MOS 器件强反型的偏置。这个现象称为多晶硅栅耗尽(polygate-depletion)。以 nMOS 为例,当 $V_{GS} > V_{th}$ 时,这个栅极区与栅介质层界面处的耗尽区呈正电(N_D^+ 是正离子)。因为栅极接触处的电场为零,由高斯定理可知,上述界面处的电场是由栅极指向衬底的。由此,这个栅极耗尽区的电压降是从栅极到栅介质层。实际加在栅介质层(顶部)与沟道(或源端)的电压就要比外加的 V_{GS} 要小。多晶硅栅耗尽对器件的 I - V 、 C - V 特性都有影响。其对 I - V 特性的影响通过上述的电压降体现,可以建模为下述方式之一:

① 有效的 V_{GS} 减小;

② 阈值电压 V_{th} 升高(或等效地平带电压升高)。对 C - V 特性的影响则因为栅耗尽区的有限宽度得以体现,可以视作等效的栅介质层厚度增加或等效栅电容减小。在 BSIM3/BSIM4 中这两个效应(电压降,耗尽区宽度)统一由有效 V_{GS} 的减小来建模,以尽可能简化模型的复杂度(栅电压减小,在某种程度上也反映了栅电容的减小)。公式如下:

$$\begin{cases} V_{GS,eff} = V_{GS} - V_{poly} \\ V_{poly} = \frac{10^6}{2} q \epsilon_0 \epsilon_{si} \times N_{GATE} \times C_{ox}^2 \left[\sqrt{1 + \frac{2}{10^6} \frac{V_{GS} - V_{FB} - 2\phi_B}{q \epsilon_0 \epsilon_{si} \times N_{GATE} \times C_{ox}^2}} - 1 \right]^2 \end{cases} \quad (3.1.84)$$

式中,参数 N_{GATE} 是多晶硅栅区的掺杂浓度(更准确地说,是激活的掺杂浓度),单位是 atom/cm³。其典型值对 nMOS 是 6×10^{19} ,对 pMOS 是 1×10^{19} 。 V_{poly} 的值在 BSIM4 中被限制为 $0 \sim 1.12$ V(硅的禁带宽度)。当 $N_{GATE} < 10^{18}$ 时, V_{poly} 设为 0(没有多晶硅栅耗尽效应)。

2. 衬底表面(垂直沟道方向)量子力学效应

对于高掺杂的衬底(或强垂直沟道方向的表面电场),在衬底表面由于量子力学效应

会使反型层载流子分布的最大值偏离表面(量子力学要求在势垒存在处波函数的值,即载流子浓度消失或减小)。这可以等效地看作栅介质层厚度增加(栅电容减小)。在BSIM4中,这被建模为

$$C_{\text{ox,eff}} = (C_{\text{ox}} // C_{\text{qm}}) \quad (3.1.85)$$

$$C_{\text{qm}} = \frac{\epsilon_0 \epsilon_{\text{si}}}{t_{\text{qm}} \times 10^{-7}} \quad (3.1.86)$$

$$t_{\text{qm}} = \begin{cases} 1.9\text{nm} \times \{1 + 5 \times [V_{\text{GS,eff}} - V_{\text{th}} + 4 \times (V_{\text{THO}} - V_{\text{FB}} - 2\phi_{\text{B}})] / t_{\text{ox}}\}^{-0.7}, & V_{\text{THO}} - V_{\text{FB}} - 2\phi_{\text{B}} \geq 0 \\ 1.9\text{nm} \times [1 + 5 \times (V_{\text{GS,eff}} - V_{\text{th}}) / t_{\text{ox}}]^{-0.7}, & \text{其他} \end{cases} \quad (3.1.87)$$

式中, t_{qm} 、 t_{ox} 的单位是nm。

3. 栅介质层隧穿效应

栅介质(通常是 SiO_2)层在栅极与衬底沟道间对载流子形成一个势垒(SiO_2 -Si,对电子约为3.5eV,对空穴约为4.3eV)。但是,当栅介质层厚度变小时(在130nm CMOS技术节点,这个厚度约为1.2nm),通过这个势垒的量子力学直接隧穿的概率会急剧增加(按指数规律),尽管其绝对值仍然会比较小。直接隧穿电流与势垒高度和厚度的依赖关系为

$$I_{\text{dt}} \propto \exp\left(-2d \sqrt{\frac{2m^* q\Phi_{\text{B}}}{\hbar^2}}\right) \quad (3.1.88)$$

其中,下标dt表示direct tunneling, d 和 Φ_{B} 分别表示势垒的厚度和高度, m^* 是载流子在栅介质层中的有效质量。由式(3.1.88)可见,栅极隧穿电流随栅介质层的厚度减小按指数规律增加。在BSIM4中,栅极隧穿电流 I_{Gt} 进入硅衬底后分成3个分量,分别是栅极与源极、漏极及衬底接触之间的电流

$$I_{\text{Gt}} = I_{\text{GSt}}(V_{\text{GS}}, V_{\text{DS}}) + I_{\text{GDt}}(V_{\text{GD}}, V_{\text{DS}}) + I_{\text{GBt}}(V_{\text{GB}}) \quad (3.1.89)$$

上式列出了各电流分量对相应偏置的依赖关系。

4. 碰撞电离衬底电流

在MOS器件的沟道漏端,衬底中的电场会变得很强,而且是二维分布(即不只是沿沟道方向)。沟道载流子在连续两次散射之间可以得到足够的能量以造成碰撞电离(impact ionization)而产生电子-空穴对。对nMOS而言,产生的空穴被衬底接触收集,而电子则流向漏极区。这样就会在漏极与衬底间形成电流。此时总的漏极电流变为

$$I_{\text{D}} = I_{\text{DS}} + I_{\text{DB}} \quad (3.1.90)$$

从上述的衬底电流形成的物理机制可以推测IDB应该正比于IDS。在BSIM3中,衬底电流被建模为

$$I_{\text{DB}} = \left(\frac{\text{alpha0}}{L} + \text{alpha1}\right) (V_{\text{DS}} - V_{\text{DS,eff}}) \exp\left(-\frac{\text{beta0}}{V_{\text{DS}} - V_{\text{DS,eff}}}\right) I_{\text{DS}} \quad (3.1.91)$$

式中, α_0 、 α_1 和 β_0 是 3 个新引入的拟合参数。

衬底电流对 MOS 器件性能的不利影响包括在漏极与地(衬底通常接地)之间引入了一个附加的电导项,这会降低晶体管的增量输出电阻。在模拟和混合信号电路的设计中尤其不希望出现这种情况。这个衬底电流与沟道长度有关:沟道长度越短,衬底电流越大。

5. 栅极诱发漏极电流机制

另一个 MOS 器件的关态工作区域,即 $V_{GS} < 0$ 或 $V_{GD} < 0$ (对 nMOS 而言),近来引起了人们的普遍关注。这主要是与低电场条件下的漏极电流有关。当 $V_{DS} > 0$ 而 V_{GS} 不断变负时,实验观察到漏极电流与衬底电流同时增加,且幅度基本一样,如图 3.1.13 所示。这说明在漏极与衬底之间存在着另一种漏电机制。根据理论和实验结果分析,可确定此漏极电流是由所谓的 GIDL(Gate-Induced-Drain-Leakage)机制造成的。其原理简单描述如下。

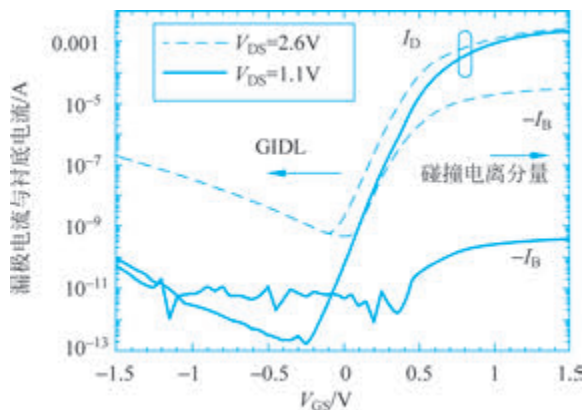


图 3.1.13 $V_{GS} < 0, V_{DS} > 0$ 时的漏极电流与衬底电流。由于它们的大小大致相等,因此可以推测在漏极与衬底接触之间有一漏极电流存在(GIDL)

在栅极与漏区交叠的部分,如 $V_{GD} < 0$,会在 n+ 的漏区表面形成耗尽层(反向偏置)。尽管因为漏区的掺杂浓度很高,且这个耗尽层的厚度很薄,但该区域沿沟道方向的电场在漏极与衬底 pn 结区会变得很强(注意,这是二维电场分布,或称栅极感的横向电场增强)。导致了 pn 结的反向隧穿电流增大。这个隧穿电流可以由带-带隧穿(band-to-band tunneling, 或 BBT)或/和陷阱协助隧穿(Trap-Assisted Tunneling, TAT)引起。这种由隧穿产生的电子-空穴对同样会造成漏极与衬底接触之间的漏极电流。GIDL 这种漏电机制对沟道长度并不敏感,但在 LDD(Lightly-Doped Drain)结构中比较重要,因为栅漏交叠区较长。在深亚微米(约 $0.25\mu\text{m}$)器件中,对低电压应用 GIDL 也相对比较重要,因为其他漏电机制在低电压低电场时变得不显著,而 GIDL,尤其是 TAT 引起的 GIDL 却不会因电场小而减小很多。

在 BSIM4 中,漏极电流中的 GIDL 分量以下式建模:

$$I_{D_{\text{gidl}}}(V_{DS}, V_{GS}, V_{BS}) = NF \times A_{\text{gidl}} \times W \times \frac{V_{DS} - V_{G\text{seff}} - E_{\text{gidl}}}{3 \times t_{\text{ox}}} \times$$

$$\exp\left(\frac{-3 \times t_{\text{ox}} \times B_{\text{gidl}}}{V_{\text{DS}} - V_{\text{GSeff}} - E_{\text{gidl}}}\right) \times \frac{V_{\text{DB}}^3}{C_{\text{gidl}} + V_{\text{DB}}^3} \quad (3.1.92)$$

式中, NF 是多指(栅极)晶体管的栅指数目, 4 个拟合系数的含义和默认值分别为:

(1) A_{gidl} —— I_{Dgidl} 指数前的系数, 单位是 Ω^{-1} , 1 表示考虑 GIDL, 0 表示忽略 GIDL。

(2) B_{gidl} —— I_{Dgidl} 表达式中的指数项系数, 默认值为 2.3×10^9 (V/m)。

(3) C_{gidl} —— I_{Dgidl} 中的衬底偏置参数, 默认值为 0.5 (V³)。

(4) E_{gidl} ——最小的能带弯曲量, 默认值为 0.8 (V)。

对漏极与衬底间的漏极电流来说, 如果不考虑反向偏置的 DB-pn 结电容的漏极电流, 则当 $V_{\text{GS}} < V_{\text{th}}$ 时以 GIDL 分量为主, 当 $V_{\text{GS}} > V_{\text{th}}$ 时以碰撞电离分量为主。式(3.1.92)表明 GIDL 不依赖于沟道长度, 且其大小主要由 V_{DG} 决定。

6. 因衬底局部增强注入引起的阈值电压增加模型

衬底局部增强注入(pocket implantation)是减少短沟道 MOS 器件关态漏电流的有效措施。其方法是在衬底沟道区下方靠近源漏区附近用斜角离子注入的方法将衬底掺杂浓度局部增高, 以减小源漏之间的电力线在衬底内部穿通的可能性。这种衬底掺杂分布的变化带来了两个后果: 一是阈值电压升高; 二是阈值电压对漏源电压的依赖性增强。BSIM4 引入了两个参数并用如下公式建立模型:

$$V_{\text{th}} \leftarrow V_{\text{th}} + \Delta V_{\text{th, pocket, mplant}}$$

式中,

$$\Delta V_{\text{th, pocket, mplant}} = nV_{\text{T}} \ln \left[\frac{L}{L + \text{dvtp}_0 (1 + \exp(-\text{dvtp}_1 \times V_{\text{DS}}))} \right] \quad (3.1.93)$$

式中, n 是理想(ideality)因子, dvtp_0 和 dvtp_1 是两个拟合系数。

前面深刻分析了 MOS 晶体管的各种模型, 接下来对于无源元件进行分析。

3.1.2 电阻

电阻是一类非常常见的无源元件, 在集成电路中得到了广泛应用。它的阻值可以粗略估计为

$$R = R_{\square} \frac{L}{W} \quad (3.1.94)$$

其中, R_{\square} 为电阻条的方块电阻; L 、 W 分别为电阻条的长度和宽度, 它们的比值称为该电阻条的方块数。式(3.1.94)仅是对电阻条实际阻值的一个粗略估计。由于电阻条存在引出端, 长电阻条存在拐角, 扩散区电阻还存在横向扩散, 因此要根据实际情况对式(3.1.94)给出的阻值进行修正。

1. 端头修正

因为在端头处电力线会发生弯曲, 而且从引线孔流入的电流, 绝大部分是从引线孔正对着电阻条的一边流入, 因此要对式(3.1.94)给出的阻值进行修正, 称为端头修正, 并引入端头修正因子 k_1 来表示整个端头对电阻总方块数的贡献。根据电阻条的宽度和端

头形状, k_1 取值为 $0 \sim 0.9$ 。

2. 拐角修正

某些电阻的阻值很大, 在设计版图时, 需要将它们设计成如图 3.1.14 所示的折叠形式, 这时拐角处的电力线是不均匀的, 需要引入拐角修正因子 k_2 对式(3.1.94)给出的阻值进行修正。对于如图 3.1.14 所示的直角弯头, 每个拐角对总电阻方块数的贡献约为 0.5, 即 $k_2 = 0.5$ 。

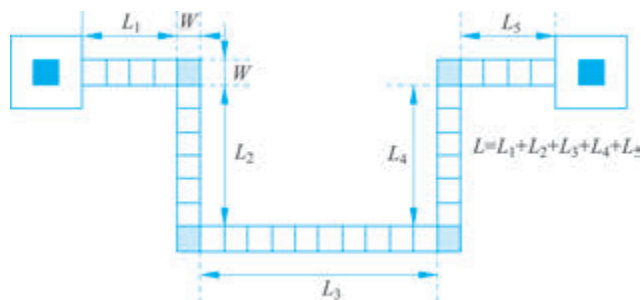


图 3.1.14 有拐角的电阻

3. 横向扩散修正

对于扩散区电阻来说, 由于存在横向扩散, 电阻条的有效宽度与版图设计时的宽度不一样, 需要引入横向扩散修正因子 m 对式(3.1.94)进行修正。修正后的电阻条有效宽度为

$$W_{\text{eff}} = W + m \cdot x_{\text{jc}} \quad (3.1.95)$$

其中, x_{jc} 为扩散区的结度。端头修正因子 m 的取值一般为 0.55。

考虑到以上修正因素后, 集成扩散区型电阻条阻值的计算公式为

$$R \approx R_{\square} \left(\frac{L}{W + m \cdot x_{\text{jc}}} + 2k_1 + nk_2 \right) \quad (3.1.96)$$

其中, n 为拐角的数目。非扩散区型电阻条阻值的计算公式为

$$R \approx R_{\square} \left(\frac{L}{W} + 2k_1 + nk_2 \right) \quad (3.1.97)$$

二者之间的差别在于非扩散区型电阻条不会发生横向扩散, 因此不需进行横向扩散修正。

在 CMOS 工艺中, 常见的集成电阻条类型包括硅化多晶电阻、非硅化多晶电阻、硅化扩散区电阻、阱电阻和互连线电阻, 它们的特点总结于表 3.1.3 中。

表 3.1.3 常见的电阻条类型

| 电阻条类型 | 方块电阻 | 阻值范围 | 电阻精度 | 温度系数 | 寄生效应 |
|---------|----------------------------------|--------|------------------|---|------------------------|
| 硅化多晶电阻 | $(5 \sim 10) \Omega / \square$ | 低阻值电阻 | 35% | 1000ppm/ $^{\circ}\text{C}$ | 寄生电容小, 电压系数低 |
| 非硅化多晶电阻 | $(50 \sim 500) \Omega / \square$ | 中等阻值电阻 | 50% | 1000ppm/ $^{\circ}\text{C}$ | 寄生电容小, 电压系数低 |
| 硅化扩散区电阻 | $(5 \sim 20) \Omega / \square$ | 低阻值电阻 | $(10 \sim 20)\%$ | $(500 \sim 1000) \text{ppm}/^{\circ}\text{C}$ | 寄生电容大, 电压系数大, pn 结可能正偏 |

续表

| 电阻条类型 | 方块电阻 | 阻值范围 | 电阻精度 | 温度系数 | 寄生效应 |
|----------|-------------------------------|--------|----------|------------------------------------|---------------------|
| 非硅化扩散区电阻 | (50 ~ 500) Ω/\square | 中等阻值电阻 | | 1000ppm/ $^{\circ}\text{C}$ | 寄生电容大,电压系数大,pn结可能正偏 |
| 阱电阻 | (1~10)k Ω/\square | 高阻值电阻 | (50~80)% | (3000~5000)ppm/ $^{\circ}\text{C}$ | 寄生电容大,电压系数大,pn结可能正偏 |
| 互连线电阻 | (20 ~ 100) m Ω/\square | 极低阻值电阻 | | 3900ppm/ $^{\circ}\text{C}$ (Al) | 寄生电容小,电压系数低 |

此外,工作于线性区的 MOS 晶体管也可以作为一个电阻。在一阶近似下,工作于线性区的长沟 MOS 晶体管的沟道电阻为

$$r_{ds} \approx \left\{ \mu C_{ox} \frac{W}{L} [(V_{GS} - V_T) - V_{DS}] \right\}^{-1} \quad (3.1.98)$$

其中, μ 为载流子迁移率, C_{ox} 为单位面积栅氧化层电容, W 、 L 分别为晶体管的沟道宽度和沟道长度, V_{GS} 、 V_{DS} 分别为晶体管的栅源电压和漏源电压, V_T 为晶体管的阈值电压。MOS 晶体管作电阻具有两个优点:第一,单位面积电阻的阻值很高,实现大电阻时可以节省芯片面积;第二,电阻的阻值可以由 V_{GS} 来控制,某些电路利用这种特性可以实现自动增益控制。但从式(3.1.98)可以看出,这种电阻与 V_{GS} 、 V_{DS} 都有关系,是一类非线性电阻;这种电阻还会受到载流子迁移率和晶体管阈值电压的影响,因此电阻精度很低,温度系数也高。这些缺点使得 MOS 晶体管作为电阻的应用受到限制,但采用某些电路设计技术(如线性化技术、片上自校准技术等)后,这种类型电阻的性能可以得到大幅提高。

3.2 片上集成电容

电容是一种常见的无源元件。在 CMOS 工艺中,常见的电容类型包括 pn 结电容、MOS 电容、MIM 电容、多晶硅电容和互连线电容等。pn 结电容完全和标准数字 CMOS 工艺兼容,它可由 n 型有源区和 p 型衬底、p 型有源区和 n 阱、n 阱和 p 型衬底构成。pn 结电容的电容量会随外加电压的变化而变化。当 pn 结反偏时,电容量可用下式表示:

$$C_j \approx \frac{C_{j0}}{(1 - V_F/\varphi)^n} \quad (3.2.1)$$

其中, C_{j0} 为 pn 结零偏时的电容量, V_F 为 pn 结上的正向电压, φ 为 pn 结的内建电势, n 为与掺杂情况相关的参数(当 pn 结为突变结时, $n \approx 1/2$; 当 pn 结为缓变结时, $n \approx 1/3$)。当 pn 结正偏时, pn 结电容实际上是一个扩散电容,电容量为零偏时电容量的 2~3 倍。MOS 电容是由金属(或者多晶硅)、氧化层和衬底构成的电容。在标准数字 CMOS 工艺中,MOS 晶体管的栅电容即是 MOS 电容,故 MOS 电容与标准数字 CMOS 工艺兼容。MOS 电容的单位面积电容量较大(1~5fF/ μm^2),一般用来实现大电容量的集成电容。但 MOS 电容的电容量会随所加栅压的变化而变化,如图 3.2.1 所示。当栅压由小到大

变化时, MOS 电容会经历积累区、耗尽区、弱反型区、中等反型区和强反型区 5 个工作区域。在积累区, 氧化层下的衬底表面会积累一薄层高浓度的载流子(与衬底掺杂类型相同), 使得 MOS 电容上的电压变化所导致的电荷变化主要集中于衬底表面, 因此, 这时的 MOS 电容与普通的平行板电容器具有相同的特性。若假设氧化层厚度为 d_i , 氧化层相对介电常数为 ϵ_i , 则 MOS 电容的电容量为

$$C_i = \frac{\epsilon_0 \epsilon_i}{d_i} \quad (3.2.2)$$

在耗尽区, MOS 电容由氧化层电容 C_i 和衬底中的耗尽层电容 C_D 串联而成, 即

$$\frac{1}{C} = \frac{1}{C_i} + \frac{1}{C_D} = \frac{d_i}{\epsilon_i \epsilon_0} + \left(\frac{\epsilon_i \epsilon_0 e N_A}{2V_S} \right)^{-1/2} \quad (3.2.3)$$

式中, ϵ_i 为衬底的相对介电常数; N_A 为耗尽层的电荷密度; V_S 为 MOS 电容的表面势, 它与所加偏压有关。当外加偏压增加时, MOS 电容的电容量会减小。但当外加偏压增加到一定程度后, MOS 电容将进入反型区, 这时电容量又将随外加偏压的升高而升高。当外加偏压大于 MOS 电容的阈值电压时, MOS 电容进入强反型区, 在氧化层下的衬底中形成一个高浓度的反型层, 这时 MOS 电容上的电压变化所导致的电荷变化又主要集中于衬底表面, 单位面积的电容量回到 C_i 。在实际应用中, 一般将 MOS

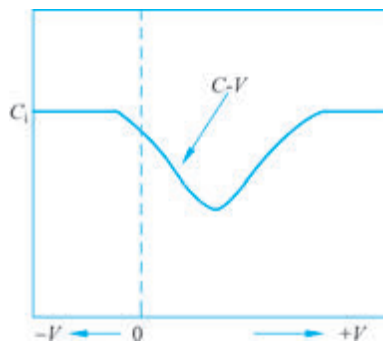


图 3.2.1 MOS 电容的理想 C-V 曲线

电容偏置于强反型工作区, 这时可以得到最大的电容密度。在某些 CMOS 工艺中, 可能还会提供 MIM(Metal-Insulator-Metal) 电容。这种电容实际上是一个平行板电容器, 它一般由最顶层金属和插在最上面两层金属之间的特殊金属层(该金属层只能用来构成 MIM 电容, 不能用作互连线)构成, 如图 3.2.2 所示, 两金属层距离很近, 中间填充高介电常数的介质, 因此 MIM 电容的电容密度很大, 寄生效应也小, 是一类性能非常优良的电容器。但由于 MIM 电容需要特殊工艺, 与标准数字 CMOS 工艺并不兼容。某些 CMOS 工艺可能还会提供双层多晶硅, 这时也可以利用双层多晶硅来形成高质量、高密度的电容器, 与 MIM 电容一样, 双层多晶硅电容也与标准数字 CMOS 工艺不兼容。

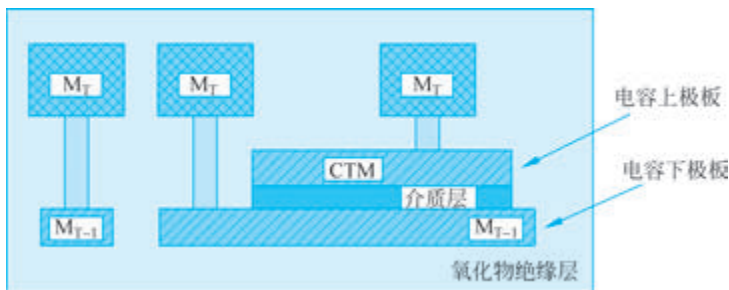


图 3.2.2 MIM 电容的结构

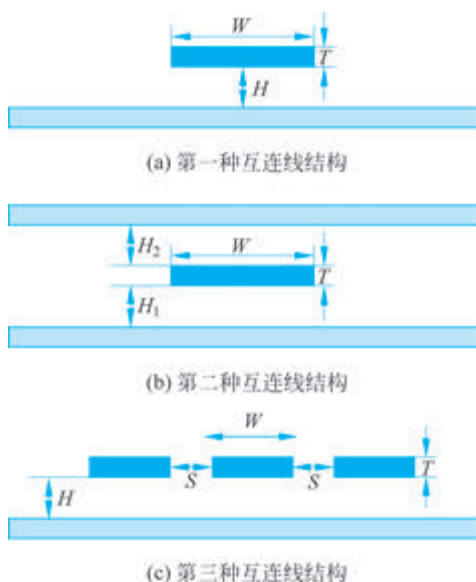


图 3.2.3 3 种互连线结构

一种常被忽略的电容是互连线的寄生电容。当工作频率较低时,互连线的 RC 延迟对电路的性能影响很小;但当工作频率升高时,时钟周期缩短,互连线的 RC 延迟对电路性能的影响就开始显现出来。为了准确地估计电路的性能,就必须将互连线的 RC 延迟考虑进去,这时就有必要计算互连线的寄生电容。图 3.2.3 给出了计算互连线的寄生电容时可能遇到的 3 种结构。在第一种结构中,一个无限大的导体平面上有一根互连线(见图 3.2.3(a))。该互连线的单位长度寄生电容量可用经验公式来计算,而互连线的寄生电阻则随着 W 的增大按比例下降,故增大互连线的宽度可以减小互连线的 RC 延迟。

在第二种结构中,两个无限大的导体平面之间有一根互连线(见图 3.2.3(b))。由于互连线边缘场的幅度没有变化,仅进行了重新分布,故这根互连线的寄生电容不是它与两个导体平面的寄生电容的简单叠加。可以使用下面的公式来计算这根互连线的单位长度寄生电容:

$$C \approx \epsilon \left[W \left(\frac{1}{H_1} + \frac{1}{H_2} \right) + 0.77 + 0.891 \left[\left(\frac{W}{H_1} + \frac{W}{H_2} \right)^{0.25} + \left[\left(\frac{T}{H_1} \right)^2 + \left(\frac{T}{H_2} \right)^2 \right]^{0.25} \right] \right] \quad (3.2.4)$$

其中, H_1 、 H_2 为互连线与两个导体平面的距离。式(3.2.4)可以这么理解:总寄生电容由平行板电容和边缘电容两部分组成,平行板电容是互连线与两个导体平面之间的平行板电容的简单叠加,而边缘电容则是互连线与两个导体平面之间的边缘电容的指数平均($f(x_1, x_2) = \left[\frac{x_1^n + x_2^n}{2} \right]^{1/n}$, 其中, $n=4$)。

在第三种结构中,一个无限大的导体平面上有多根互连线(见图 3.2.3(c))。中间一根互连线与两边的互连线之间都有耦合电容,考虑到这一点,可以将中间那根互连线的单位长度寄生电容表示为

$$C = C_{\text{single}} + 2C_{\text{mutual}} \quad (3.2.5)$$

其中,

$$C_{\text{single}} \approx \epsilon \left[\frac{1.15W}{H} + 2.8 \left(\frac{T}{H} \right)^{0.222} \right] \quad (3.2.6)$$

$$C_{\text{mutual}} \approx \epsilon \left[\frac{0.03W}{H} + 0.83 \frac{T}{H} - 0.07 \left(\frac{T}{H} \right)^{0.222} \right] \left[\frac{S}{H} \right]^{-1.34} \quad (3.2.7)$$

S 为互连线的间距。

也可以利用互连线之间的寄生电容来构成高线性度的金属电容,最常用的结构是采

用如图 3.2.4 所示的“夹心”电容结构,总电容是各层金属之间的平行板电容之和,最底层金属与衬底之间的电容 C_1 是金属电容的寄生效应。这种电容具有很高的线性度,在需要高线性度、小电容量的电容时,可以考虑使用这种电容。

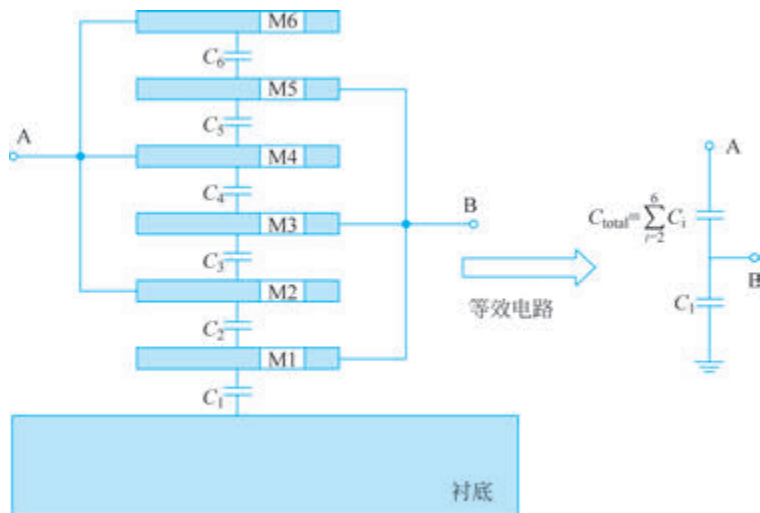


图 3.2.4 “夹心”金属电容

3.3 片上集成电感

在射频集成电路中,电感是一种很重要的无源元件,图 3.3.1 给出了电感的典型应用。图 3.3.1(a)中电感和电容一起组成窄带阻抗匹配网络,将第二级放大器的输入阻抗变换到与第一级放大器的输出阻抗匹配,这类匹配网络可以应用于低噪声放大器、功率放大器、混频器等需要阻抗匹配的电路中;图 3.3.1(b)中电感和电容一起形成谐振网络,给共源放大器提供负载,与电阻负载相比,谐振负载引入的噪声小,功耗低,提供的负载量大,并且具有一定的滤波作用;图 3.3.1(c)中电感作为串联反馈元件,与源筒并电阻相比,使用源筒并电感引入的噪声小,不会降低晶体管的电压摆幅,而且还可以在放大器的输入端实现阻抗匹配功能;图 3.3.1(d)中电感和电容一起组成低通滤波器,与有源滤波器相比,无源滤波器的工作频率高,动态范围大,噪声小,功耗低。

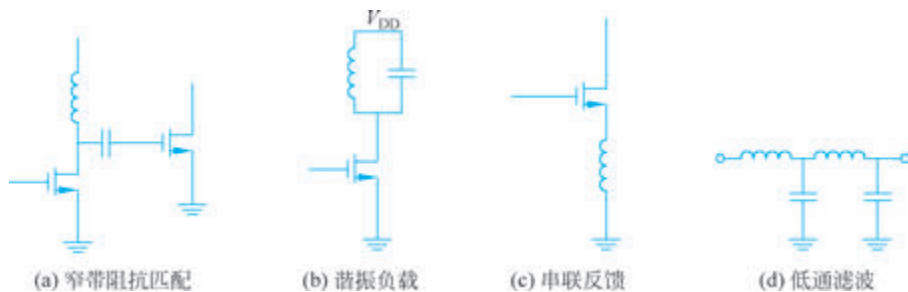


图 3.3.1 射频集成电路中电感的典型应用

射频集成电路中常用的电感可以分为两种类型：片上平面螺旋型电感和键合线电感。前者由金属连线在硅衬底上一圈圈绕制而成，由于受到衬底损耗和金属线寄生阻抗的影响，片上平面螺旋型电感的品质因子都不高（一般小于 10）；后者是利用芯片封装时的键合线来形成电感，这类电感的品质因子很高（50~100），但电感量难以精确控制。除无源电感外，还可以利用有源电路来合成等效电感，但有源电感存在噪声大、失真严重、功耗大等缺点，只能应用于某些对性能要求不高的应用中。

3.3.1 片上平面螺旋型电感

片上平面螺旋型电感是由金属连线在硅衬底上一圈圈绕制而成的，最简单的结构如图 3.3.2(a)所示，这是最普遍支持的版图格式；在一些非 90°拐角的版图设计工具的支持下，也可以采用如图 3.3.2(b)所示的正六边形结构和如图 3.3.2(c)所示的正八边形结构；图 3.3.2(d)给出了一种理想圆形电感结构，一般来说，理想圆形结构的电感具有更高的品质因子，但绝大多数的版图设计工具并不支持这种格式，只能采用正六边形、正八边形等形状来近似；为了在硅衬底上制作电感，工艺应至少能够提供双层金属走线：一层金属走线形成螺旋型电感（一般用最顶层金属线），另一层金属走线将中心的电感端头引到电感外，以便与其他电路实现连接。但在对电感的品质因子要求不高的情况下，也可用多晶硅层来将中心的电感端头引出。

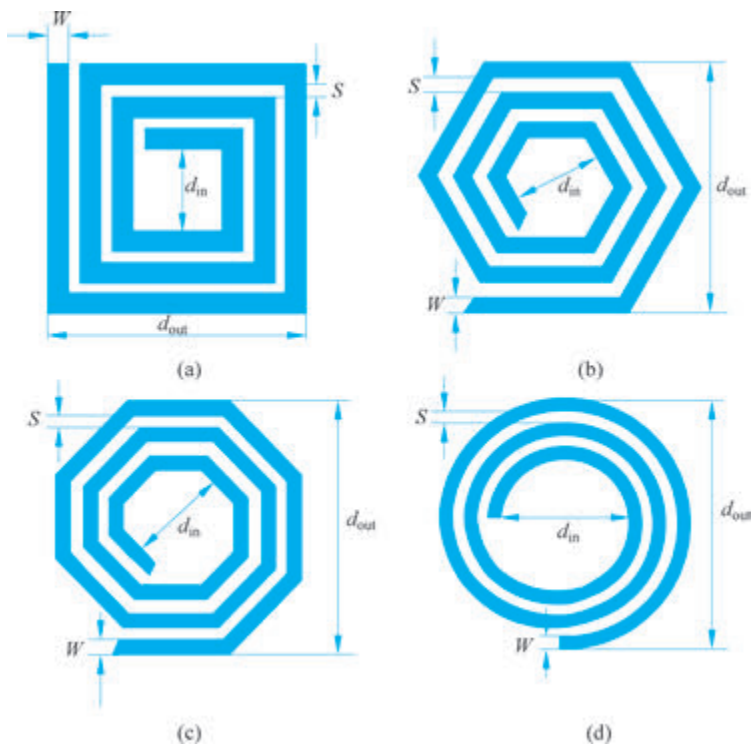


图 3.3.2 片上平面螺旋型电感的结构

采用标准 CMOS 工艺实现的片上平面螺旋型电感的品质因子都较小,一般在 10 以下,这是因为片上电感存在各种非理想因素。这些非理想因素包括:

(1) 形成电感的金属线有限的电导率引起的损耗,高频时由于趋肤效应和其他磁场效应,使得这种损耗更加严重。

(2) 高频时非绝缘的衬底和电感之间的电磁场相互作用引起的损耗。在现在的标准 CMOS 工艺中,衬底的电阻率一般都很低,衬底损耗将成为限制片上电感质量的主要因素。

(3) 金属层和衬底之间存在寄生电容,形成电感的金属线之间也有边缘电容,这些电容限制了片上电感的自谐振频率。

为了克服或者减少这些非理想因素的影响,在工艺上可以采用各种各样的办法。例如,为了减少金属线的损耗,可以加大金属线的厚度或者使用电阻率更低的铜导线;为了减少衬底的影响,可以加大电感与衬底之间的氧化层的厚度、采用轻掺杂衬底或者使用绝缘衬底(采用 SOI 工艺或者单独将电感下的衬底掏空并填充绝缘材料)。这些工艺都与标准 CMOS 工艺不兼容,且会使得成本增加。更好的办法是在标准 CMOS 工艺的支持下,通过对片上电感进行优化来提高电感的质量,例如,采用串并联多层金属来制作电感以减少金属线的损耗;采用最顶层金属线来制作电感以减少衬底损耗;在电感下使用最底层金属或者多晶硅制作的如图 3.3.3 所示的接地隔离层来将电感和衬底隔离,减小衬底损耗(采用如图 3.3.3 所示的接地隔离层模式可以避免隔离层中出现涡流损耗);还可以通过一定的几何尺寸优化来提高电感的质量,后面对此将更进一步论述。

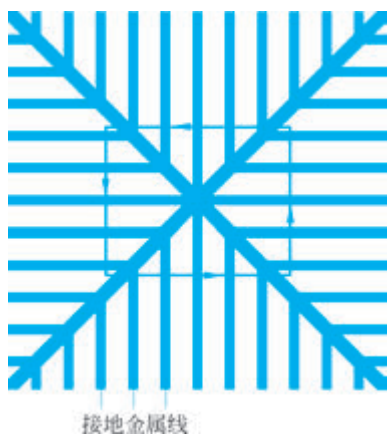


图 3.3.3 接地隔离层

使用最底层金属或者多晶硅制作的如图 3.3.3 所示的接地隔离层来将电感和衬底隔离,减小衬底损耗(采用如图 3.3.3 所示的接地隔离层模式可以避免隔离层中出现涡流损耗);还可以通过一定的几何尺寸优化来提高电感的质量,后面对此将更进一步论述。

在对电感的各种损耗机制有了比较深入的理解后,人们提出了电感的 SPICE 模型。图 3.3.4 给出了使用十分广泛的一种电感模型,该模型由 3 个子网络组成(见图 3.3.4 中的 3 个虚线框),以 Y 参数分别表示为 Y_L 、 Y_{SUBin} 和 Y_{SUBout} 。在图 3.3.4 中, C_{OXin} 和 C_{OXout} 代表了电感的金属线与衬底之间的氧化层电容, C_{SUBin} 和 C_{SUBout} 代表了电感的金属线与衬底之间的耦合电容, R_{SUBin} 和 R_{SUBout} 代表了电感和衬底之间的电场耦合所引入的损耗, L 代表了该电感的电感量, C_p 是电感的两层金属线交叉时形成的氧化层电容, R_s 代表了金属线有限的电导率所引入的损耗, R_{eddy} 代表了衬底所引入的损耗。

目前有 3 种方法可以得到模型中各种参数的数值:第一种方法是从实际测量结果中提取,这种方法要求先制作出电感,经过测量和参数提取过程后才能得到所需要的数值;第二种方法是利用电磁场模拟软件对片上电感进行电磁场分析,这种方法不需要实际制作出电感,但是这些模拟软件的运算量很大,需要耗费大量的运算资源;第三种方法是使用分析化方法,该方法便于快速的手工设计,在对实验结果大量分析的基础上,人们给出了各个参数的解析表达式,尽管这些表达式是粗略的,但它们在一定程度上反映了电感

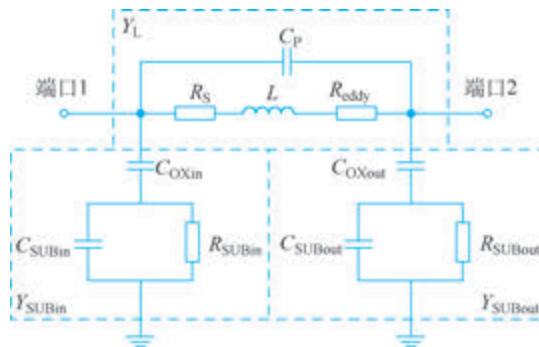


图 3.3.4 片上平面螺旋型电感模型

的实际行为,应用这些表达式,可以在芯片流片或者进行电磁场分析前对电感进行优化,在较短的时间内得到性能很好的片上电感。应用第一种方法时,一般先制作出实际电感,然后对电感进行测量,得到 S 参数。S 参数中包括了焊盘的影响。为了提取模型参数,应该将焊盘的影响去掉,这就是器件校准问题。实际测量中可以使用两种校准结构,如图 3.3.5 所示,其中,G-S-G 结构是最常用的,这是由于衬底接地隔离层有效地减少了输出和输入焊盘之间的衬底耦合。参数提取的第一步是从没接电感的焊盘测量出焊盘本身的 S 参数,再测出含电感的焊盘的 S 参数,然后将两个 S 参数都转换成导纳参数,并从含电感的那次测量结果中去掉焊盘本身的贡献,得到电感的本征导纳参数 Y,则有

$$Y_L = -Y_{12} \quad (3.3.1)$$

$$Y_{SUBin} = Y_{11} = Y_{12} \quad (3.3.2)$$

$$Y_{SUBout} = Y_{22} + Y_{12} \quad (3.3.3)$$

最后利用拟合程序得到电感模型中的各种参数。通过这种方法得到的模型参数只适用于特定的电感,当电感的几何参数改变时,必须重新进行流片制作、测试和参数提取。通过这种方法所得到的模型参数最准确,但所花代价也最大。

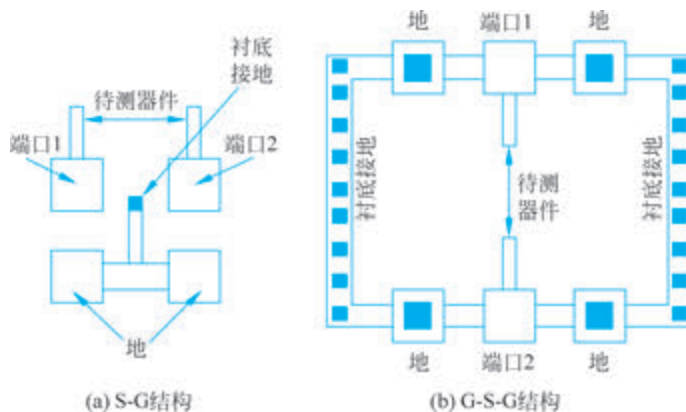


图 3.3.5 焊盘的校准结构

随着计算机技术和 EDA 软件技术的发展,应用电磁场模拟软件对片上电感进行电磁场分析,从而确定电感的模型参数的方法得到了越来越多的应用。这种方法不需要实

际制作出电感, 仅需进行电磁场分析就可得到具有很高精度的模型参数, 但由于电磁场分析要求解 Maxwell 方程, 这需要进行大量的计算, 会耗费大量的计算资源, 而且, 电磁场分析也是针对特定电感进行的, 一般不能对电感进行优化 (即使某些软件提供优化工具, 这类工具也仅是计算各种不同参数的电感, 然后从结果中挑一个最优的结果, 所需的运算量是巨大的)。现在已经有多种电磁场分析工具, 其中, Ansoft 公司提供的 HFSS 软件是比较好的一种, 它可分析各种结构的电磁场分布, 并可提供电感的 S 参数。ASITIC 是由 A. M. Niknejad 开发的免费电磁场分析软件, 可以分析电感和变换器的电磁场分布, 并可将结果拟合成 SPICE 模型输出, 按照精度要求, 可以选用多个不同的算法, 当然所花费的计算资源也是不一样的。为了全面了解片上平面螺旋型电感的行为, 我们用 ASITIC 对电感在各种条件下进行了研究, 除非特殊说明, 所使用的工艺都是 Philips 半导体公司的标准 BiCMOS 工艺, 其工艺参数见表 3.3.1。

表 3.3.1 Philips 半导体公司的标准 BiCMOS 工艺参数

| | | | |
|--------|--------------------------------|--------------|-----------------------|
| 衬底厚度 | 675 μm | 第一层(最底层)金属厚度 | 0.4 μm |
| 衬底电阻率 | 200 $\Omega \cdot \text{cm}$ | 第一层金属表面电阻 | 100m Ω/\square |
| 外延层厚度 | 1 μm | 第二层金属厚度 | 1.0 μm |
| 外延层电阻率 | 0.085 $\Omega \cdot \text{cm}$ | 第二层金属表面电阻 | 50m Ω/\square |
| 氧化层厚度 | 50 μm | 第三层(最顶层)金属厚度 | 1.27 μm |
| | | 第三层金属表面电阻 | 33m Ω/\square |

1. 衬底掺杂浓度对片上电感的影响

衬底对片上电感的性能有很重要的影响, 它可通过 3 种方式引入损耗: 电场耦合引入的位移电流引起的损耗、磁场耦合在衬底中引入的涡流引起的损耗和电磁场辐射引起的损耗 (在射频电路中, 第三种损耗一般可以忽略不计)。衬底损耗与衬底掺杂浓度有很密切的关系, 当衬底轻度掺杂时 (衬底掺杂浓度小于 $10^{13} \text{atom}/\text{cm}^3$, 电阻率大于 $10\text{k}\Omega \cdot \text{cm}$), 衬底引入的损耗很小, 电感的性能主要由金属线引入的损耗决定; 当衬底重度掺杂时 (衬底掺杂浓度大于 $10^{20} \text{atom}/\text{cm}^3$, 电阻率小于 $0.001\text{k}\Omega \cdot \text{cm}$), 衬底引入的损耗将成为决定电感性能的主要因素。现代标准 CMOS 工艺一般采用外延型衬底, 衬底电阻率很小, 衬底引入的损耗限制了集成片上电感的品质因子。

图 3.3.6 是在相同的工艺和版图条件下对两种不同电阻率衬底的模拟结果, 衬底电阻率分别为 $0.01\Omega \cdot \text{cm}$ 和 $20\Omega \cdot \text{cm}$ 。可以看出, 低频时衬底掺杂浓度对电感的影响很小, 但当频率升高时, 重度掺杂的衬底对电感有很重要的影响, 它不仅减小了片上电感的电感量, 还引入了很大的损耗, 严重地限制了电感的品质因子。

2. 不同金属层对电感的影响

随着集成电路的规模越来越大, 片上元件之间的互连问题日益突出, 现代标准 CMOS 工艺一般采用多层金属布线来缓解这个问题。这使得制作电感时有了更多的自由度, 可以使用不同的金属层来制作电感, 使用不同的金属层制成的电感在性能上有很大的差别。图 3.3.7 是在相同的工艺和版图条件下, 对不同金属层制成的电感的模拟结果 (M3 是最顶层金属, M1 是最底层金属)。可以看出, 使用最顶层金属来形成电感可以提

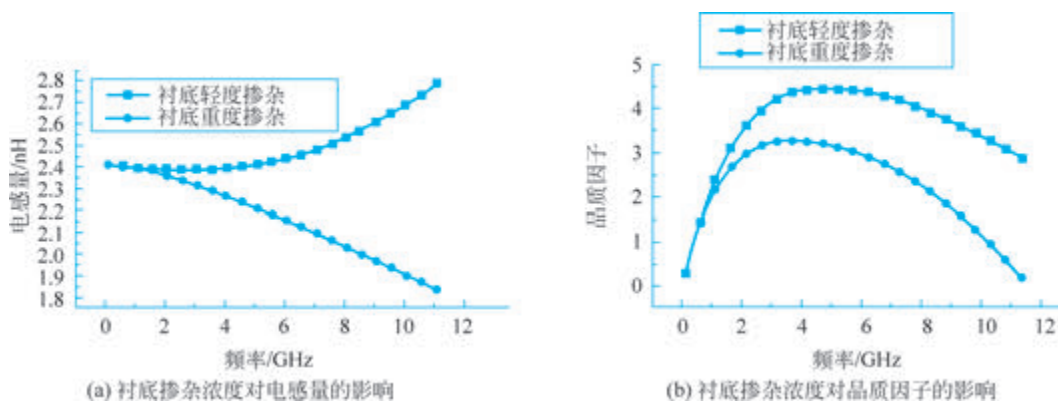


图 3.3.6 衬底掺杂浓度对片上电感的影响

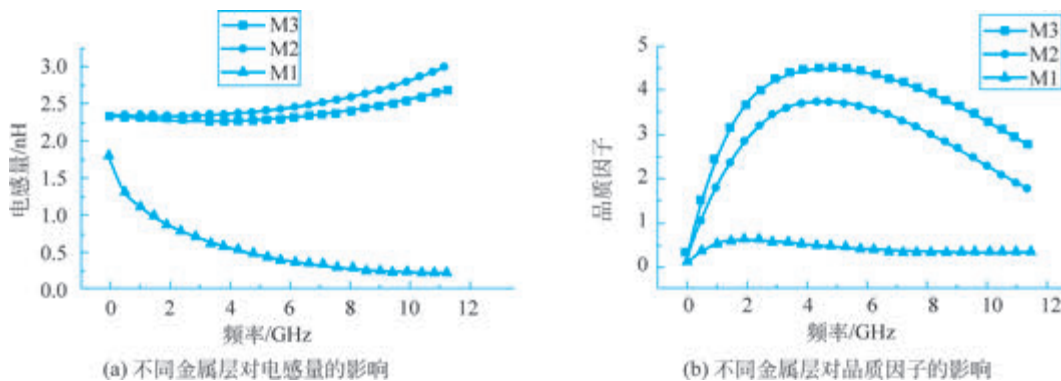


图 3.3.7 不同金属层对片上电感的影响

高电感的品质因子。其原因有两方面：最顶层金属的电阻率相对较小，可以减少金属线本身的寄生阻抗；最顶层金属与衬底之间相隔最远，可以减少衬底与电感之间的电磁场耦合在衬底中引入的损耗。

3. 金属层串并联对电感的影响

在现代标准 CMOS 工艺的支持下，可以将不同金属层形成的电感相互串联或者并联来提高电感的品质因子。图 3.3.8 是在相同的工艺和版图条件下，对不同金属层相互串并联形成的电感的模拟结果。可以看出，M3 和 M2 并联时，虽然片上电感的电感量略有下降，却可以得到最高的品质因子，这是由于金属层并联相当于使金属的厚度增加，减小了电阻率。两层金属串联虽然可以增大片上电感的电感量，在低频下也可以提高电感的品质因子，但高频下出现的趋肤效应和其他磁场效应将使得电感品质因子很快下降。而使用所有金属层串并联来形成电感将使电感性能严重恶化，这主要是由于使用最底层金属时电感与衬底之间的距离很近，它们之间的电磁场耦合将引入很大的损耗，从而限制了电感的性能。

4. 接地隔离层对电感的影响

在现代标准 CMOS 工艺条件下，衬底引入的损耗很大，使得片上电感的品质因子很

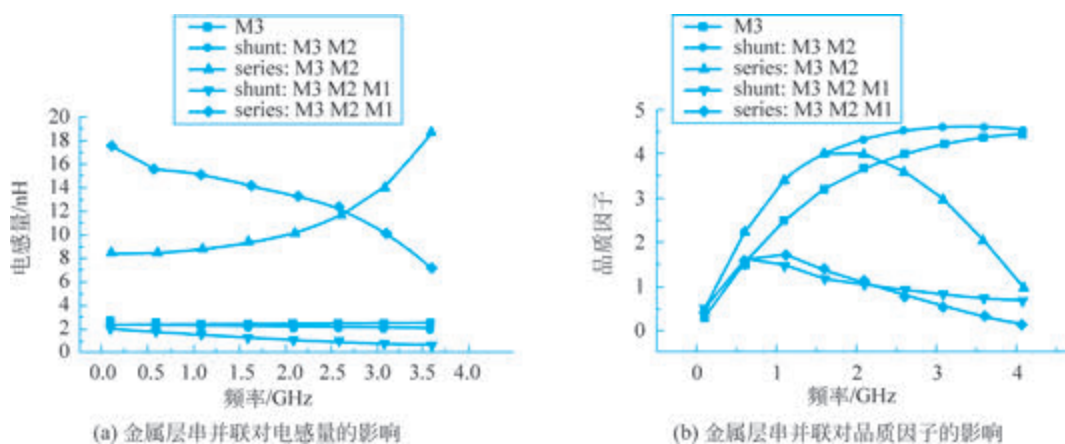


图 3.3.8 金属层串并联对片上电感的影响

低,限制了片上电感的性能。为了在与标准工艺兼容的情况下提高片上电感的品质因子,可以使用接地隔离层,它可以有效地提高电感的品质因子(尤其是在重度掺杂衬底的情况下),并且对工艺不作任何特殊要求。接地隔离层一般采用最底层金属或者多晶硅,为了防止隔离层中产生镜像涡流,一般将隔离层设计成如图 3.3.3 所示的结构。图 3.3.9 是在相同的工艺和版图条件下,对使用接地隔离层和不使用接地隔离层两种情况下的模拟结果。可以看出,使用隔离层虽然减少了片上电感的电感量,但提高了电感的品质因子。由于这是在衬底中等掺杂情况下进行的模拟,所以对品质因子的改善幅度不是很大;当衬底重度掺杂时,使用接地隔离层可以大幅改善片上电感的品质因子。使用接地隔离层除了会降低电感的电感量外,还会降低电感的自谐振频率,这是在使用接地隔离层时必须注意的问题。

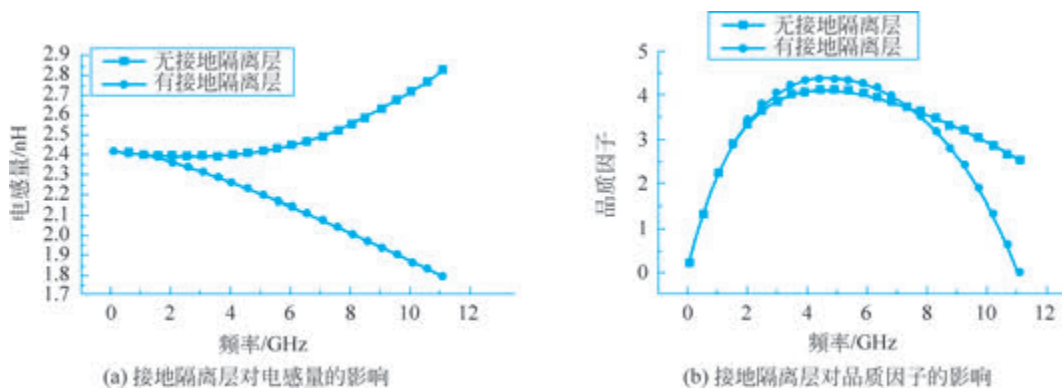


图 3.3.9 接地隔离层对片上电感的影响

5. 版图尺寸对电感的影响

为了在现代标准 CMOS 工艺条件下制备出高质量的电感,最常采用的方法是对电感的几何尺寸进行优化。图 3.3.10 是在相同的工艺条件下,只改变要优化的几何参数,在工作频率为 1.8GHz 时的模拟结果。由图 3.3.10(a)可以看出,在中等掺杂衬底的工艺

条件下,刚开始增大边长时不仅可以增大片上电感的电感量,而且可以增大电感的品质因子。但这是以增大面积为代价的,而且品质因子的增加率在慢慢变低,可以预期,进一步增大边长时,品质因子将减小,这是由于增大面积会增加衬底损耗。一般来说,应该在保证所需电感量的前提下,使用最小边长的电感。图 3.3.10(b)表明随着金属线宽度的增大,片上电感的电感量急剧减小,而品质因子则增加很少,这主要是由于金属线在高频下会产生趋肤效应和其他磁场效应,增大金属线的宽度只会导致金属线之间的互感减小,减小了电感量,而金属线的寄生阻抗并不会显著降低,这说明增大金属线的宽度对片上电感品质因子的改善作用是有限的,在设计中应该使用适当的金属宽度。图 3.3.10(c)说明增大金属线之间的间距使得片上电感的电感量和品质因子都急剧地减小,故在设计中应使用工艺允许的最小间距。而图 3.3.10(d)则说明,刚开始增加金属线的圈数时,可以很快地增大片上电感的电感量和品质因子,但是在增大到一定量后,电感量基本不再增大,而品质因子则开始减小。这是由于磁场引起的涡流在电感中心最强,而靠近中心的金属圈由于面积小,对电感量的贡献有限,但由于涡流会给电感引入极大的损耗,因此在设计中普遍采用空心螺旋型电感。图 3.3.10 中品质因子曲线的折叠式起伏是由于使用非整数圈数(0.25 的倍数)引起的。

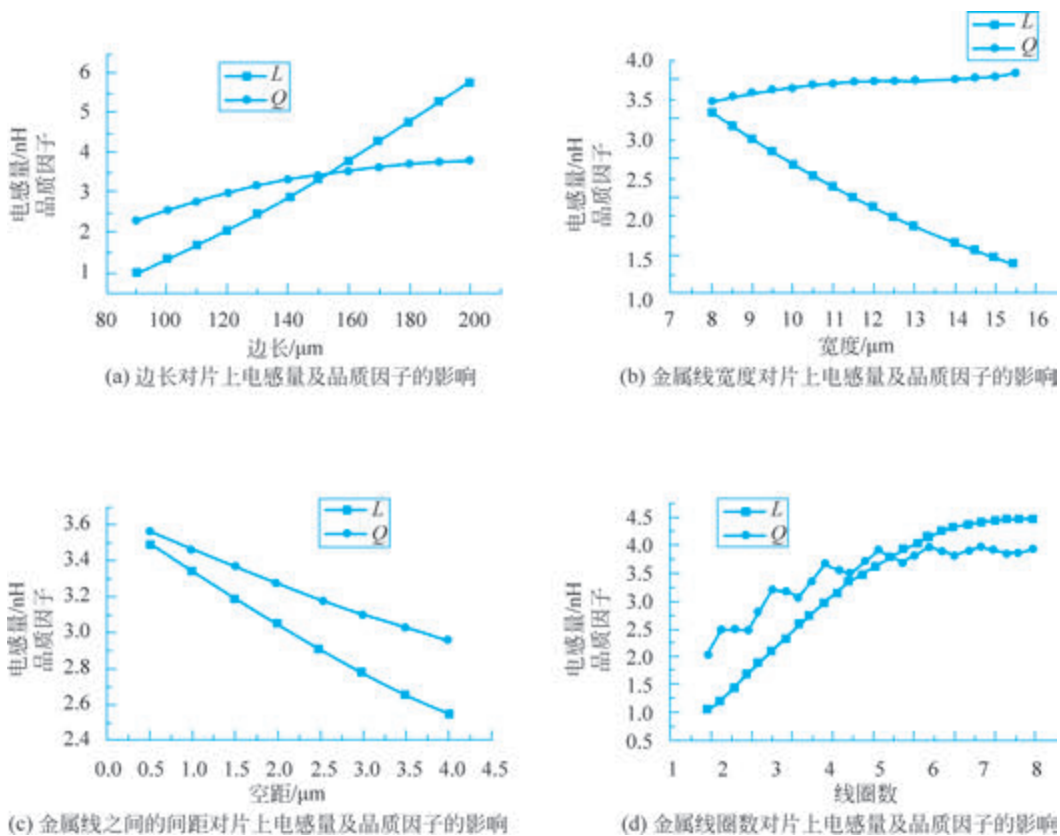


图 3.3.10 几何尺寸对片上电感的影响

通过以上模拟结果,可以总结出设计片上螺旋型电感应该遵循的准则:

(1) 限制形成电感的金属线的宽度。这是因为在一定电感量的要求下,增大金属线的宽度将要求占用更多的芯片面积。芯片面积增大,各种损耗也就相应地增大。而且由于趋肤效应,增大金属线的宽度并不会显著降低金属线的寄生阻抗。

(2) 金属线之间保持工艺允许的最小间距。金属线之间使用最小间距可以增大两金属线之间的互感,从而增大电感量,并且减小占用的芯片面积,降低了各种损耗。

(3) 使用空心螺旋型电感。由于高频时产生的涡旋电流在中心处会引入很大的损耗,而靠近中心的金属线对电感的电感量贡献很少,为了获得高品质因子,就必须把中心空出来(实验结果表明,图 3.3.2 中 $d_{in} : d_{out} \approx 1 : 3$ 时电感性能近似达到最优)。

(4) 尽可能减小电感占用的芯片面积。这是为了减少电感与衬底之间的耦合所造成的损耗。当采用重度掺杂衬底时,减小面积是至关重要的。

(5) 使用最顶层金属来制作电感。这将加大电感和衬底之间的距离,可以减少氧化层引入的电容并降低衬底损耗。

(6) 使用串并联结构来增加电感量和提高品质因子。一般来说,采用并联结构好于串联结构。

(7) 使用接地隔离层。接地隔离层可以将衬底和电感隔离,降低了衬底和电感之间的电磁场相互作用,从而提高电感的品质因子。

利用分析化方法来得到电感模型参数是一种非常快速的方法,可用于电感的初步设计,还可以利用这种方法进行电感的优化,在较短的时间内设计出最优的电感。这种方法得到的模型参数仅是粗略的,一般还需要用电磁场分析方法或者实际制作电感来进行校准。应用分析化方法的核心就是推导出各个参数的解析表达式,这些表达式的推导依赖于对片上电感损耗机制的理解和对大量实验结果的分析。在此不进行详细的论述,仅给出其结果。

片上电感的电感量可以用以下公式计算:

$$L = K_1 \mu_0 \frac{n^2 d_{avg}}{1 + K_2} \quad (3.3.4)$$

式中, $\mu_0 = (d_{out} - d_{in}) / (d_{out} + d_{in})$, $d_{avg} = 0.5(d_{out} + d_{in})$; n 为金属线的圈数; d_{in} 、 d_{out} 如图 3.3.2 所示; K_1 、 K_2 与片上电感的版图有关,对不同形状的电感, K_1 、 K_2 的取值如表 3.3.2 所示。该表达式给出的结果与用电磁场分析方法得到的结果的典型误差为 (1~2)%, 一般不超过 3%, 该表达式给出的结果与实际测量结果的误差与用电磁场分析方法得到的结果与实际测量结果的误差接近。

金属线的寄生串联阻抗 R_s 可以用考虑到趋肤效应后金属线的电阻公式来估计:

$$R_s \approx \frac{l}{W \sigma \delta (1 - e^{-t/\delta})} \quad (3.3.5)$$

式中, l 为构成电感的金属线的长度, σ 为金属线的电导率, δ 为金属线的趋肤深度, t 为金属线的厚度。

表 3.3.2 式(3.3.4)中的系数 K_1 、 K_2

| 版 图 | K_1 | K_2 |
|-----|-------|-------|
| 方形 | 2.34 | 2.75 |
| 六边形 | 2.33 | 3.82 |
| 八边形 | 2.25 | 3.55 |

衬底损耗的等效串联电阻可以用下式来估计：

$$R_{\text{eddy}} \approx \frac{\sigma_{\text{sub}}}{4e} (\mu n f)^2 d_{\text{avg}}^3 \rho^{0.7} z_{n,\text{ins}}^{-0.55} z_{n,\text{sub}}^{0.1} \quad (3.3.6)$$

式中, σ_{sub} 是衬底电导率, $e=2.7182818\cdots$, $z_{n,\text{ins}}$ 是对 d_{avg} 归一化之后的螺旋型电感与衬底之间绝缘层的厚度, $z_{n,\text{sub}}$ 是对 d_{avg} 归一化之后的衬底趋肤深度。由式(3.3.6)可以看到, 减小电感的尺寸(d_{avg})可以大幅减小衬底引入的损耗。

并联电容 C_p 可以表示为

$$C_p = nW^2 \frac{\epsilon_{\text{ox}}}{t_{\text{ox}}} \quad (3.3.7)$$

式中, t_{ox} 为片上电感两层交叉金属线之间的氧化层厚度, ϵ_{ox} 为该氧化层的介电常数。

C_{OXin} 和 C_{OXout} 可以表示为

$$C_{\text{OXin}} = C_{\text{OXout}} = W \cdot l \cdot \frac{\epsilon_{\text{SUBox}}}{t_{\text{SUBox}}} \quad (3.3.8)$$

式中, t_{SUBox} 为电感和衬底之间的氧化层的厚度, ϵ_{SUBox} 为该氧化层的介电常数。

衬底损耗 R_{SUBin} 和 R_{SUBout} 的表达式为

$$R_{\text{SUBin}} = R_{\text{SUBout}} \approx \frac{2}{W \cdot l \cdot G_{\text{SUB}}} \quad (3.3.9)$$

式中, G_{SUB} 是一个拟合参数, 其典型值为 $10^{-7} \text{S}/\mu\text{m}^2$ 。

C_{SUBin} 和 C_{SUBout} 的表达式为

$$C_{\text{SUBin}} = C_{\text{SUBout}} \approx \frac{W \cdot l \cdot C_{\text{SUB}}}{2} \quad (3.3.10)$$

式中, C_{SUB} 也为拟合参数, 其典型取值范围为 $10^{-3} \sim 10^{-2} \text{fF}/\mu\text{m}^2$ 。

与匹配网络一样, 片上电感的品质因子定义为等效模型的谐振频率与 3dB 带宽之比。在实际应用中, 片上电感的内部端口一般接交流地, 这时可以将电感的品质因子近似为等效模型阻抗的实部模与虚部模之比。推导出电感的品质因子的表达式后, 就可以利用以上的表达式, 在某些限制条件下(如 Q 最大或者 QL 最大)对电感版图的各种几何尺寸进行优化, 得到最符合要求的电感。上面各种电感的两个引出端在结构和电学性能上都是不对称的, 但某些电路对对称性有特殊的要求, 如果仍然采用这种电感, 则需要将两个这样的电感串联起来, 如图 3.3.11(a)所示, 这可以增大芯片面积。更好的办法是采用如图 3.3.11(b)所示的对称型电感。这种电感主要用最上层金属绕制而成, 交叉部分用下一层金属过渡。由图 3.3.11 可以看出, 该电感的两个输入端是完全对称的, 可以直接连到对称电路的两个支路上; 而且, 与非对称电感相比, 该电感具有更高的品质因子, 但由于电感两个端口的电压完全加到两相邻金属线圈上, 使得原来不重要的金属线圈之

间的边缘电容变得重要起来,因此在模型中必须考虑这些边缘电容的影响。

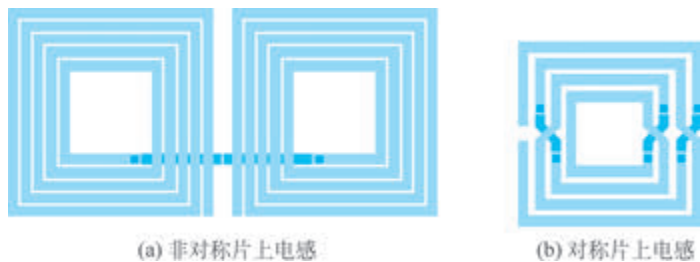


图 3.3.11 对称片上电感可以减小芯片面积

3.3.2 键合线电感

键合线是连接芯片的焊盘与封装管壳上的引脚或连接芯片上的焊盘和焊盘之间的一段金属线,它是在封装的过程中完成的。在射频条件下,键合线可以等效为一个电感,它有很高因子,可以应用于对电感性能要求较高的应用中;但由于这种电感是利用封装的寄生效应完成的,其电感量不可精确控制,这限制了它的应用范围。

考虑到键合线所用的材料为金,可以将一段长度为 l 、横截面半径为 r 的键合线在低频下的电感量近似表示为

$$L = \left[\frac{\mu_0 l}{2\pi} \right] \left[\ln\left(\frac{2l}{r}\right) - 0.75 \right] \approx 2 \times 10^{-7} l \left[\ln\left(\frac{2l}{r}\right) - 0.75 \right] \quad (3.3.11)$$

粗略估计,1mm 长的键合线在低频下的电感量约为 1nH。当工作频率升高时,键合线电感的电感量将下降,后面会分析随频率变化的电感特性。实际上,键合线不是理想的直线,它具有一定的高度,如图 3.3.12(a)所示(在现代标准 CMOS 工艺中,这个高度为 $150\mu\text{m} \pm 50\mu\text{m}$);键合线可能还会有垂直或者水平方向的弯曲,如图 3.3.12(b)所示(在现代标准 CMOS 工艺中,垂直方向的弯曲为 $0 \sim 150\mu\text{m}$);并且键合线横截面半径可能会发生变化(约为 10%)。这些因素都会对电感的电感量产生影响。在现代标准 CMOS 工艺条件下,各种非理想因素引起的电感量的变化可以达到 $\pm 6\%$ 。



图 3.3.12 引起键合线电感量变化的因素

与片上电感一样,键合线电感也受到各种寄生效应的影响。这些寄生效应包括芯片焊盘或者封装管壳引脚的寄生效应、键合线的寄生电阻以及衬底损耗。

考虑到这些寄生效应,可以为键合线电感建立模型,如图 3.3.13 所示。其中, C_{padi} ($i=1,2$) 是芯片焊盘(或封装管壳引脚)与接地衬底之间的寄生电容(芯片焊盘与接地衬底的寄生电容可以按 MOS 电容的计算公式进行计算,而封装管壳引脚与接地衬底之间的寄生电容应由封装厂家给出); R_{padi} ($i=1,2$) 是芯片焊盘(或封装管壳引脚)与接地衬

底之间的寄生电阻(衬底损耗); L 为键合线的电感量; R_{bondwire} 由两部分组成, 其中一部分是键合线本身的寄生电阻, 另一部分是衬底与键合线之间的电场耦合造成的损耗, 在工作频率升高时, 寄生效应影响会变大。 R_{bondwire} 可以用下式来估算:

$$R_{\text{bondwire}} \approx \frac{l}{2\pi r \delta \sigma} \quad (3.3.12)$$

式中, δ 是键合线的趋肤深度, σ 是键合线的电导率。可以利用式(3.3.11)和式(3.3.12)来估算键合线电感的品质因子。

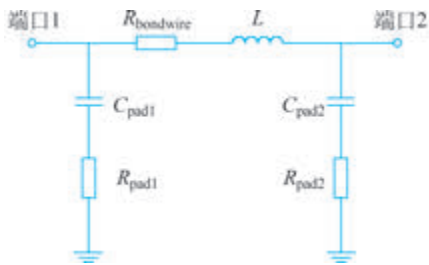


图 3.3.13 键合线电感模型

一般来说, 衬底与键合线之间的电场耦合也会对电感量造成影响, 但由于影响较小, 一般可以忽略不计。

3.4 片上集成变压器

在高频电路中, 变压器作为重要的无源元件, 已在射频集成电路中得到了广泛应用。虽然片上集成变压器在设计和制造过程中会面临寄生效应等挑战, 但近年来的研究和工艺进展显著提升了其性能与可控性。如今, 集成变压器已被广泛用于射频前端、功率放大器、阻抗匹配网络等领域, 推动了其在射频集成电路中应用的进一步扩展。片上集成变压器有多种结构, 图 3.4.1 展示了 5 种片上集成变压器的典型结构。每种结构通过不同的绕线方式优化一次侧绕组和二次侧绕组的耦合效果, 同时兼顾寄生效应的最小化。并行绕线和交叉绕线通过平面排列来实现耦合; 而堆叠绕线则通过在不同金属层上堆叠线圈来增加耦合强度; 中心螺旋绕线则利用螺旋结构集中磁场; 对称巴仑结构则常用于差分信号的转换应用。这些结构适应不同的射频电路需求, 体现了片上集成变压器设计的多样化趋势。图 3.4.2 展示了对应前述版图结构的变压器电路符号, 分别为简单变压器和带中心抽头的变压器。简单变压器与并行绕线、交叉绕线等结构对应, 广泛用于信号传输和阻抗匹配。而带中心抽头的变压器与对称巴仑结构类似, 常用于差分信号转换, 适用于射频前端电路。

3.4.1 变压器的基本原理

当两个相互接触或者不接触的回路之间通过其中一个回路所产生的磁场相互影响时, 称为磁耦合; 变压器就是基于磁耦合概念设计出来的一种元件, 即利用磁耦合将能量从一个电路转换到另一个电路。首先引入互感的概念, 再基于此概念介绍变压器。

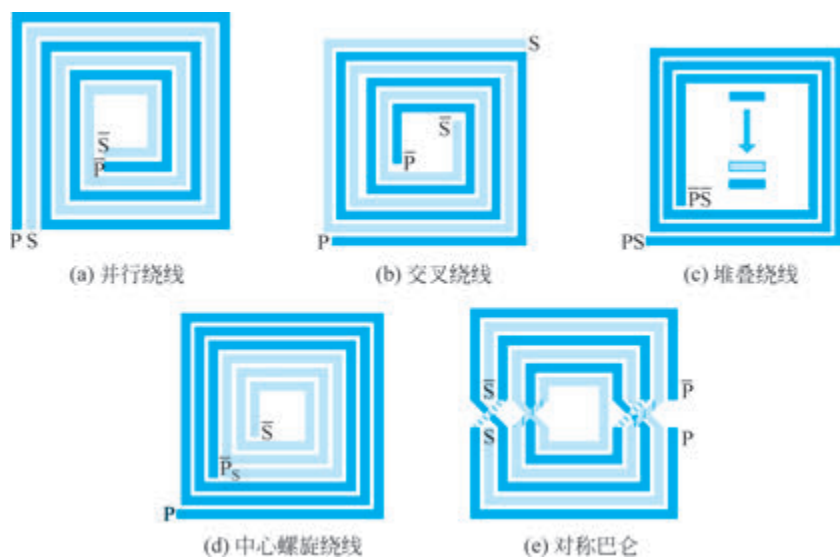


图 3.4.1 各种结构的片上集成变压器



图 3.4.2 变压器的电路符号

3.4.1.1 变压器的基本特性

当两个线圈(绕组)距离较近时,电流在一个线圈所引起的磁通量会对另一个线圈产生影响,从而在一个线圈中产生感应电压,这种现象称为互感。

讨论一个 N 匝电感,当电流 i 流过该线圈时,在其周围产生磁通量 ϕ ,知道了电感的定义磁通量和电流之比,就可得到

$$L = N \frac{d\phi}{di} \quad (3.4.1)$$

该电感通常称为自感。

按照法拉第定律,该线圈的感应电压正比于线圈的匝数 N 以及磁通量 ϕ 关于时间的变化率,即

$$v = N \frac{d\phi}{dt} \quad (3.4.2)$$

由于磁通量是由电流 i 产生的,所以磁通量的变化是由电流变化引起的,所以上式可以改写为

$$v = N \frac{d\phi}{di} \frac{di}{dt} = L \frac{di}{dt} \quad (3.4.3)$$

再考虑两个彼此相邻,自感分别为 L_P 和 L_S 的线圈 P 和线圈 S,匝数比为 $N:1$,为了分析简便,在线圈 P 输入电流,线圈 S 无电流即 $I_S=0$;且因为磁耦合的作用,线圈 P 输入的电流变化会在线圈 S 中产生感应电压;由线圈 P 产生的磁通量 ϕ_P 由两部分组成,即 $\phi_P=\phi_{P1}+\phi_{P2}$, ϕ_{P1} 仅与线圈 P 交链,而 ϕ_{P2} 与两个线圈交链,则能得到线圈 P 的感应电压:

$$v_P = N \frac{d\phi_P}{dt} \quad (3.4.4)$$

同理,得到线圈 S 的感应电压:

$$v_S = 1 \cdot \frac{d\phi_{P2}}{dt} \quad (3.4.5)$$

根据磁通量是电流通过线圈产生的,则以上两式可以改写为

$$v_P = N \frac{d\phi_P}{dt} = L_P \frac{dI_P}{dt}, \quad v_S = 1 \cdot \frac{d\phi_{P2}}{dt} = \frac{d\phi_{P2}}{dI_P} \frac{dI_P}{dt} = M \frac{dI_P}{dt} \quad (3.4.6)$$

M 称为线圈 S 相对于线圈 P 的互感,一般可以用 M_{SP} 表示线圈 S 的感应电压与线圈 P 中的电流的联系,这代表了变压器的一个特性,即电感产生的电压会反作用于靠近它的另一个电感中的时变电流。

式(3.4.6)表示线圈 P 的感应电压只受自感 L_P 和电流随时间变化率的影响,而线圈 P 会在线圈 S 产生感应电压,该感应电压与互感成正比。

用同样的方法从线圈 S 输入电流,线圈 P 无电流,则能得到,互感是对称的,即

$$M_{SP} = M_{PS} = M \quad (3.4.7)$$

所以当两个电感同时输入电流时,得到两个线圈的感应电压为

$$v_P = L_P \frac{dI_P}{dt} + M \frac{dI_S}{dt} \quad (3.4.8)$$

$$v_S = L_S \frac{dI_S}{dt} + M \frac{dI_P}{dt} \quad (3.4.9)$$

或者,可以用正弦波激励来表示上述两式,即应用 KVL 来表示它们的频域形式:

$$v_P = I_P \cdot j\omega L_P + I_S \cdot j\omega M \quad (3.4.10)$$

$$v_S = I_S \cdot j\omega L_S + I_P \cdot j\omega M \quad (3.4.11)$$

考虑如图 3.4.3 所示电路,假设电流初始值 I_P 与 I_S 都为 0,代表着线圈的初始能量为 0,则令电流 I_P 从 0 增加到 I_1 ,则该电路储存的能量为

$$w_1 = \int P_P dt = L_P \int_0^{I_1} I_P dI_P = \frac{1}{2} L_P I_1^2 \quad (3.4.12)$$

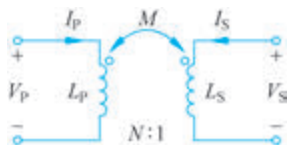


图 3.4.3 变压器的基本电路表示

保持 I_P 不变, 则线圈 S 中的互感电压为 0, 再将 I_S 从 0 增加到 1, 则在线圈 P 中的互感电压为 $M_{PS} \cdot dI_S/dt$, 于是线圈中的产生的能量为

$$w_2 = \int P_S dt = \int_0^{I_2} (M_{PS} I_P + L_S I_S) dI_S = \frac{1}{2} L_S I_2^2 + M_{PS} I_S I_P \quad (3.4.13)$$

电流均达到恒定值时, 总能量为

$$w = w_2 + w_1 = \frac{1}{2} L_P I_1^2 + \frac{1}{2} L_S I_2^2 + M_{PS} I_S I_P \quad (3.4.14)$$

交换电流顺序, 可以证明式(3.4.7)中的互感相等。

式(3.4.14)在图 3.4.3 中电感为同名端的情况下才成立。如果一个电流从一个同名端流入, 另一个电流从相反的同名端流出, 则互感能量应该是负数, 所以根据 $w = w_2 + w_1 = \frac{1}{2} L_P I_1^2 + \frac{1}{2} L_S I_2^2 - M I_S I_P \geq 0$, 可以得到 M 的范围为

$$M \leq \sqrt{L_P L_S} \quad (3.4.15)$$

即互感不能大于电感的几何平均值; 且定义 $k = \frac{M}{\sqrt{L_P L_S}}$ 为耦合系数, 表示一个线圈产生的磁通量与另一个线圈产生交链 ($0 \leq k \leq 1, 0 \leq M \leq \sqrt{L_P L_S}$)。

在一种理想的变压器中, 它完全耦合(即耦合系数为 1), 在这种条件下, $M = \sqrt{L_P L_S}$, 再将由式(3.4.10)得出的 $I_P = (v_P - j\omega M I_S) / j\omega L_P$ 代入式(3.4.11), 得到

$$v_P = N v_S \Rightarrow N = \frac{v_P}{v_S} = \sqrt{\frac{L_P}{L_S}} \quad (3.4.16)$$

我们一般认定当两个线圈的 L 与它们的互感 M 趋于无穷, 且匝数 N 保持不变时, 耦合线圈就可以称作理想变压器了; 因此当变压器具有以下属性时, 称为理想变压器。

(1) 变压器本身无损耗: 这意味着绕铁线圈的金属导线无电阻, 或者说, 绕铁线圈的金属导线的电导率无穷大, 其铁芯的磁导率无穷大;

(2) 耦合系数 $k = 1$ 即为全耦合;

(3) 两个线圈的 L 与它们的互感 M 趋于无穷, 且匝数 N 保持不变。

对于理想变压器是无损耗的, 这意味着 $v_P I_P = v_S I_S$, 即 $\frac{I_P}{I_S} = \frac{1}{N}$, 所以对于输入阻抗可以得到

$$Z_{in} = \frac{v_P}{I_P} = N^2 \frac{v_S}{I_S} \quad (3.4.17)$$

这意味着任何位于二次侧绕组的负载在一次侧绕组都被视为乘以 N^2 , 这实际反映了变压器的另一种特性, 即阻抗变换, 这是变压器最有用的特性之一。

上述推导均建立在理想变压器的情况下, 实际的变压器存在着各种方面的寄生效应, 在射频电路中更是如此, 尽管如此, 它的阻抗变换功能是不会变的。

3.4.1.2 实际变压器

实际变压器的电感既不能为无限大, 耦合系数也往往小于 1。也就是说, 它们的磁通

除了互磁通外,还有漏磁通,漏磁通所对应的电感称为漏感。如果从两个线圈的电感中减去各自所具有的漏感,考虑变压器绕组的损耗,就可以得到一个利用全耦合变压器表示的变压器模型,如图 3.4.4 所示,其中, $L_M=L_1-L_{S1}$ 称为励磁(或磁化)电感,为了简化表示,用 L_1 表示一次侧的电感, L_2 表示二次侧的电感。

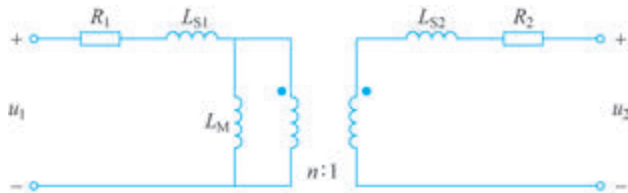


图 3.4.4 实际变压器模型

注意,全耦合变压器与理想变压器的不同之处是, $L_1、L_2$ 是有限值,但其耦合系数 $k=1$,所以全耦合变压器的电压关系与理想变压器的电压关系完全相同。

漏电感(或漏感)源于不完全耦合的变压器,是变压器中一次侧绕组和二次侧绕组耦合系数小于 1,部分绕组不会有变压作用,只有类似抑制电流的作用,这部分绕组存在漏电感。为方便表示,从这里开始用 L_e 表示漏电感。在图 3.4.5 中,漏电感可以表示为

$$L_{e1}=(1-k)L_1, \quad L_{e2}=(1-k)L_2 \quad (3.4.18)$$

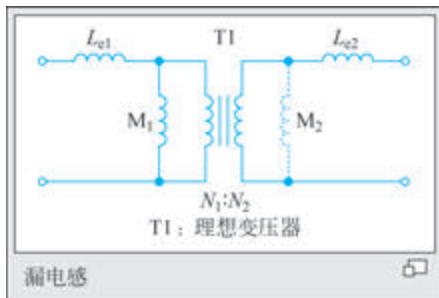


图 3.4.5 漏电感模型

1. L 型等效模型

为了更加简化地分析变压器,通过将漏电感整合在一次侧或者二次侧以方便地表示漏电感;理想变压器的电路实现如图 3.4.6 所示,图 3.4.6(a)是直接从电路磁耦合合成的电路模型, $L_P(L_1)$ 与 $L_S(L_2)$ 是它们各自的自感;将直接模型进一步简化得到图 3.4.6(b),电流通过磁化电感 $k_m L_P$ 产生电压 v_P 来控制二次侧绕组的依赖电压源 $\frac{1}{n}v_P$ (这其实表示了理想的 $n:1$ 匝数转化),实际上的模型是由漏电感 $L_{kP}、L_{kS}$ 和一/二次侧绕组共同作用产生的;首先结合互感的表达式以及式(3.4.18)中漏电感的表达式,对于图 3.4.6(b),可以将互感重新表示为

$$M^2=(L_1-L_{k1})(L_2-L_{k2}) \quad (3.4.19)$$

上式代表了漏电感在整个电路中的平均分配,这代表了式(3.4.18)所表示的漏电感模型公式。注意这种分配方式并不是唯一的。

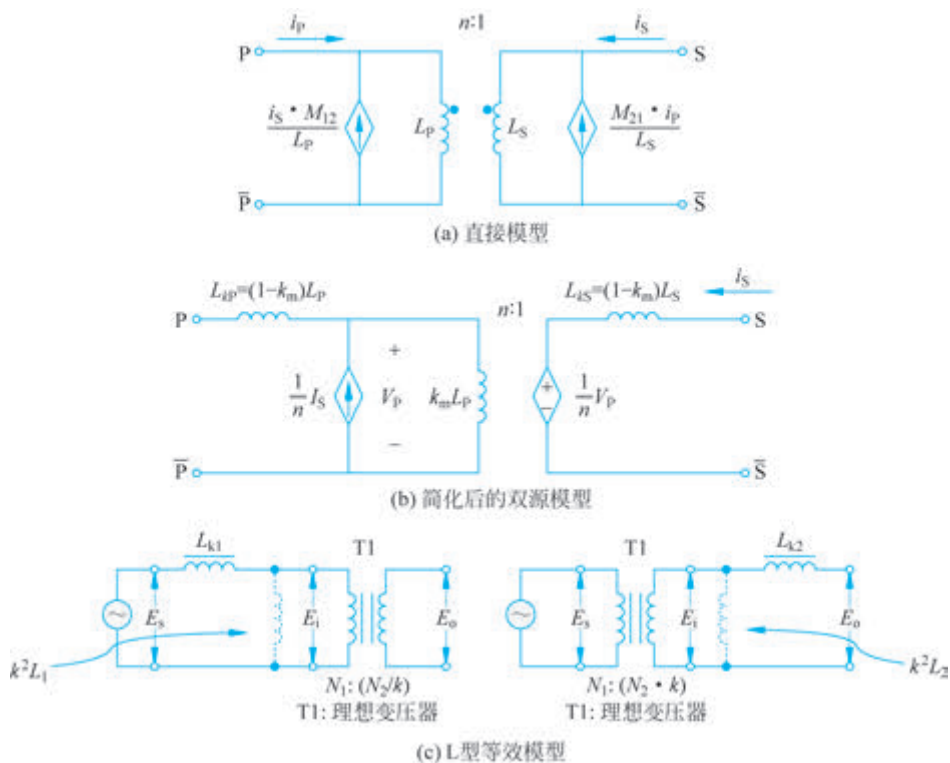


图 3.4.6 变压器耦合模型

因为式(3.4.19)不能明确定义漏电感的组合方式,当把漏电感都整合到一次侧绕组时,则有

$$L_{kP} = L_P(1 - k_m^2) \quad (3.4.20)$$

这意味着 $L_{kS} = 0$; 同样,当整合到二次侧绕组时,根据 $L_{kP} = 0$,得到

$$L_{kS} = L_S(1 - k_m^2) \quad (3.4.21)$$

式(3.4.20)、式(3.4.21)定义得到的漏电感 L_{kP} 、 L_{kS} 是在工业中实际测量且定义使用的,这两种情况得到的漏电感与平均分配漏电感有如下关系:

$$\begin{cases} L_{kP} = (1 + K)L_{e1} \\ L_{kS} = (1 + K)L_{e2} \end{cases} \quad (3.4.22)$$

2. T型等效模型

理想变压器没有损耗且具有完全耦合;然而,实际变压器在电磁能量转换过程中并不能实现完全耦合。因此,可以通过等效电路将其简化为电阻、电感等基本元件(如图3.4.7所示)进行分析。图3.4.7是一个简图,上面讲到,实际上变压器会有漏感 L_P 、 L_S ; 电流流过变压器绕组时由于电阻 R_P 、 R_S 而产生损耗; 在磁芯中,励磁电感 L_m 用来产生磁场以传递能量到二次侧; 结合理想变压器的模型,可以近似得到实际变压器的等效电路,此时,理想变压器仅起到隔离作用。通过阻抗变换,可以将理想变压器简化去除。

无论变压器匝数比是多少,都可以通过阻抗变换,将变压器二次侧的阻抗乘以匝数比的平方,而将变压器匝数比替换为 $1:1$ 。一个 $1:1$ 的变压器一/二次侧等电压参考点连在一起,就得到了变压器的T型等效模型,如图3.4.8所示。

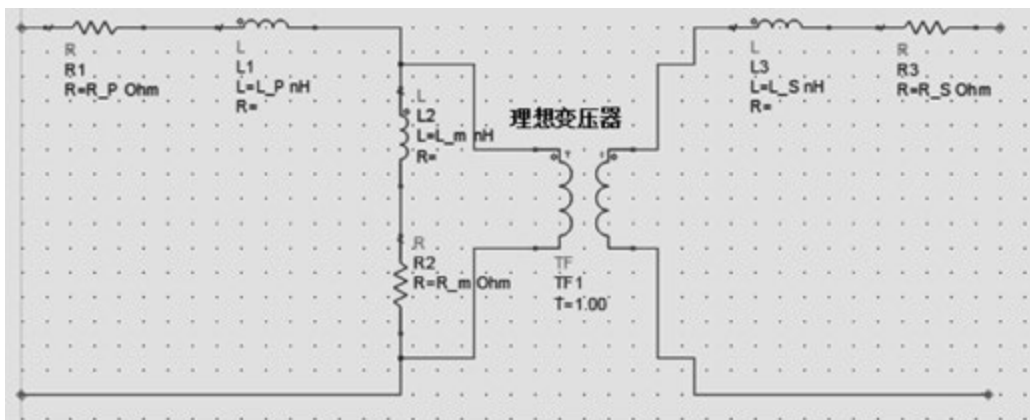


图 3.4.7 实际变压器等效模型

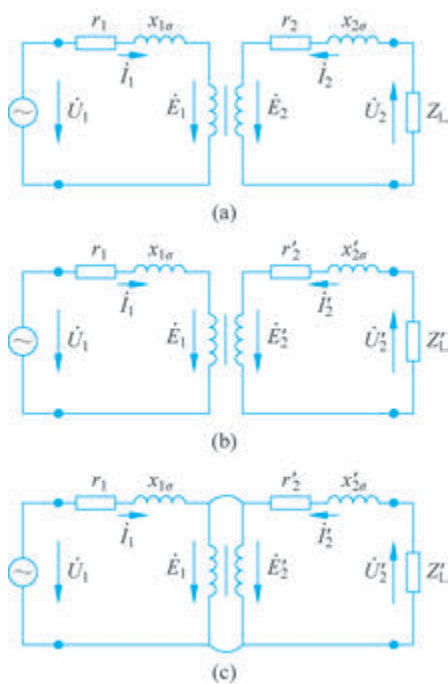


图 3.4.8 T型等效模型形成过程

由于变压器的一次侧和二次侧绕组具有相同的性质,所以可以得到如图3.4.8(a)所示的等效电路。通过变压器的阻抗变换功能,将二次侧绕组的参数等效到一次侧绕组,因此在符号右上角加了一撇以作区分,最终得到如图3.4.8(b)所示的等效电路。由于二次侧绕组进行了折算,所以有 $E_1 = E'_2$,就可以根据相同的电位将其等价成一个点,于是得到了如图3.4.8(c)所示的等效电路。为了进一步简化分析,将磁的关系转化为电的关

系,中间的励磁支路可以用电阻和电抗等效替代,最终得到图 3.4.9。

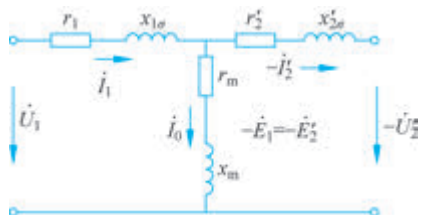


图 3.4.9 T 型等效模型的进一步简化

考虑到变压器工作时,中间的励磁支路的电流相对负载电流来说很小,将图 3.4.9 中 r_1 、 x_1 的励磁电流忽略,那么励磁支路就可以移到左侧端口,就得到了变压器的简化 T 型电路,一般称为 Γ 型等效电路,如图 3.4.10 所示,其中, r_1 为一次侧绕组的损耗, r_2 为二次侧绕组的损耗, $x_{1\sigma}$ 为一次侧绕组的漏磁通, $x_{2\sigma}$ 为二次侧绕组的漏磁通, r_m 为变压器铁芯中的铁耗, x_m 为铁芯中的主磁通。

此时,同一支路上的阻抗可以合并,变压器及负载等效为两个并联的阻抗支路,这使得分析变得更加简便。显然,等效电路中的参数即是变压器在空载和短路状态下测得的关键参数(如励磁阻抗和短路阻抗)。实际上,变压器本质上是耦合电感,变压器的 T 型等效电路与耦合电感的 T 型去耦电路在形式上是相同的。下面对图 3.4.11 中的简化电路进行分析,重点关注关键参数的计算公式。

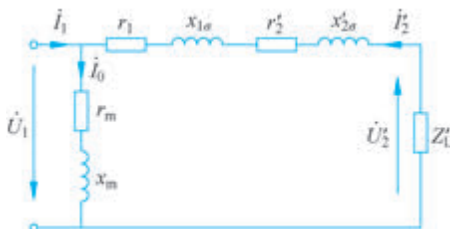


图 3.4.10 Γ 型等效电路

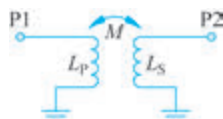


图 3.4.11 二端口简化变压器

首先对参数进行分析,我们知道串联电感以 $j\omega L$ 的形式存在于阻抗形式中,所以得到

$$L_P = \frac{\text{Im}(Z_{11})}{\omega}, \quad L_S = \frac{\text{Im}(Z_{22})}{\omega} \quad (3.4.23)$$

因为 Z_{11} 代表着二次侧绕组处电流为零时的电压与电流比,所以代表着一次侧绕组的阻抗情况,还可以利用它的虚部来推导电感 L_P ,与推导 L_S 类似;重要的是,因为 Z_{21} 代表着二次侧绕组电流为零(即二端口不输入电流)时,二端口的电压与一端口的电流比,所以能得到关于互感 M 的表达式:

$$M = \frac{\text{Im}(Z_{21})}{\omega} \quad (3.4.24)$$

在这种变压器下,插损也是很关键的,可以通过使用二端口的 $ABCD$ 矩阵来推导变压器的 S_{21} (插损 IL_m),具体过程不做赘述,只给出它的公式表示:

$$\Pi L_m = \frac{1}{1 + 2(x - \sqrt{x^2 + x})} \left(\text{其中 } x = \frac{\text{Re}(Z_{11})\text{Re}(Z_{22}) - [\text{Re}(Z_{12})]^2}{[\text{Im}(Z_{12})]^2 + [\text{Re}(Z_{12})]^2} \right) \quad (3.4.25)$$

上式给出的是最小插损,即二端口匹配的情况下得出的结论。

3.4.1.3 在高频阶段耦合平衡器的使用分析

在毫米波频段内,信号的完整传输是一个重大挑战。尽管在较低频段的毫米波范围内,基于变压器的平衡器取得了一定成功,但该结构在高频段存在明显问题。首先,自谐振频率限制了变压器在高毫米波及更高频率下的工作范围;其次,变压器的折叠布局导致电流在负耦合下循环流动,变压器尺寸缩小时,在高频段会导致强负耦合和显著损耗;最后,这种结构还会引发强电容耦合,进而导致差分信号的不平衡。

因此,提出了如图 3.4.12 所示的基于耦合器的分布式平衡器,并将之应用于解决上述问题。这种分布式平衡器通过优化布局和几何参数,能够有效解决传统基于变压器的平衡器在高频毫米波段遇到的负耦合、电容耦合等问题。

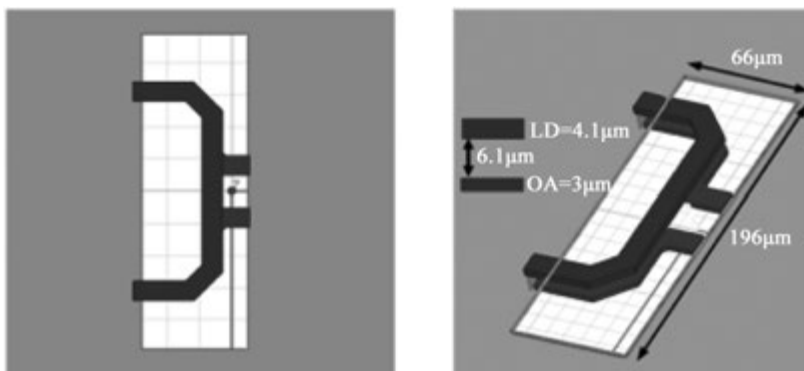


图 3.4.12 基于耦合器的分布式平衡器

为了分析上述分布式耦合放大器,可以从如图 3.4.13 所示的更基本的四端口网络入手。在图 3.4.13(a)中,添加了隐形端口 4 后,各种三端口平衡器本质上都是对称结构。只需找到单端口(端口 1)的镜像点(端口 4),并在该镜像点添加一个虚负载,就可以将电路分解为偶模和奇模模式进行分析。由于平衡器是差分结构,理论上应只支持奇模信号。接下来将说明,任何阻止偶模信号传播的四端口对称网络,都能够形成一个平衡结构。

图 3.4.14 显示了理想变压器平衡和 180° 延迟线平衡。在理想变压器中,隐形端口 4 位于二次侧绕组的短路端,通过奇/偶模分析,偶模电路的虚开路阻断了所有从二次侧流出的偶模电流,从而实现零偶模传输,产生平衡特性。同样,对于 180° 延迟线,奇/偶模分析中偶模模式下的“虚断”阻挡了所有偶模信号。这种分解方法为理解各种平衡结构提供了直观视角,也为接下来分析基于耦合器的分布式平衡器提供了理论基础。

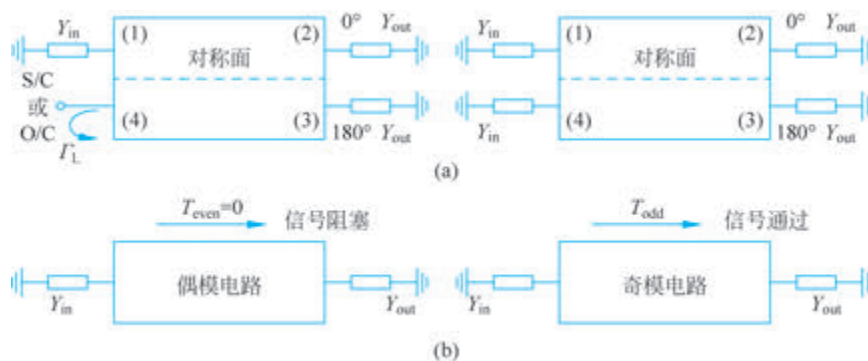


图 3.4.13 (a)三端口网络的隐形端口 4 (b)四端口网络的奇模分析和偶模分析,S/C 和 O/C 分别代表短路端和开路端, T_{even} 和 T_{odd} 代表偶模电路和奇模电路的传输系数

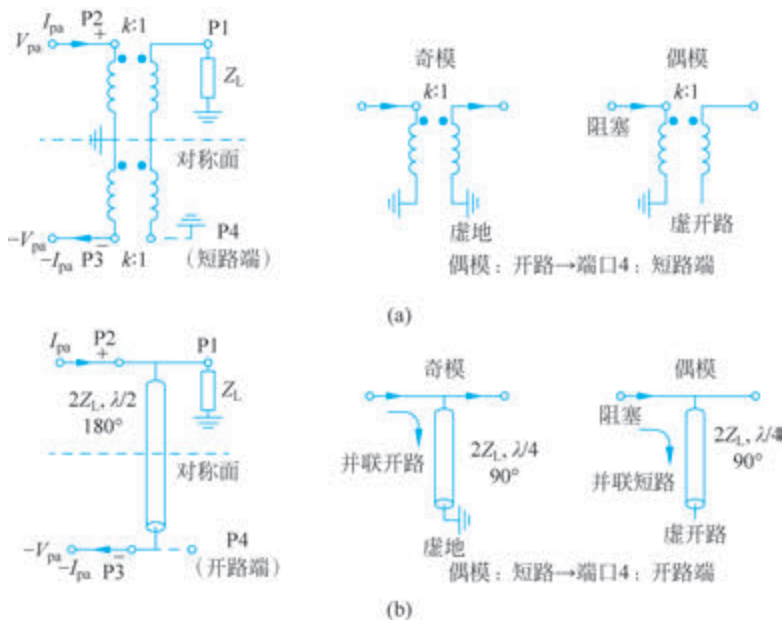


图 3.4.14 (a)理想变压器的四端口平衡器和它的奇/偶模电路 (b) 180° 延迟传输线以及它的奇/偶模电路

为了在高毫米波频率下实现差分信号到单端信号的转换,研究如图 3.4.15 所示的平衡器,该平衡器由两条分布式耦合线组成。与前述分析平衡器的方法类似,通过找到隐藏的端口 4 并将其视为四端口网络,利用奇/偶模分析得到图 3.4.16。在偶模电路中,该端口可视为“虚断”。直观地说,当应用偶模输入时,信号被分配到直通端口和耦合端口,并在这些具有断路或短路的端口发生反射,不同相位的信号在隔离端结合,导致偶模信号在所有频率下的零传输。总的来说,偶模信号的传输始终被阻断,使得基于耦合器的平衡器在各个频率上都能实现完美的幅度和相位平衡。

通过 S 参数仿真分析如图 3.4.12 所示的耦合器,得到如图 3.4.17 所示的结果,可以看到,基于耦合器的平衡器在很高的频段仍然可保持良好的插损以及相位失配和幅度失配。



图 3.4.15 分布式耦合器的电路简化图

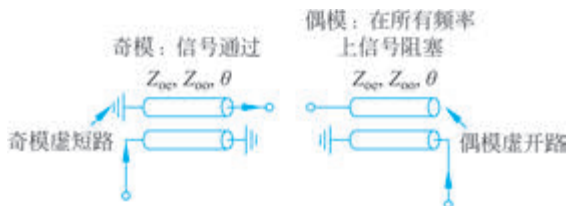


图 3.4.16 基于耦合器的奇/偶模分析

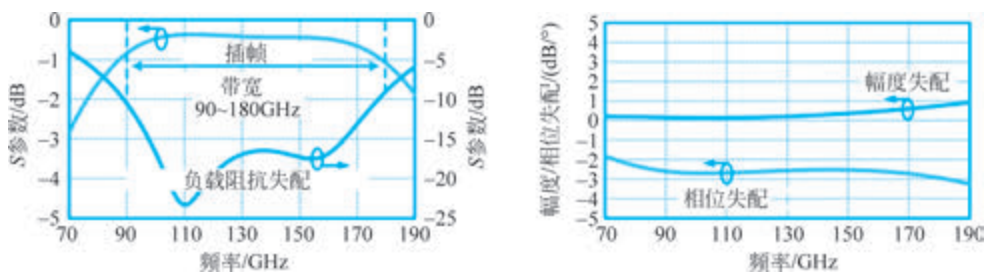


图 3.4.17 仿真波形

3.4.2 变压器的宽带阻抗匹配

我们很关心变压器的宽带性能,因为宽带性能决定了是否可以完成高数据速率通信。本节分析如何实现变压器的宽带匹配。

3.4.2.1 宽带匹配之双 LC 匹配网络

双 LC 匹配网络常用于宽带匹配中,它的等效小信号模型如图 3.4.18 所示,它是由并联网络(L_1, C_1)、串联网络(L_2, C_2)以及等效电阻 R_{EQ} 组成的。串并联分路的谐振频率都为 ω_c ,匹配网络的输入阻抗为 Z_{IN} ,则有

$$Z_{IN} = \left[j\omega C_1 \left(1 - \frac{\omega_c^2}{\omega^2} \right) + \frac{1}{j\omega L_2 \left(1 - \frac{\omega_c^2}{\omega^2} \right) + R_{EQ}} \right] \quad (3.4.26)$$

Z_{IN} 被绘制在图 3.4.18 中,而蓝色区域表示的是回波损耗 Γ_{IN} 小于 -10dB 的区域, Γ_{IN} 可用下式计算:

$$\Gamma_{IN} = 10\log(|S_{11}|^2) = 10\log \left| \frac{Z_{IN} - Z_0}{Z_{IN} + Z_0} \right|^2 \quad (3.4.27)$$



彩图

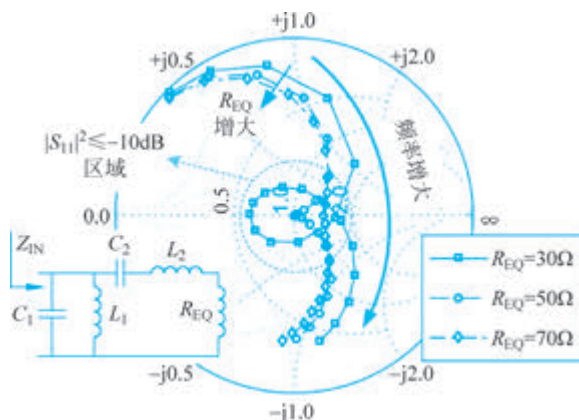


图 3.4.18 不同 R_{EQ} ($30\Omega/50\Omega/70\Omega$) 下, Smith 圆图中双 LC 匹配网络不同频率下输入阻抗的变化; 虚线圈内为反射系数小于 -10dB 的区域

其中, Z_0 表示为所接传输线的特性阻抗, 在图 3.4.18 中可以看到, 随着等效阻抗 R_{EQ} 的降低, S_{11} 的带宽可以被扩展; 对于式 (3.4.26) 来说, 在其虚部为零的条件下, 可以得到 $S_{11} < -10\text{dB}$ 时的带宽 ω , 式 (3.4.26) 的理想解有 3 个: 中心频率为 ω_c , 低频频率为 ω_L , 高频频率为 ω_H , 有关系式 $\omega_c^2 = \omega_L \cdot \omega_H$; 输入阻抗在这 3 个频率下的实部阻抗为

$$R_{IN}(\omega) = \begin{cases} R_{EQ}, & \omega = \omega_c \\ \frac{L_1 L_2 \omega_c^2}{R_{EQ}}, & \omega = \omega_L, \omega = \omega_H \end{cases} \quad (3.4.28)$$

可以看到, 这个端口的反射系数 S_{11} 是由这些频率下的 $R_{IN}(\omega)$ 决定的, 我们认定在 ω_L 、 ω_H 的实部阻抗为 R_1 , 通过求解式 (3.4.27), 可以得到在 T_{IN} 小于 -10dB 情况下的阻抗范围为 $26 < R_{EQ} < R_1 < 96\Omega$, 因此, 可以根据下式求出 S_{11} 的范围:

$$\omega_H - \omega_L = \frac{\sqrt{R_1 R_{EQ} - R_{EQ}^2}}{L_2} \quad (3.4.29)$$

上面给出了关于双 LC 匹配网络对于带宽的匹配原理以及方法。我们知道, 对于一个放大器来说, 它的噪声也很重要, 双 LC 匹配网络也可以用于宽带噪声匹配, 所以接下来介绍关于噪声网络的匹配分析。

如前所述, 对于噪声性能而言与输入信号源导纳有关, 通过选择合适的输入信号导纳, 可以使得网络的噪声因子达到最小; 故此在电路网络中, 需要关心的是匹配网络的输出阻抗 Z_S , R_0 为源电阻, 当阻抗 Z_S 与最佳噪声阻抗相等, 也与输入阻抗的共轭 Z_{IN}^* 相等时, 则认为这个晶体管同时实现了噪声匹配和功率匹配。在图 3.4.19 中, 对于这个在 CE 节点有退化电感的三极管, 给出其最佳噪声阻抗和输入阻抗的公式:

$$Z_{opt} \approx \frac{1}{\omega(C_{BE} + C_{BC})} \left[\sqrt{\frac{g_m}{2}(R_E + R_B)} + j \right] \quad (3.4.30)$$

$$Z_{IN} \approx \frac{g_m L_E}{C_{BE}} + \frac{1}{j\omega(C_{BE} + C_{BC})} \quad (3.4.31)$$

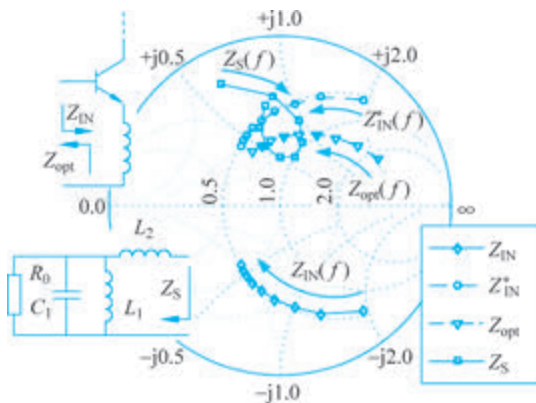


图 3.4.19 简并电感共发射极晶体管的模拟输入阻抗 Z_{IN} 及其共轭匹配和最优噪声阻抗 Z_{opt} 在 Smith 圆图中的轨迹

由于这里主要是介绍这种匹配的方法,所以如果基于三极管进行介绍,可能与本书所用的 CMOS 工艺不同;在式(3.4.31)中, C_{BE} 、 C_{BC} 分别为基极发射极和基极集电极电容, R_E 、 R_B 分别为发射极电阻和基极电阻; g_m 为跨导, L_E 为发射极退化电感;在图 3.4.17 中,可以看到 Z_{IN} 的旋转方向类似于串联 RC 电路,因此 Z_{IN} 与 Z_S 构成类似的双 LC 网络;利用上述讲到的双 LC 匹配方法,如图 3.4.19 所示,可以通过这样的网络匹配找到接近 $Z_S = Z_{IN}^*$ 的范围,即在 ω_L 、 ω_C 和 ω_H 处可以匹配。

同时,还需要对电路进行噪声匹配。可以观察到,噪声匹配和功率匹配在所有频率下并不完全一致,因此在实际设计中,尤其当最小噪声较高时,高频匹配的重要性尤为突出。在设计时,可以考虑仅在高频段进行匹配优化,这样可以更有效地兼顾高频性能,从而提高整体的设计效果。

真正好的设计方法可以用来指导实践。下面通过使用 ADS 软件来模拟仿真设计。

3.4.2.2 设计实现低噪声放大器的输入匹配

实际搭建的电路如图 3.4.20 所示,在晶体管栅源间插入的电容,一方面是保护电路,防止误击穿和自导通;另一方面,这个电容也叫米勒电容,它的加入可以改变电路的频率响应特性,从而实现了对电路性能的优化,使得设计者能够在更广泛的频率范围内优化电路性能。

与图 3.4.19 类似,运行仿真,对 C_P 和 L_S 做扫描,观察阻抗 R_{EQ} 实部(即 $Z(1,1)$ 的实部)如图 3.4.21 所示,由理论部分的介绍可知,只有当输入阻抗的实部大于 26Ω 时,反射系数优于 -10dB ,由此得到该点插入的电容 C_P 的值,输入网络的品质因子如图 3.4.22 所示,可以看到,该点的品质因子不是很高,这有利于扩展带宽;注意,需要考虑到设计的八边形规则,对于 L_S 要有综合考量, L_S 的值低有利于增加网络的跨导 G_m 。

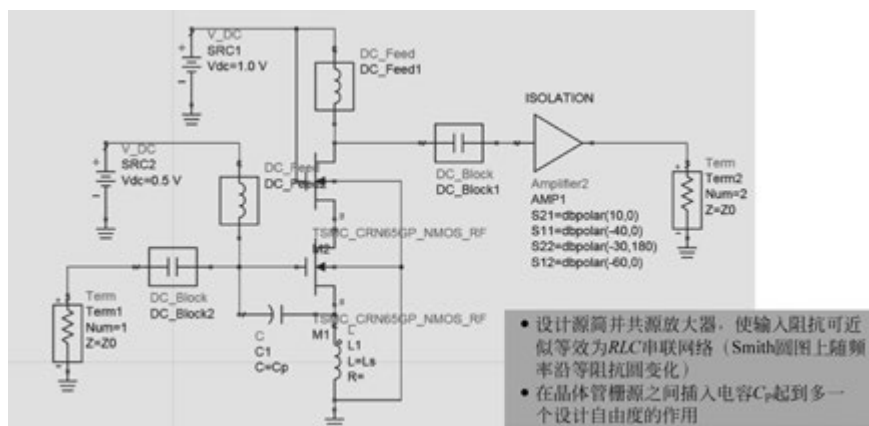
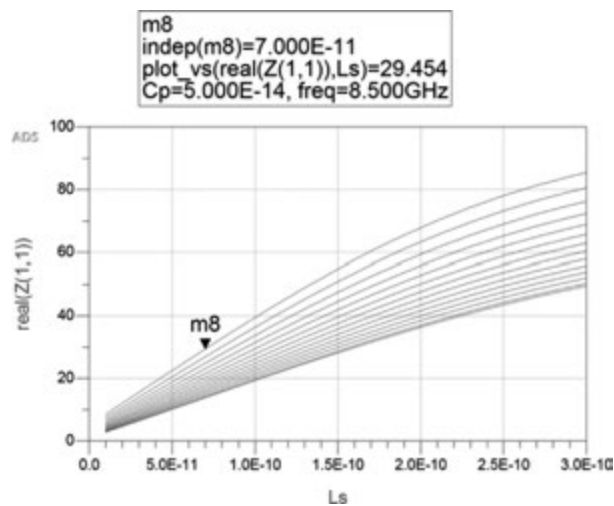
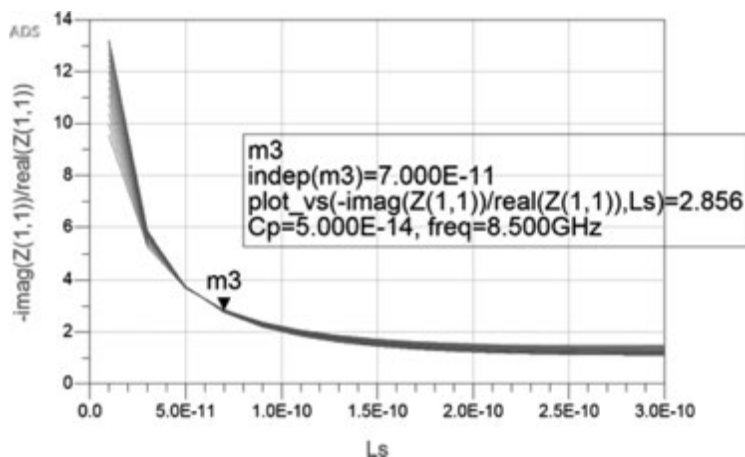


图 3.4.20 实际仿真所搭建的电路

图 3.4.21 固定频点扫描 C_p 呈现的阻抗实部图 3.4.22 仿真得到的品质因子 Q_s

接下来对 S 参数进行分析,使用 ADS 软件中匹配噪声阻抗的模板,先观察输入阻抗实部 $\text{Re}(Z_{\text{IN}})$ (见图 3.4.23)、这个端口的反射系数 S_{11} 以及最优噪声匹配阻抗 Z_{opt} ,在如图 3.4.24 所示的仿真数据中,可以观察到通过细致调节 L_S ,使得 Z_S 靠近 Z_{opt} ,得到如图 3.4.25 所示的 Smith 圆图。

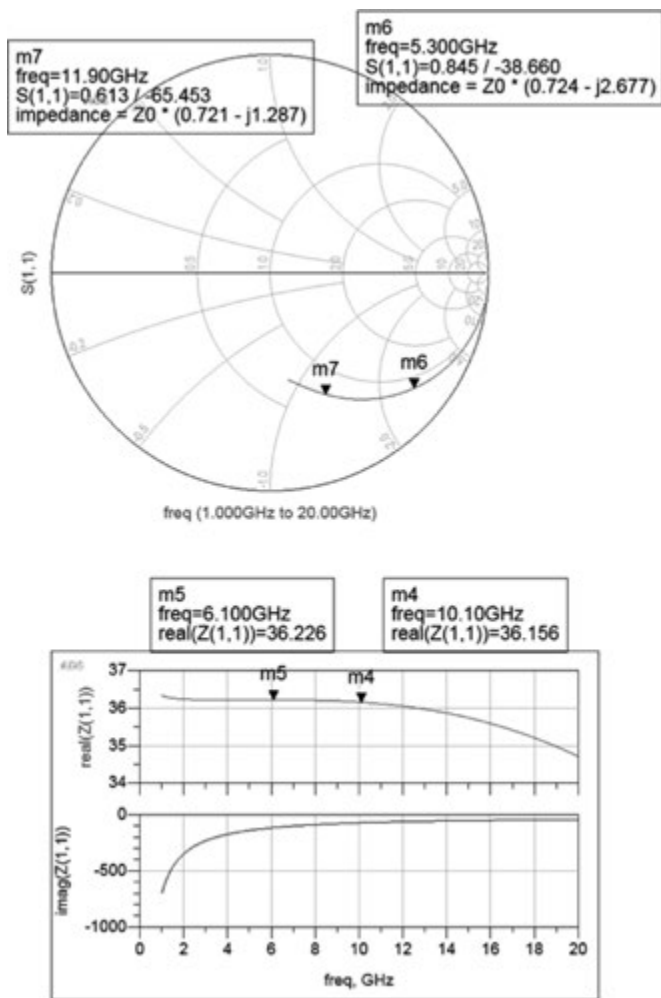


图 3.4.23 输入阻抗实部以及虚部

通过上面的操作调整,确定了退化电感、栅源电容的值以及对于低噪声放大器的输入阻抗实部,即

$$L_S = 90\text{pH}, \quad C_P = 50\text{fF}, \quad \text{Re}(Z_{\text{IN}}) = 36\Omega \quad (3.4.32)$$

确定了如图 3.4.20 所示的匹配网络后,接值为 36Ω 的电阻 R_{EQ} ,紧接着确定低噪声放大器所需要工作的频率范围($f_{\text{max}} = 10.7\text{GHz}$, $f_{\text{min}} = 5.8\text{GHz}$),带宽为 4.9GHz ,然后搭建如图 3.4.26 所示的匹配网络简化电路,如前所述,高频和低频处对应的阻抗要大于中心频率对应的阻抗,所以通过调整参数得到图 3.4.27。

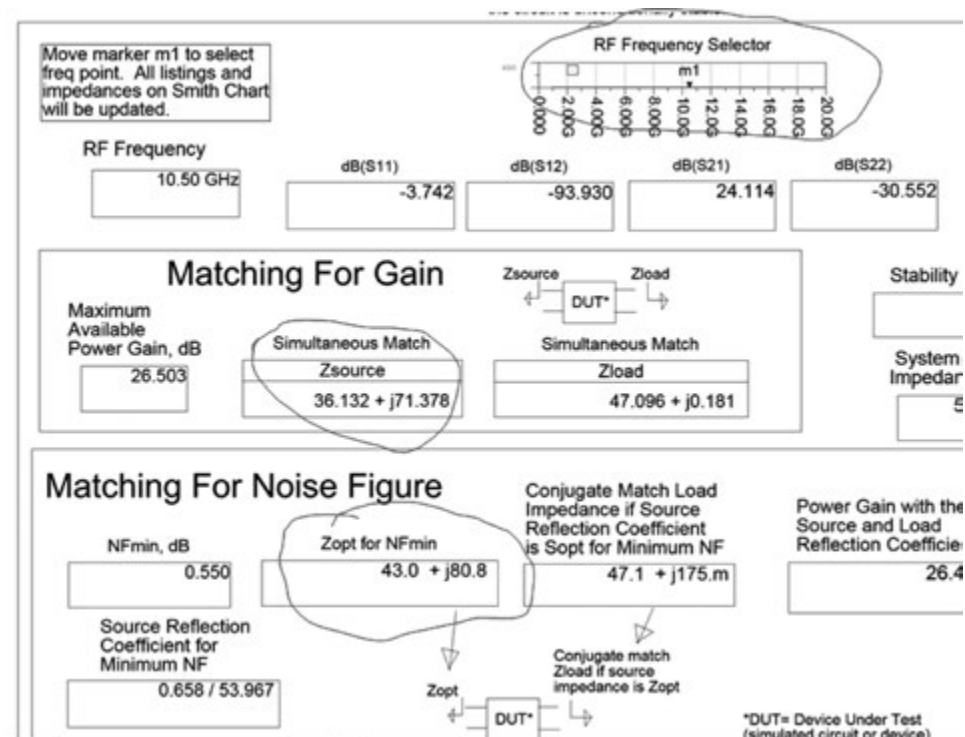


图 3.4.24 仿真参数

Source and Load Stability Circles; Optimal Source Reflection Coefficients for Minimum NF (Sopt), Simultaneous Conjugate Matching, and Load Reflection Coefficient for Simultaneous Conjugate Matching, and with source matched for NFmin

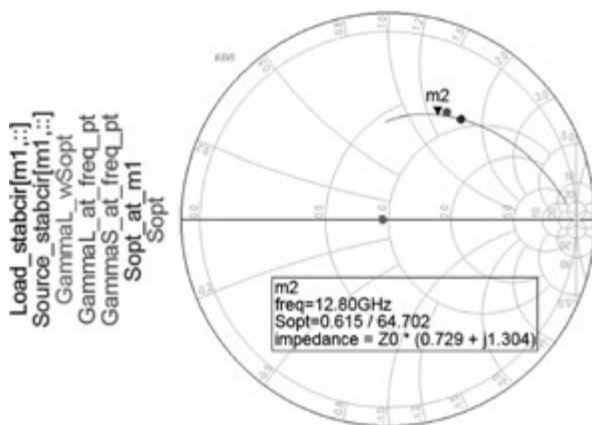


图 3.4.25 Smith 圆图显示的结果

在如图 3.4.27 所示的运行仿真里可以看到,在 10.7GHz 以及 5.8GHz 的端口 1 阻抗实部均大于 36Ω 且小于 96Ω,并且通过基本原理部分的公式可以推导出各元件值,注意,必须要考虑元件值的可实现性;有了简化的匹配网络后代入 LNA 电路,需要考虑串

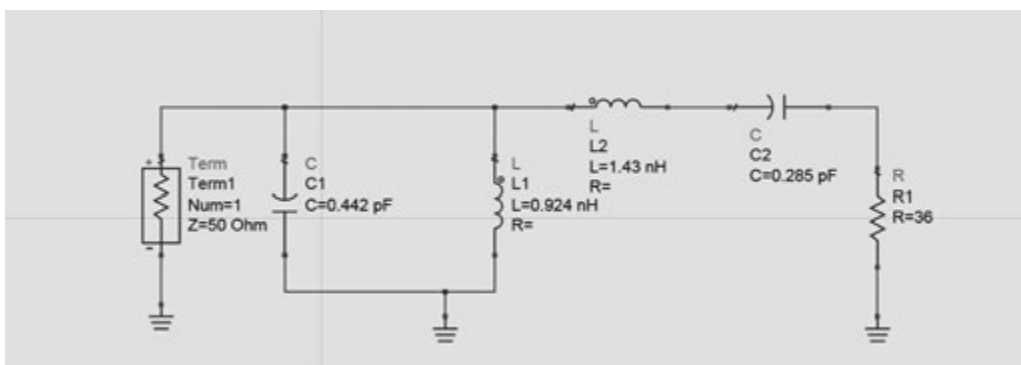


图 3.4.26 双 LC 匹配网络简化电路

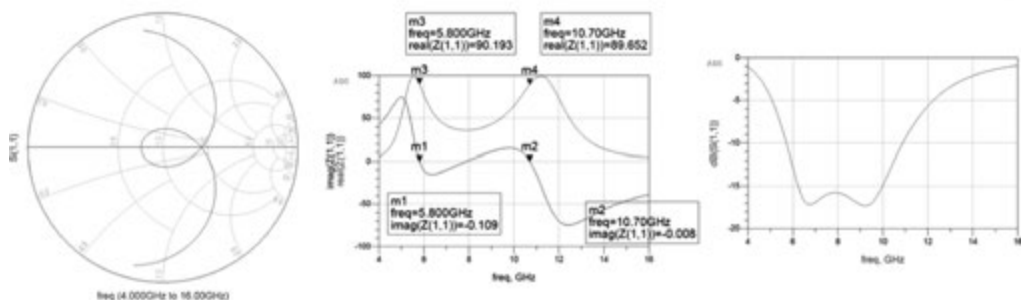


图 3.4.27 简化电路的运行仿真

联电容与栅源电容的差距,所以对栅源电容以及串联电感进行调整,呈现出如图 3.4.28 所示的匹配网络;还要关注噪声系数,在保证匹配网络的同时,细调参数,使得噪声系数也保持最佳状态,反射系数及噪声系数仿真如图 3.4.29 所示。

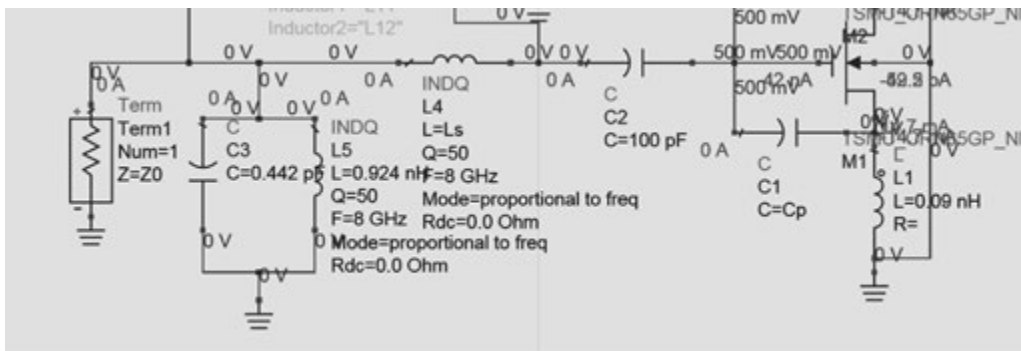


图 3.4.28 代入 LNA 以后的匹配网络

上面首先对理论进行了分析,再通过对于实际电路的操作,用理论指导实践,从而更加深刻地理解电路的本质;下面通过理论分析来说明上述设计的思想来源。

1. 变压器等效 I

在图 3.4.30 中展示的是 T 型等效模型结构的一种分析方法,可以看到,如图 3.4.30(b)所

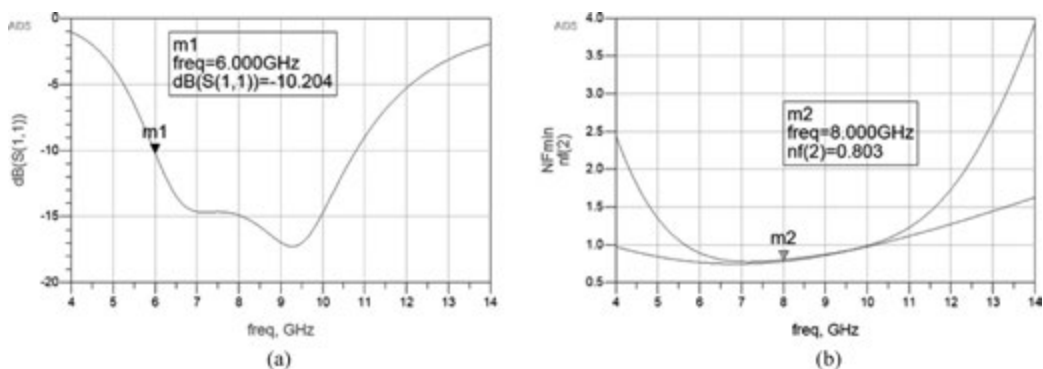


图 3.4.29 (a) 反射系数及 (b) 噪声系数仿真

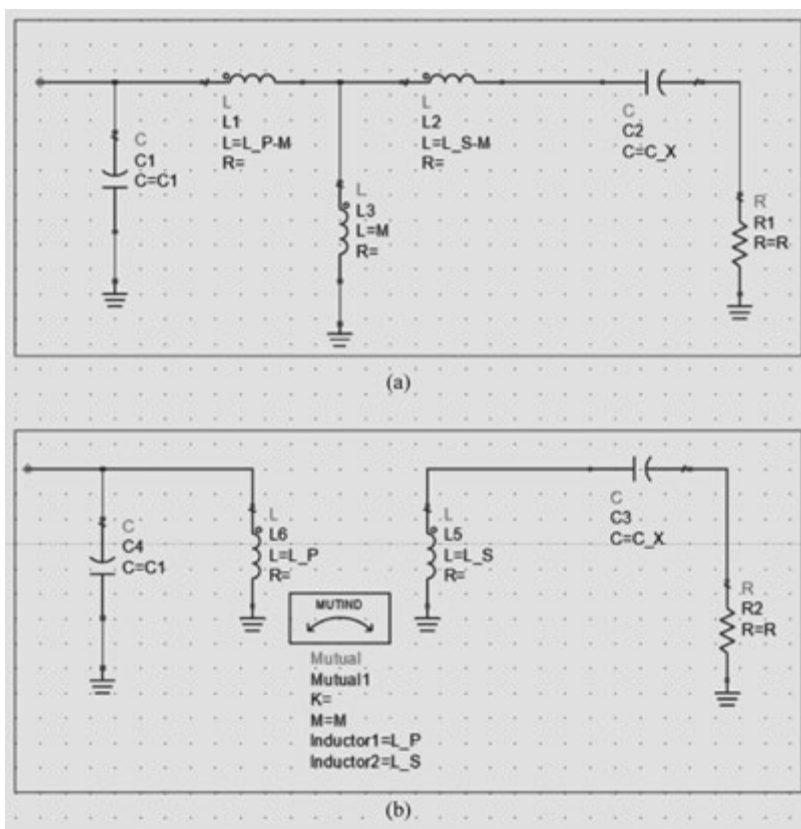


图 3.4.30 变压器等效 I

示的 L_P 、 L_S 变压器模型可以转化为如图 3.4.30(a) 所示的 T 型模型；对图 3.4.30(a) 可以根据中心抽头阻抗变换进行演变，由图 3.4.31(a) 中圈出的部分可以得到关于中心抽头的等效值为

$$\alpha = \frac{M}{L_P - M + M} = \frac{M}{L_P} \quad (3.4.33)$$

对圈出的部分做等效变换,对其除以 α^2 ,得到图 3.4.31(b),将其与图 3.4.31(c)对应,有如下参数:

$$R_{EQ} = \frac{R}{\alpha^2}, \quad L_P = L_1, \quad C_2 = \alpha^2 C_X \quad (3.4.34)$$

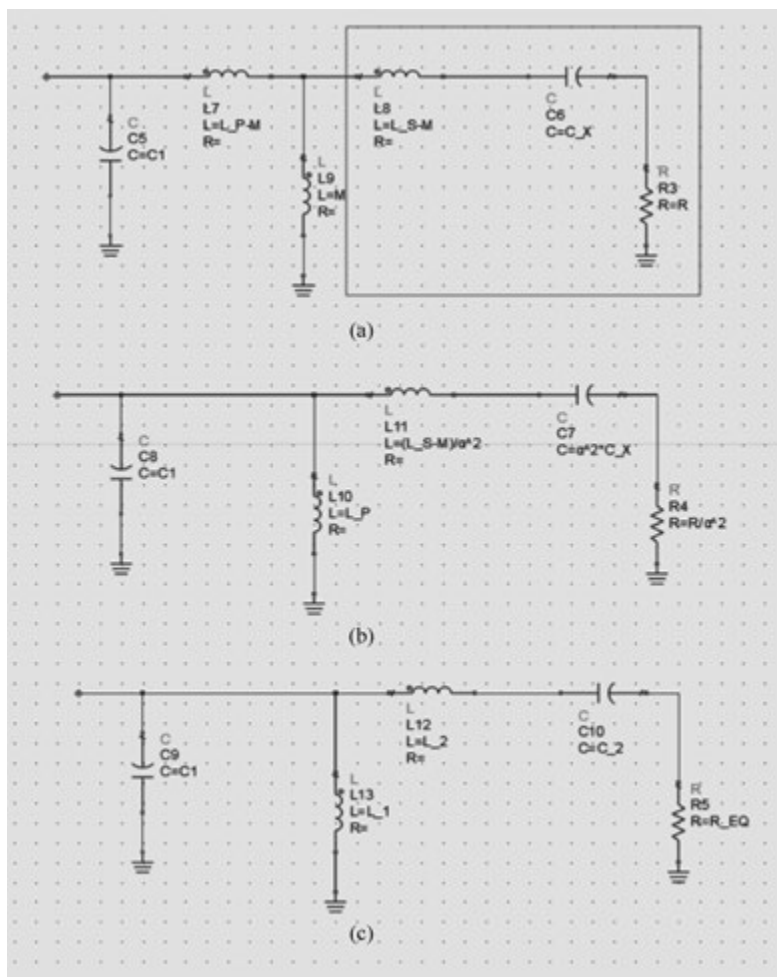
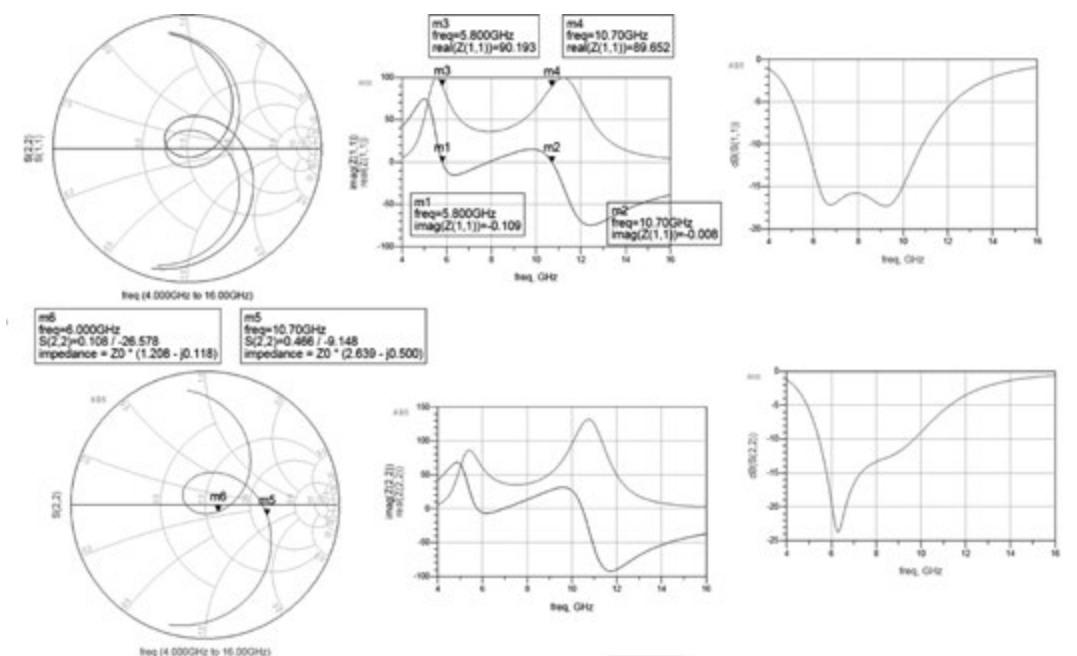


图 3.4.31 中心抽头等效变换

如图 3.4.32 所示的仿真数据表明,当 C_2 (或等效为 C_X)增大时,设计出现了失配问题,尽管反射系数 $S(1,1)$ 未受显著影响,但匹配网络的输入阻抗偏离了中心的 50Ω 位置,导致匹配情况恶化。为了保持良好的反射系数,输入阻抗应小于 96Ω ,而增大电容后,输入阻抗超过了此值,进一步恶化了匹配情况。如果串联电容 C_2 设计得过大,与 LNA 的等效电容 C_{gs} 偏离较大,那么最终在如图 3.4.30(b)所示的变压器模型中,由于式(3.4.34)的关系, C_X 也会被等效得更大,从而使得实际电路中的 LNA 匹配更加困难。

图 3.4.32 C_x 变大的仿真运行对比

2. 变压器等效 II

图 3.4.33 展示了变压器 T 型变换的第二种分析方法,与第一种方法不同的是,这种方法中的等效变压器是并联的,对于图 3.4.33(a)中的 T 型等效模型可以通过中心抽头变换得到,如图 3.4.34 所示,但这种变换的前提是中心抽头变换的值 $\alpha = \frac{L_P - M}{L_P}$ 接近 1。

如图 3.4.34 所示,与变压器等效 I 的变换一样,得到与匹配网络对应的参数,即

$$R_{EQ} = \frac{R}{\alpha^2}, \quad L_P = L_1, \quad C_2 = \alpha^2 C_X, \quad L_S = M + \alpha^2 L_2 \quad (3.4.35)$$

在这种等效变换下,可以看到串联电容的值不能设计得很大,因为这个值会影响设计难度,运行仿真可以得到如图 3.4.35 所示的数据, $S(3,3)$ 是在变压器等效 II 下对应模型的端口反射系数,比变压器等效 I 在这种情况下端口匹配情况稍好。

3. 变压器等效 III

这里介绍关于变压器等效分析的第三种方法,案例模型如图 3.4.36 所示,应注意其中电感的同名端方向。接下来进行分析,由于电容用于隔直通交且容值较大,因此在分析时可以将其视为短路,如图 3.4.37 所示。当同名端方向相反时,在 T 型等效模型下,可以将其等效为如图 3.4.38(a)所示的网络结构。此时,励磁电感 M 的等效形式可以表示为

$$-j\omega M = \frac{\omega M}{j} = \frac{1}{j\omega \cdot \frac{1}{\omega^2 M}} \quad (3.4.36)$$

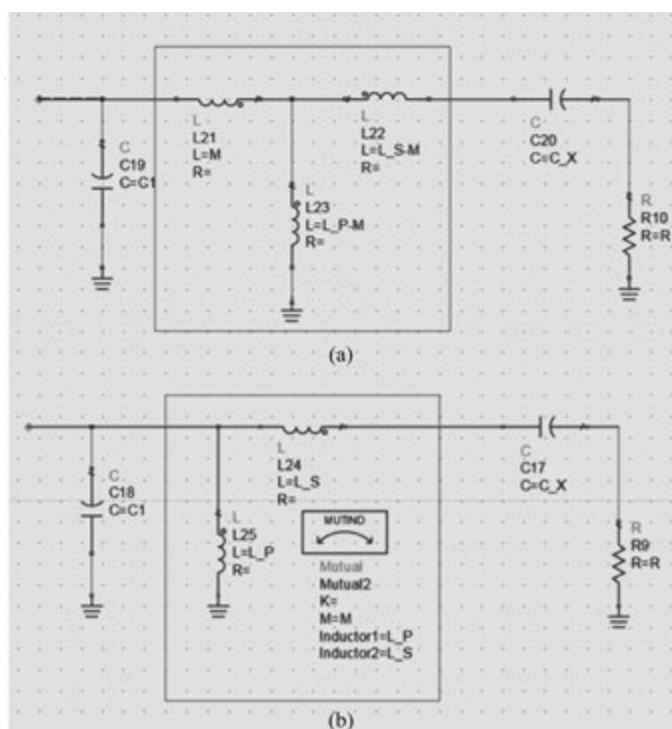


图 3.4.33 变压器等效 II

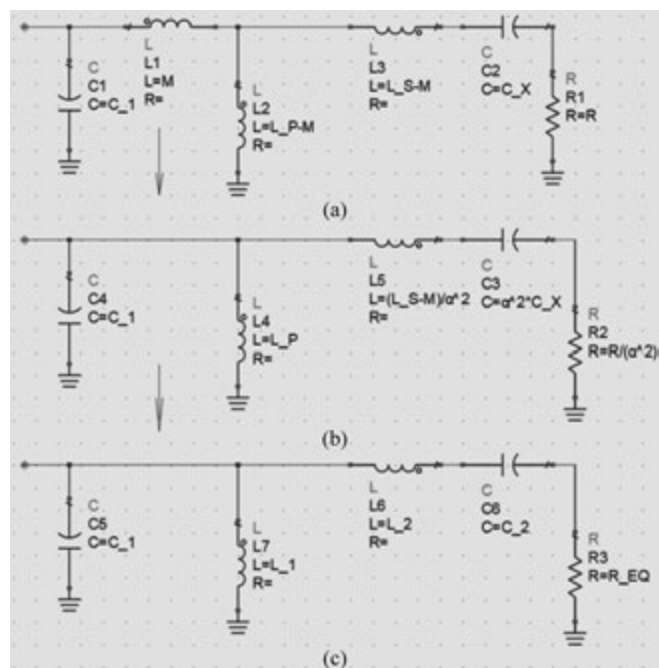


图 3.4.34 中心阻抗等效变换

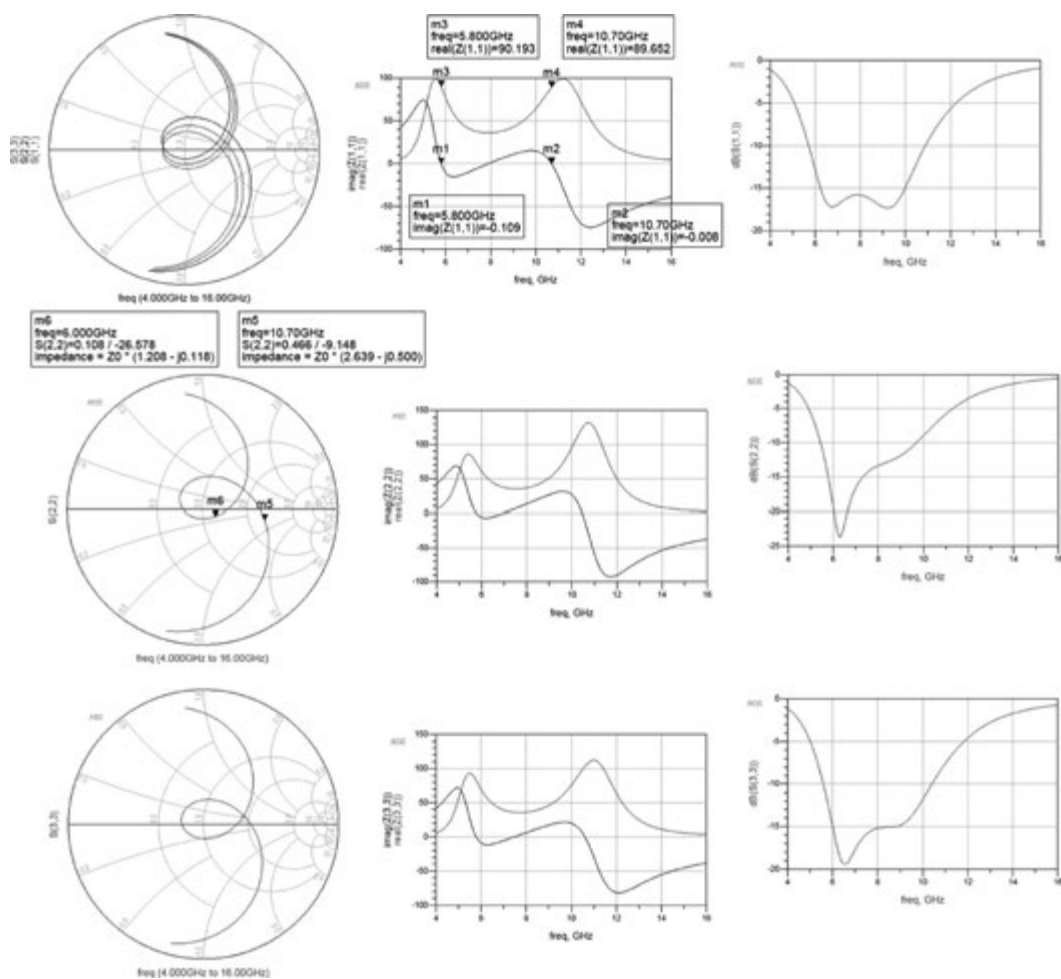


图 3.4.35 变压器等效 II 的匹配情况对比

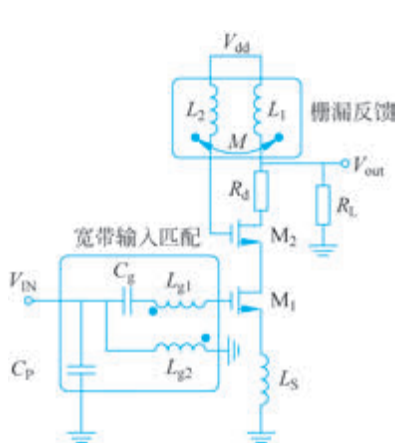


图 3.4.36 宽带 LNA

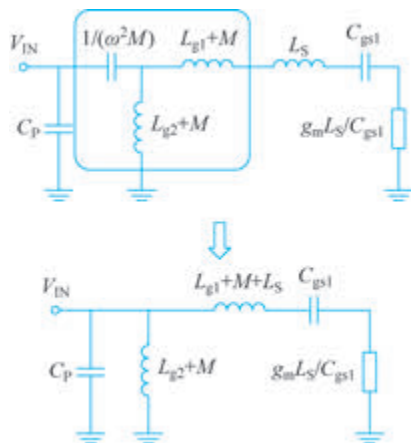
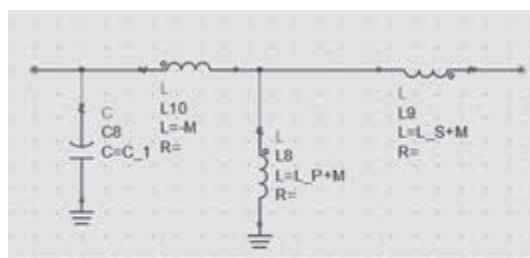


图 3.4.37 图 3.4.36 的输入匹配网络

由上式可以看到,互感(-M)可以等效成一个容值为 $\frac{1}{\omega^2 M}$ 的电容,如果这个地方的等效电容很小,就需要通过设计一个很大的虚部来抵消,故此M值应当很小,使得此电容的等效阻抗远小于等效阻抗 R_{EQ} ,由此得到容值很大,起到一个隔直通交的作用,在交流响应中可以视为短路,如图3.4.37所示;如图3.4.38(b)所示为MOS晶体管的等效模型,等效电阻为 $R_{EQ} = \frac{g_m L_S}{C_{gs1}}$,综合上述分析,可以得到如图3.4.37所示的化简后的等效电路,在这种等效分析下,互感M较小,耦合系数k也较小;在这种情况下,根据仿真数据如图3.4.39所示,S(6,6)是等效变换Ⅲ的仿真数据,与前两种情况对比,可以发现,宽带明显增加。



(a)



(b)

图 3.4.38 等效分析

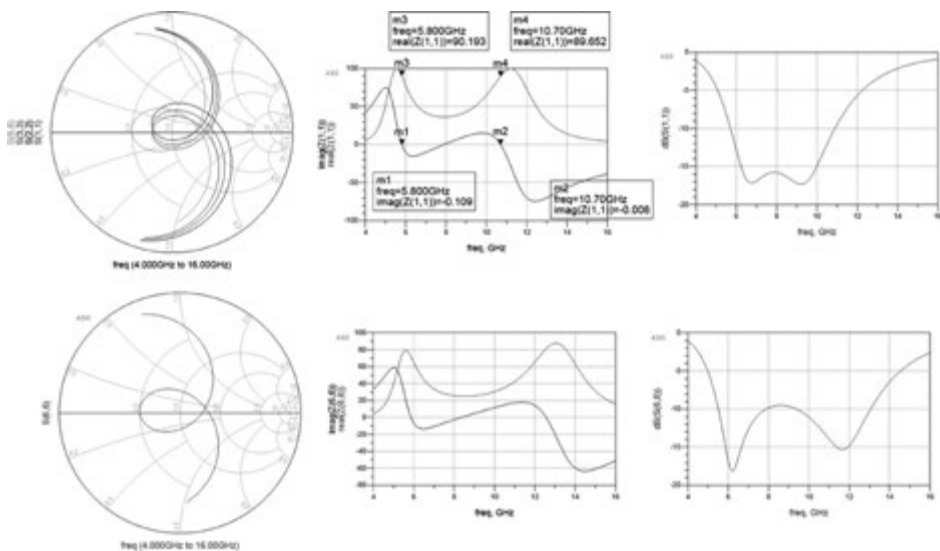


图 3.4.39 变压器等效Ⅲ的匹配情况对比

4. 变压器等效IV

前面讲到通过采用双 LC 匹配网络,可以使得 Z_S 在不同频率上两次穿过 Z_{IN} 和 Z_{OPT} ,这表明了 Z_S 提供了宽带匹配;然而,在毫米波频段,芯片面积、布局复杂性以及电感之间的耦合会带来额外的问题。一些研究采用全差分结构来适应平衡的封装上天线,减少封装寄生效应,因此在输入网络中需要使用 4 个电感。然而,由于电感之间的互相耦合和布局复杂性,在高毫米波频段下,这仍然是一个棘手的问题,可能影响芯片的可靠性。为了解决这一问题,提出了一种方法,将 4 个电感简化为一个元件,并利用电感之间的耦合,实现了紧凑的设计并提高了芯片的可靠性。源极退化电感也可以集成到变压器设计中(如图 3.4.40 所示),从而提出了一种基于三电感耦合的双 LC 匹配技术。

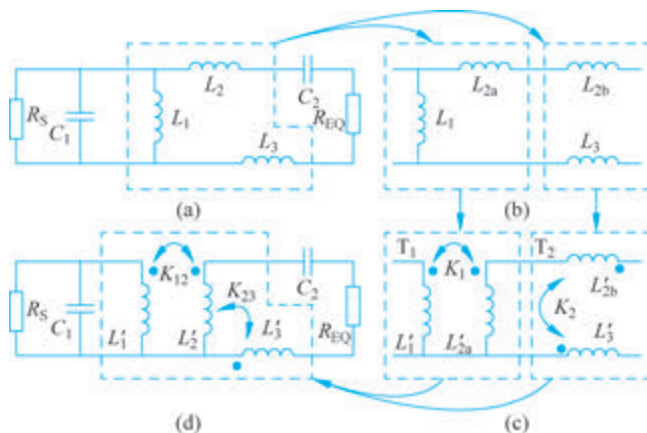


图 3.4.40 双 LC 匹配网络的演变

R_S 为源电阻, C_2 和 R_{EQ} 为晶体管等效输入阻抗, C_1 和 L_1 构成一部分, L_2 和 C_2 构成双 LC 匹配网络的第二部分,通过之前讲述的方法选取各分量的值,实现宽带匹配情况,考虑到 3 个电感之间的耦合,将 L_2 视为两部分,分别耦合到 L_1 和 L_3 ,可以分别等效成变压器 T_1 、 T_2 ,这是因为在如图 3.4.41 所示的等效分析中,根据 L 型等效电路模型将其等效成对于漏电感的分析模型,等效分析时的匝数比为 1 : 1,所以在进行电路分析时这个理想变压器可以忽略。故此得到参数对应关系:

$$(1 - K_1^2)L'_{2a} = L_{2a}, \quad K_1^2 L'_{2a} = L_1, \quad \frac{N_1}{N_2 K_1} = \sqrt{\frac{L'_1}{L'_{2a}}} \frac{1}{K_1} = 1 \quad (3.4.37)$$

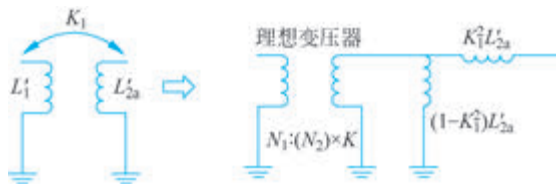


图 3.4.41 T_1 变压器等效分析

得到 T_1 参数:

$$L'_1 = L_1, \quad L'_{2a} = L_1 + L_{2a}, \quad K_1 = \sqrt{\frac{L_1}{L_1 + L_{2a}}} \quad (3.4.38)$$

对于第二个变压器,其等效分析如图 3.4.42 所示。根据同名端的相反方向,可以列出互感 M 的方程如下:

$$\begin{cases} v_P = -sL_P I_P + sM(-I_S) \\ v_S = -sL_S I_S + sM(-I_P) \\ I_P = I_S = I \end{cases} \quad (3.4.39)$$

由此能得到

$$\begin{aligned} v_P &= s(L_P + M)(-I) \Rightarrow L'_{2b} + M = L_{2b} \\ v_S &= s(L_S + M)(-I) \quad L'_3 + M = L_3 \end{aligned} \quad (3.4.40)$$

由此确定了 T_2 的参数:

$$L'_{2b} = \frac{L_{2b}}{1 + K_2}, \quad L'_3 = \frac{L_3}{1 + K_2} \quad (3.4.41)$$

对于 K_2 的选择可以认为是布局或技术方面的额外设计自由,此外, L'_{2a} 与 L'_{2b} 具有相同的电流,并且 L'_1 和 L'_3 之间的耦合可以忽略不计,因此, T_1 、 T_2 可以合并成一个三电感耦合变压器,如图 3.4.43 所示。在这种情况下, L'_{2a} 和 L'_{2b} 组合成 L'_2 , 将耦合因子 K_1 (K_2) 按照 $\frac{L'_{2a}}{L'_2} \left(\frac{L'_{2b}}{L'_2} \right)$ 的电感比进行缩放,生成 $K_{12}(K_{23})$ 。

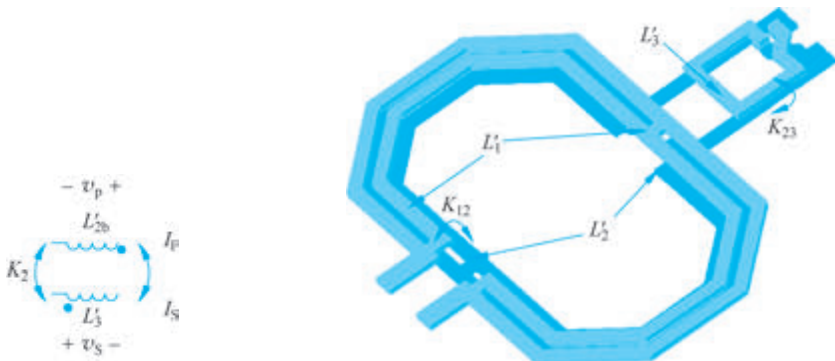


图 3.4.42 T_2 变压器等效分析

图 3.4.43 三电感变压器

3.4.2.3 共栅结构

我们知道,设计用于无线应用的射频低噪声放大器涉及几个挑战,前端的 LNA 必须要有足够的增益来增强从天线接收到的微弱射频输入信号,并且为了保证信号的正常工,不仅需要匹配端口到 50Ω ,还应该保证信道中的噪声足够小,这时更多的是考虑线性度、稳定性、隔离度以及对于温度电压变化的鲁棒性等因素,并综合考量采用八边形设计。共源 LNA 是窄带应用的热门选择,因为它既能提供高增益又具有相对较低的噪声,但是在进行宽带设计匹配时,由于串联谐振会导致输入匹配网络的品质因子提升,输入

晶体管的感应噪声会变强,且源极退化电感也会在共源设计中受到限制;同时,共栅 LNA 体现了它的优越性,与共源 LNA 相比,在温度电压变化的鲁棒性以及线性度、稳定性、隔离度等方面它具有更好的宽带匹配设计。但是,它的噪声因子会根据输入的匹配程度而受到影响,这点在介绍双 LC 匹配时有所涉及。为了理解这一点,下面分析一个共栅 LNA,如图 3.4.44 所示,其主要噪声源是源电阻的噪声电流和晶体管的漏极噪声电流,感应栅极噪声一般忽略不计。

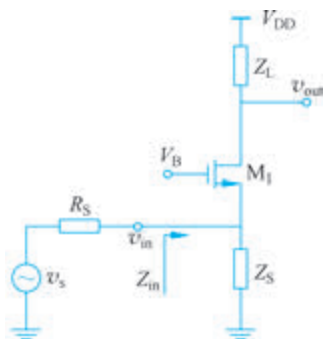


图 3.4.44 共栅放大器结构

假设晶体管栅极所引入的噪声以及噪声源所接偏置 Z_S 、负载端阻抗 Z_L 所引入的噪声都可以忽略,源电阻和晶体管跨导串联产生噪声电流,则这种结构在低频引入的噪声因子为

$$F = \frac{\overline{i_{nd}^2} \left(\frac{1}{1 + g_m R_S} \right)^2 + \overline{i_{nS}^2} \left(\frac{g_m R_S}{1 + g_m R_S} \right)^2}{\overline{i_{nS}^2} \left(\frac{g_m R_S}{1 + g_m R_S} \right)^2} = 1 + \frac{\overline{i_{nd}^2}}{\overline{i_{nS}^2}} \left(\frac{1}{g_m R_S} \right)^2 \quad (3.4.42)$$

式中, $\overline{i_{nd}^2} = 4kT\gamma g_{do} \Delta f$ 为晶体管产生的漏端电流噪声, $\overline{i_{nS}^2} = 4kTR_S^{-1} \Delta f$ 为输入源引入的输出噪声电流。令 $\alpha = \frac{g_m}{g_{do}}$, 通过调节使得共栅极的源极输入阻抗 $1/g_m \approx R_S$, 可以实现输入阻抗实部匹配, 则上式可以化简为

$$F = 1 + \frac{\gamma g_{do}}{g_m^2 R_S} = 1 + \frac{\gamma}{\alpha} \Big|_{g_m R_S = 1} \quad (3.4.43)$$

分析上面的式子可知,共栅极输入匹配和噪声因子之间紧密联系的概念即噪声受输入匹配的约束,不能随意调整跨导以增大或减小噪声因子;此外,这给了工程师提示,如果在输入匹配和噪声系数特性之间引入解耦机制,则可能改变噪声性能;从另一个角度来看,似乎增大系数 α 可以有效减小噪声系数,但是这个值受到工艺的影响,是不能随意改变的;于是工程师想到了负反馈的方法,如图 3.4.45(b)所示,在栅极和源端插入增益为 $-A$ 的反馈,跨导能被提升为 $(1+A)g_m$, 则得到噪声因子为

$$F = 1 + \frac{\overline{i_{nd}^2}}{\overline{i_{nS}^2}} \left(\frac{1}{(1+A)g_m R_S} \right)^2 = 1 + \frac{\gamma}{(1+A)\alpha} \Big|_{(1+A)g_m R_S = 1} \quad (3.4.44)$$

这种结构提供了相同的输入阻抗,但需要更小的偏置电流。这种结构称为跨导增强型共栅,其中,更小的偏置电流意味着来自输入晶体管或者通道的噪声较小。

噪声问题会妨碍主动实现反向增益,所以被动实现就有很大的可能,如图 3.4.46 所示的电容交叉耦合技术是跨导增强型共栅的特殊例子,但这样的结构缺点也多,如它消耗的偏置电流和版图面积是单端结构的 2 倍,并且寄生电容 C_{gs} 和 C_c 分压的增益 A 总是小于 1。

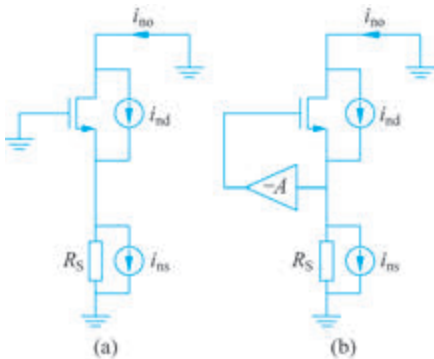


图 3.4.45 (a) 共栅的简化电路和 (b) 跨导增强型共栅结构

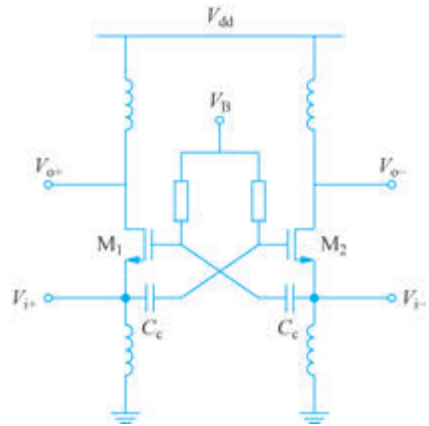


图 3.4.46 电容交叉耦合共栅 LNA

为了探究实现增益大于 1 的反相增益的结构,出现了如图 3.4.47 所示的变压器耦合增强跨导型的单端和差分结构电路。

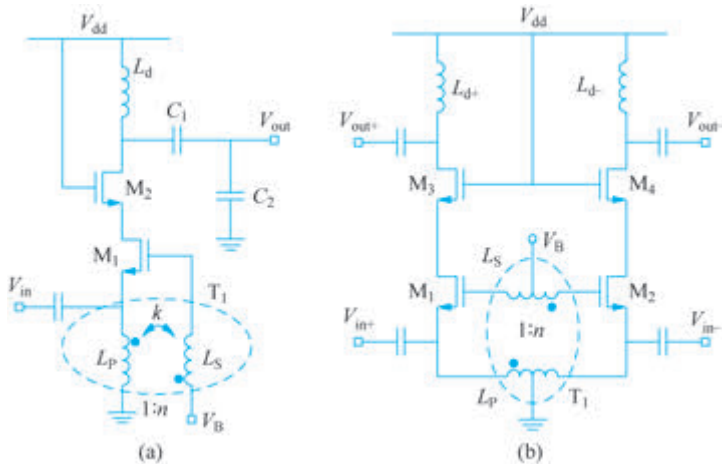


图 3.4.47 单端结构和差分结构的跨导增强型 LNA

本节只分析单端结构的优势,在图 3.4.47(a)中,栅极和源极之间变压器的磁耦合提供了栅极和源极之间反相的操作,有效增强了源端的跨导,晶体管 M_2 的存在是为了提高输入和输出的反向隔离度,但这引入了额外的噪声,负载电感与抽头电容器形成了阻

抗匹配网络,将图 3.4.47(a)化简成图 3.4.48 所示的小信号模型。

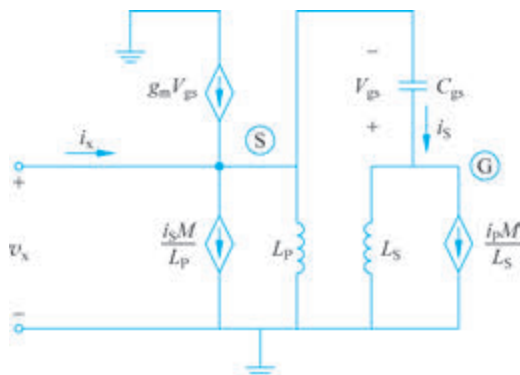


图 3.4.48 单端跨导增强结构的小信号模型

根据基尔霍夫定律,列出方程有

$$i_x + g_m v_{gs} - i_S = \frac{M i_S}{L_P} + \frac{v_x}{s L_P} \quad (3.4.45)$$

$$i_S = \frac{v_g}{s L_S} + \frac{M i_P}{L_S} \quad (3.4.46)$$

$$v_{gs} = -\frac{i_S}{s C_{gs}} \quad (3.4.47)$$

$$i_P = \frac{M i_S}{L_P} + \frac{v_x}{s L_P} \quad (3.4.48)$$

$$v_g = v_x + v_{gs} \quad (3.4.49)$$

代入耦合系数以及匝数比的关系式求得输入导纳:

$$Y_{in} = \frac{i_x}{v_x} = \frac{1}{s L_P} \frac{1 + \frac{k}{n} g_m s L_S + \left(1 + \frac{k}{n}\right) s^2 L_S C_{gs}}{1 + (1 - k^2) s^2 L_S C_{gs}} + \frac{1}{s L_S} \frac{g_m s L_S + (1 + nk) s^2 L_S C_{gs}}{1 + (1 - k^2) s^2 L_S C_{gs}} \quad (3.4.50)$$

对于理想的变压器耦合系数为 1,实际的变压器耦合一般为 0.6~0.9,因此 $|(1 - k^2) s^2 L_S C_{gs}| \ll 1$,可以将输入导纳化简为

$$Y_{in} \approx \frac{1}{s L_P} + \frac{k}{n} g_m \frac{L_S}{L_P} + \left(1 + \frac{k}{n}\right) s C_{gs} \frac{L_S}{L_P} + g_m + (1 + nk) s C_{gs} \quad (3.4.51)$$

前面对于变压器匝数比的定义为 $n^2 = L_S / L_P$,则上式可以重新表示为

$$Y_{in} \approx \frac{1}{s L_P} + (1 + nk) g_m + (1 + 2nk + n^2) s C_{gs} \quad (3.4.52)$$

上式表明了变压器耦合提供了额外的自由度,有效跨导被提供了 $(1 + nk)$ 倍的额外自由度,而反向增益系数 $A = nk$ 由匝数比和耦合系数决定,这也就给出了反向增益系数

大于1的解决方案；可以将这种跨导增强型结构的输入阻抗看作并联谐振的网络，它具有与传统的共栅结构相反的串联谐振特性；由于跨导的增强，在输入匹配条件 $(1+nk)g_m R_S=1$ 下，这也意味着并不能随意增加 A 的值而去减少噪声因子，也得出在忽略了栅极感应噪声的前提下噪声因子被降低为 $F \approx 1 + \gamma/\alpha(1+nk)$ ，这里给出在考虑栅极感应噪声后的噪声因子为

$$F = 1 + \frac{\gamma}{\alpha(1+nk)} + \frac{\delta\alpha}{5} \left(\frac{\omega}{\omega_T}\right)^2 \frac{(1+2nk+n^2)^2}{(1+nk)^3} \quad (3.4.53)$$

上面仔细分析了为何采用共栅极结构以及在共栅极的基础上采用的优化方案。

3.4.2.4 宽带匹配之基于变压器匹配网络

前面讲述了双 LC 匹配网络的宽带匹配分析，本节讲述对于基于变压器的匹配网络分析，提出一种采用电感退化和中和技术的共源极低噪声放大器(DCS)，如图 3.4.49 所示，该电路嵌入在基于变压器的四阶匹配网络中，以实现宽带阻抗匹配和高反向隔离。

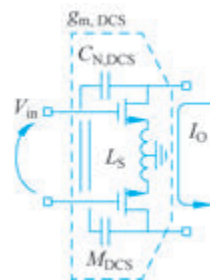


图 3.4.49 DCS 的简化框图

首先，构建一个串联 RLC 网络来精准建模 DCS 放大器的输入阻抗，其中电感 L_S 为如图 3.4.49 所示的源极退化电

感，串联电阻值为 $\frac{L_S g_m}{C_S}$ ，在谐振频率 f_0 处的品质因子为 $Q_S = \frac{1}{2\pi f_0 R_S C_S}$ 。

图 3.4.50(a)显示了 $f_0=80\text{GHz}$ 时不同晶体管宽度的 R_S 和 Q_S 与 L_S 的对比；注意，在想要的工作频段， R_S 会偏离理论分析得到的值 $\left(\frac{L_S g_m}{C_{gs}} = L_S \omega_T\right)$ ，这是因为栅极和局部的地之间有寄生电容存在；该寄生电容与晶体管宽度成正比，并为输入电流提供了分流路径，寄生电容越大，等效电阻越小；图 3.4.50(a)也显示了等效电阻 R_S 只有在相对较小的晶体管宽度和 L_S 下才会线性增加，这也表示最小可达到的 Q_S 是与晶体管无关的，因为晶体管宽度越大，使得 Q_S 最小的 L_S 值越低；图 3.4.50(c)展示了最小噪声几乎是独立于 L_S ，且跨导 G_m 随着 L_S 增加而减小，因此小的退化电感有利于限制跨导增益的损失。

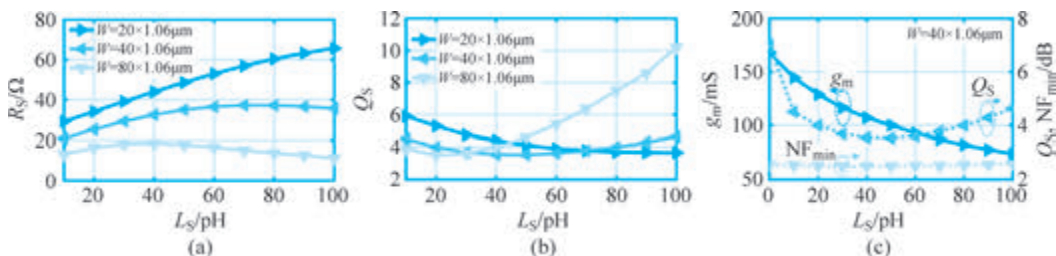


图 3.4.50 不同晶体管宽度下 R_S 和 Q_S 与退化电感 L_S 的关系

在该技术中，DCS 放大器能实现优越的带宽，也提供了在差分模式下的稳定性，而对于 DCS 而言，匹配网络如何将输入阻抗的集总模型嵌入基于变压器的四阶匹配网络，并

在不影响频率响应的情况下实现宽带阻抗缩放是很重要的,这也是本节内容的重点。接下来根据图 3.4.51 给出的设计流程来分析。

首先用等效晶体管模型的参数来构建图 3.4.51(a),将其当作一个二端口网络来分析,左边是端口 1,右边是端口 2,其中右边端口短路(即 $V_2=0$),由此可导出混合参数矩阵为

$$\begin{bmatrix} I_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} sC_S + \frac{1}{sL} & -k \\ k & \frac{1}{sC_S} + sL(1-k^2) + R_S \end{bmatrix} \begin{bmatrix} V_1 \\ I_2 \end{bmatrix} \quad (3.4.54)$$

在二端口电压为 0 的条件下,可以得到输入导纳的值为

$$Y_{in} = \frac{1}{Z_{in}} = \frac{G_{11}G_{22} - G_{12}G_{21}}{G_{22}} \quad (3.4.55)$$

同时得到匹配网络的两个谐振频率为

$$f_L = \frac{1}{2\pi\sqrt{L(1+|k|)C_S}} \quad (3.4.56)$$

$$f_H = \frac{1}{2\pi\sqrt{L(1-|k|)C_S}} \quad (3.4.57)$$

根据式(3.4.54)~式(3.4.57),得到输入阻抗的实部:

$$\operatorname{Re}\{Z_{in}(f_L)\} = \frac{1}{(2\pi f_L)^2 C_S^2 R_S} \quad (3.4.58)$$

$$\operatorname{Re}\{Z_{in}(f_H)\} = \frac{1}{(2\pi f_H)^2 C_S^2 R_S} \quad (3.4.59)$$

然而在这种情况下,匹配网络在串联 RC 上终止了,使得匹配网络的频率响应在两个谐振峰不均匀,因此为了突破限制,引入设计参数 ϵ 和 n ,其中 ϵ 的封闭形式表示实现了频率表示,即

$$\epsilon = \frac{1}{1-k^2} = \frac{1}{(1+k)(1-k)} \quad (3.4.60)$$

对于 n 可以给出如下定义:

$$n = \frac{\operatorname{Re}\{Z_{in}(f_L)\} + \operatorname{Re}\{Z_{in}(f_H)\}}{2 \cdot 50\Omega} = \frac{1}{(2\pi f_0)^2 (1-k^2) C_S^2 R_S \cdot 50\Omega} \quad (3.4.61)$$

f_L, f_H 都与耦合系数 k 有关,所以在不影响频率响应的情况下可以利用 $n\sqrt{\epsilon}$ 将所需要的阻抗缩放到 50Ω ,则得到

$$n\sqrt{\epsilon} = \frac{\operatorname{Re}\{Z_{in}(f_L)\} + \operatorname{Re}\{Z_{in}(f_H)\}}{2 \cdot 50\Omega} \sqrt{\epsilon} = \frac{1}{(2\pi f_0)^2 (1-k^2)^{3/2} C_S^2 R_S \cdot 50\Omega} \quad (3.4.62)$$

其中, $f_0^2 = (f_L^2 + f_H^2)/2$, f_0 为匹配网络的中心频率。上面介绍了匹配网络的基础理论知识,下面结合图 3.4.51 对匹配网络做进一步分析。

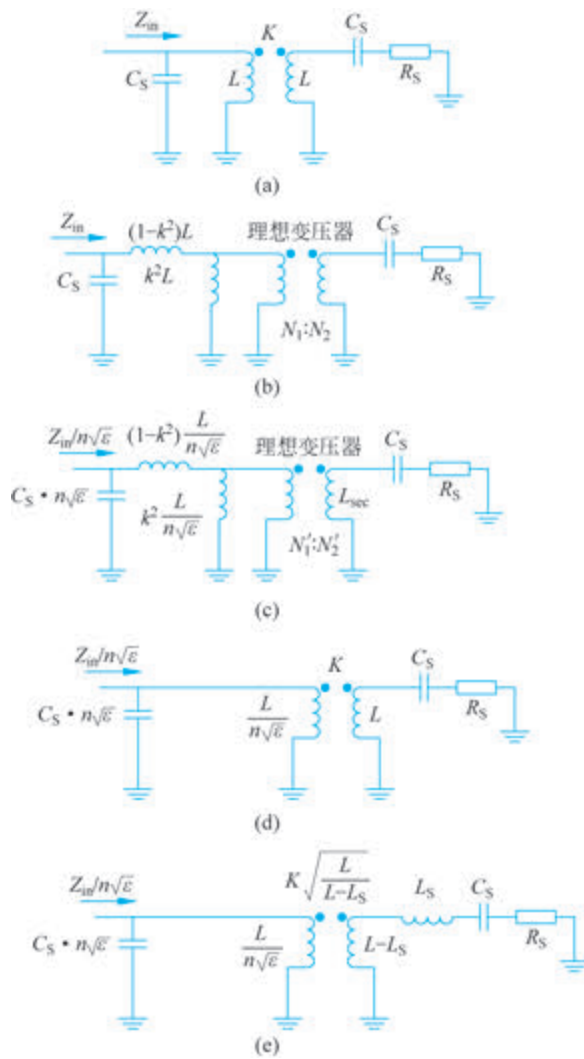


图 3.4.51 基于变压器的匹配网络

通过变压器 L 型等效漏电感等效到二次侧绕组,即图 3.4.51(a)到图 3.4.51(b),具体推导过程在前边 L 型等效模型部分有讲述;对如图 3.4.51(b)所示的理想变压器来说,由于 L 型等效后二次侧绕组的匝数为原先的 $1/k$,因此理想变压器的匝数比为

$$\frac{N_1}{N_2} = k \sqrt{\frac{kL}{kL}} \quad (3.4.63)$$

再用 $n\sqrt{\epsilon}$ 进行阻抗的等效变换得到图 3.4.51(c),理想变压器左侧的电感也被等效地缩放为原来的 $\frac{L}{n\sqrt{\epsilon}}$, L_{sec} 为图 3.4.51(c)中理想变压器右侧的电感,由于阻抗变换会改变匝数比,改变后的匝数比($N'_1 : N'_2$)也以 $n\sqrt{\epsilon}$ 的系数进行相应的缩放,则得到

$$\frac{N'_1}{N'_2} = k \sqrt{\frac{L}{n\sqrt{\epsilon}}} = \frac{N_1}{N_2} \frac{1}{\sqrt{n\sqrt{\epsilon}}} \Rightarrow L_{\text{sec}} = L \quad (3.4.64)$$

再通过 L 型等效的逆变换将图 3.4.51(c) 变换到图 3.4.51(d), 其中等效后的电感值分别为 $\frac{L}{n\sqrt{\epsilon}}$ 、 L , 这样就初步完成了对于四阶网络的等效; 由于需要等效出 L_S , 所以变

压器二次侧绕组处的电感需要按照比例减小, 耦合系数需要增加到 $K \sqrt{\frac{L}{L-L_S}}$, 最终得到图 3.4.51(e); 至此, 基于变压器的宽带匹配网络就分析完了。

3.4.3 变压器的变换

前面讲述了不同的基于变压器的阻抗匹配网络, 其实对于匹配网络拓扑结构变换及其设计技术涉及的理论分析较少, 本节对于变压器的不同变换进行一个总结分析。

1. 匹配网络的 π 型拓扑变换

先分析对输出网络的等效变换。输出匹配网络旨在以最小的插入损耗在宽带上提供所需的阻抗变换, 高阶网络能够支持较宽的宽带, 但必须将无源元件的数量降到最低, 以限制功率损耗; 另外, 匹配网络的拓扑结构和元件需要实现紧凑的布局, 以最大限度地减少寄生效应。在这种情况下, 如图 3.4.52 所示的变压器等效分析就很有必要; C_1 代表着匹配网络前接的有源器件的寄生电容与 L_1 谐振, 通过 L_2 耦合到输出, 其中 R_L 表示 50Ω 负载电阻。

对图 3.4.52(a) 来说, 它的频率响应为 $T(s) = V_{\text{out}}(s)/I_{\text{in}}(s)$, 谐振频率为 $\omega_L \approx \omega_0$ 与 $\omega_H \approx \omega_0 \sqrt{1+m+l}$, 其中, $\omega_0 = \frac{1}{\sqrt{L_3 C_3}} = \frac{1}{\sqrt{L_1 C_1}}$, $m = L_1/L_2$, $l = L_3/L_2$ 。注意, 如果满足高负载品质因子 $Q_L = \omega_0 R_L C_3$ 且无损耗, 并且在 $m=l$ 的条件下, 则在两个谐振频率处频率响应 $T(s)$ 相同。虽然是宽带网络, 但没有任何的阻抗变换功能, 而固有阻抗变换功能是提高放大器输出功率的关键; 另外, 在输出端进行差分到单端转换时, 需要变压器; 因此, 为了解决这些问题并达到上述目标, 下面对于图 3.4.52 进行等效网络流程分析。

从图 3.4.52(a) 到图 3.4.52(b) 的变换, 很清楚地将串联电感分为两部分; 而从图 3.4.51(b) 到图 3.4.51(c) 采用了诺顿变换(Norton Transformation), 以改变网络的传输比。诺顿变换主要用于阻抗变换和滤波器的设计。下面给出诺顿变换的分析图, 如图 3.4.53 所示。

从图 3.4.53(a) 左边的电感到图 3.4.53(b) 右边的电感, 终端阻抗值向更高的值转换, 这种结构为最大转换比电路, 其中转换比为

$$n = \frac{L_S + L_P}{L_P} \quad (3.4.65)$$

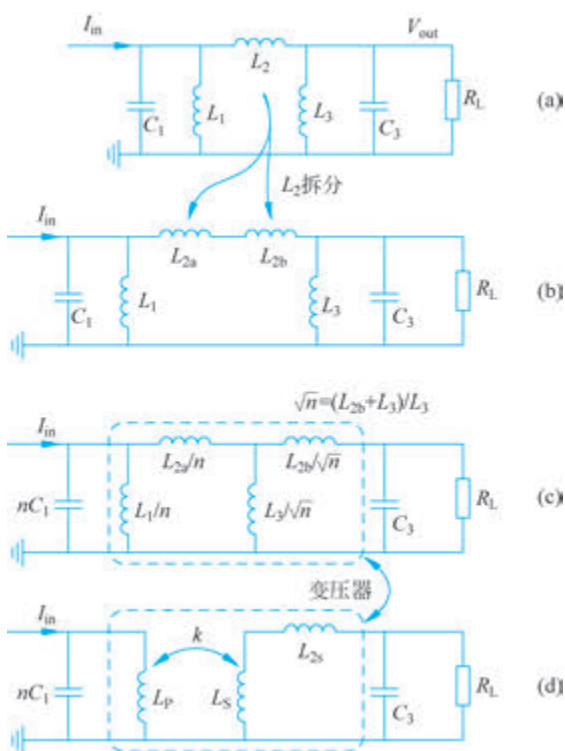


图 3.4.52 输出匹配网络分析图

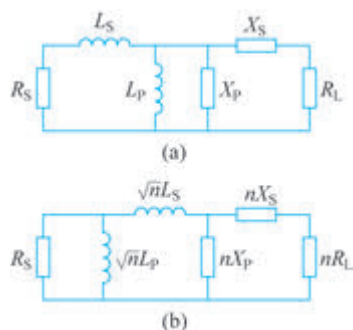


图 3.4.53 诺顿变换流程图

类似地,使用转换比为 $\sqrt{n} = (L_{2b} + L_3)/L_3$ 对图 3.4.52(b)进行诺顿变换,得到图 3.4.52(c);在图 3.4.52(c)中,将 C_1 提升到 nC_1 ,通过仅使用焊盘和器件寄生电容,就能实现对称网络响应。在实现了诺顿变换的第一步得到图 3.4.52(c)以后,再将虚线框中电感 π 型网络等效为变压器模型,就实现了最终的输出匹配网络;对于 π 型等效分析,这里给出它的分析过程,图 3.4.54 给出简单的 π 型等效分析。对图 3.4.54(a)来说,电压电流关系矩阵为

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} j\omega L_1 & j\omega M \\ j\omega M & j\omega L_2 \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad (3.4.66)$$

对图 3.4.54(b)来说,由节点分析法得到矩阵方程为

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} \frac{1}{j\omega L_A} + \frac{1}{j\omega L_C} & -\frac{1}{j\omega L_C} \\ -\frac{1}{j\omega L_C} & \frac{1}{j\omega L_B} + \frac{1}{j\omega L_C} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (3.4.67)$$

通过式(3.4.67)求出逆矩阵再与式(3.4.66)一一对应,就可以求出变压器模型中 L_1 、 L_2 与 π 型等效模型中电感参数的关系。

通过这样的模型能够实现从图 3.4.52(c)到图 3.4.52(d)的变换;前面基于变压器的匹配网络利用式(3.4.64)表示了对于电感的缩放过程,其与图 3.4.55 是一样的流程,

利用同样的方法可以使下面结果简化,所以对于经过 π 型等效的变压器进行简化就会得到图 3.4.52(d)。下面给出其参数的最终推导值:

$$L_P = L_S = \frac{L_1(L_{2a} + L_3\sqrt{n})}{(L_1 + L_{2a} + L_3\sqrt{n})n} \quad (3.4.68)$$

$$k = \frac{L_3}{L_3 + L_{2a}/\sqrt{n}} \quad (3.4.69)$$

$$L_{2S} = \frac{L_{2a}(L_3\sqrt{n} - L_1)}{(L_1 + L_{2a} + L_3\sqrt{n})n} + \frac{L_{2b}}{\sqrt{n}} \quad (3.4.70)$$

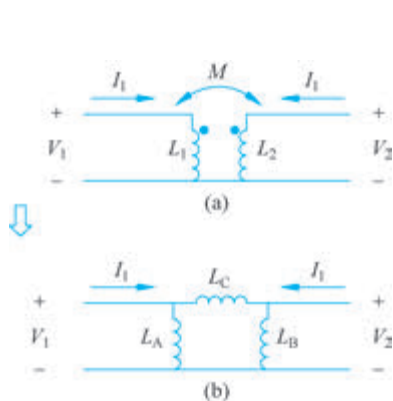


图 3.4.54 (a)等效变压器和(b)等效 π 型模型

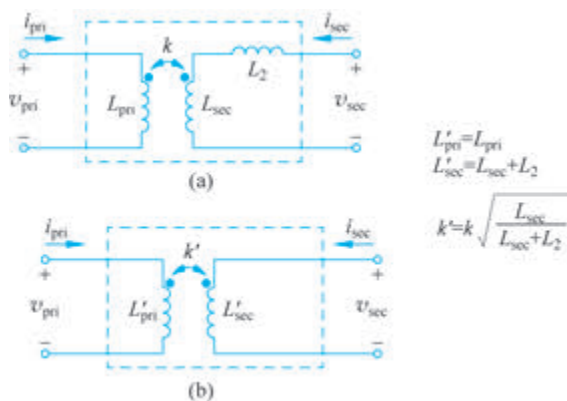


图 3.4.55 电感缩放流程图

很关键的一点是所有的网络布局都应该是紧凑的,并且可以在进行布局走线时将电感 L_{2S} 代入。上述的分析都基于无损无源器件的假设,但实际版图中,无源器件有限的品质因子会影响频率响应,所以在进行设计时必须提前估量设计的各方面,将因素都考虑到。

2. 基于功率分压网络的拓扑变换

这里简单介绍一种基于功率分压器的网络变换,图 3.4.56 显示了由二端口网络延伸的基于变压器的三端口功率分压器实现的两种结构。这两种变换均不影响频率响应,在功率分配方面也只会由于理想的功率划分而降低的 3dB 的幅度。图 3.4.56 中的串联功率分压器使得一次侧绕组的电感值减少为并联功率分压器的 1/4,且它的偏置网络保持对称,有更好的损耗和共模抑制。因此在设计功率分压器时可以首选如图 3.4.56 所示的串联功率分压器。

3. 基于 $\lambda/4$ 的 Doherty 功率合成器的拓扑变换

基于 3 个 $\lambda/4$ 的 Doherty 功率合成器(见图 3.4.57)已经在电路设计中得到了验证。这是一个很好的设计思路,但基于实际的需求,在片上实现 3 条 $\lambda/4$ 传输线可能会占用面积,且基于传输线的方式在宽带中表现很差,因为传输线的阻抗难以跨越多个频段进行优化。这里介绍一种基于 $\lambda/4$ 的 Doherty 功率合成器的拓扑变换。

首先对于 π 型网络的 3 条 $\lambda/4$ 传输线进行近似, TL_1 、 TL_2 用低通 π 型网络近似, TL_3 用

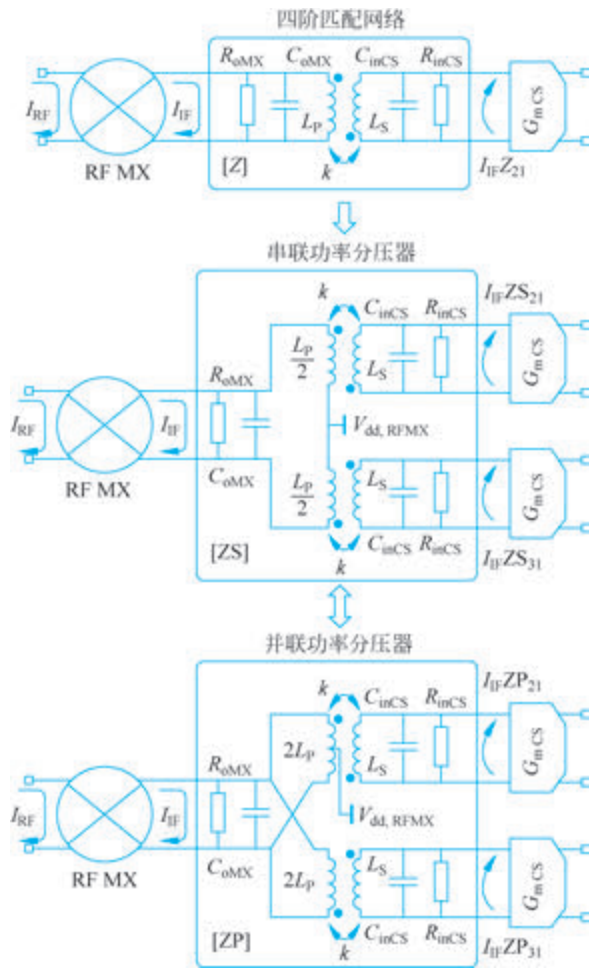


图 3.4.56 基于变压器的宽带四阶二端口网络扩展, 实现三端口串联或并联分压器

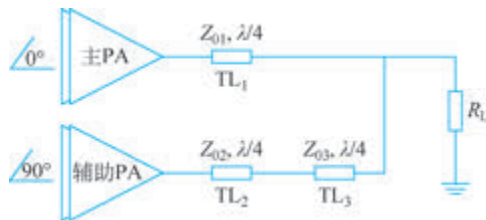


图 3.4.57 基于 $\lambda/4$ 的 Doherty 功率合成器

高通 π 型网络近似, 其中为了补偿 π 型网络的相位响应, 图 3.4.58(a) 的输入相位应偏移; 而在第二步变换中, 将两个理想变压器插入该网络, 变压器的匝数比分别为 $1:n_1$ 、 $1:n_2$, 这是为了实现阻抗变换, 从而有效调整主放大器和辅助放大器之间的阻抗关系; 变压器的引入可以更灵活地设计阻抗网络, 特别是可以通过调节匝数比来优化不同频率下的匹配; 这样就完成了第二步, 但是每个变压器分支都有电感和电容的隐含存在, 所以在图 3.4.58(c) 中进一步改进, 对电感电容进行了更精细的设计, 将串联电感和并联电感进行了重新配对, 4 个电感被分为两

组。换句话说,串联电感和并联电感被吸收为两个片上变压器的漏电感和磁化电感,最终实现了图 3.4.58(d)。注意,最终实现的图 3.4.58(d)中的 C_1 、 C_2 可以吸收输入端的寄生电容再进行等效,而 C_3 、 C_4 可以吸收输出端的寄生电容进行等效。

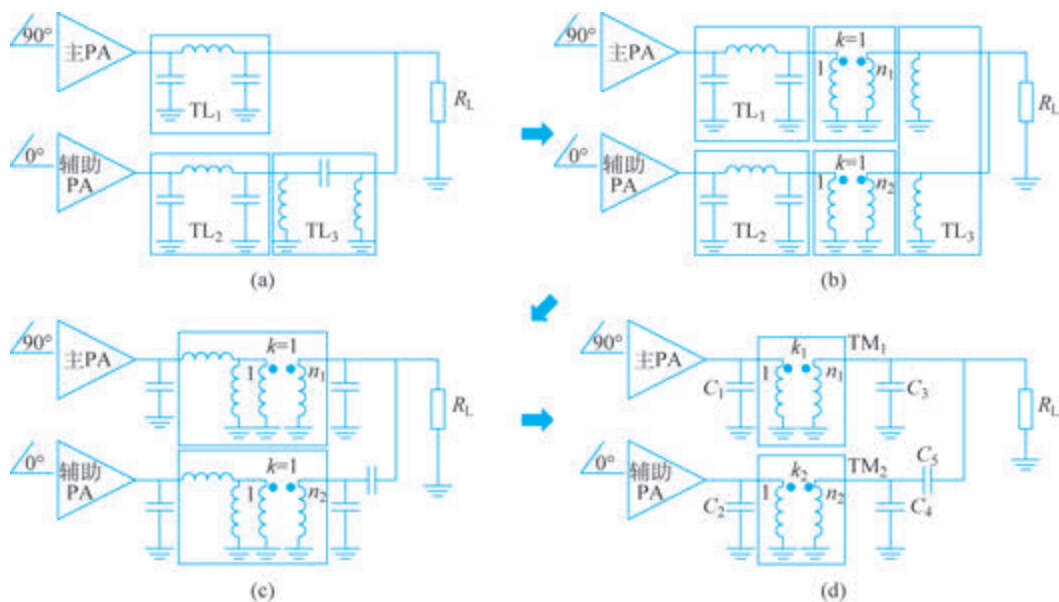


图 3.4.58 基于变压器的拓扑变换流程图

不同的应用会有不同的变换方式来等效电路,这里给出的几种变化都是基础变换的一些推导,掌握这些进阶变换可以给设计带来更多的思路和灵感。