

有源矩阵是半导体显示技术的灵魂。如前所述,实现有源矩阵至少需要在像素电路中引入一个开关器件用来控制像素电极与数据线之间的连接或断开;最常见的开关器件是薄膜晶体管 and 金属氧化物半导体场效应晶体管,二者在工作原理上多有共同之处,在器件电学特性上却存在较大差异。本章主要讲解 TFT 和 MOSFET 最基本的器件工作原理,为后续阐述显示驱动集成电路的分析和设计打下理论基础。

### 3.1 有源矩阵半导体器件的分类

用于显示驱动的有源矩阵半导体器件除充当模拟开关之外还可能用来构成电流源,因此通常采用场效应晶体管(TFT 或 MOSFET)。其中,薄膜晶体管是主流器件,实际生产中可能包括非晶硅(a-Si)TFT、多晶硅(p-Si)TFT 和金属氧化物半导体(AOS)TFT(最典型的是铟镓锌氧(IGZO)TFT),如图 3.1 所示。非晶硅 TFT 和以 IGZO-TFT 为代表的金属氧化物半导体 TFT 通常都是 N 型器件,但多晶硅 TFT 则包含 N 型和 P 型两种器件(当前实际生产中多采用后者)。与此类似,MOSFET 也包括 N 型金属半导体场效应晶体管(NMOS)和 P 型金属氧化物半导体场效应晶体管(PMOS)两种器件,不过微显示产品的驱动背板多采用 NMOS 器件。

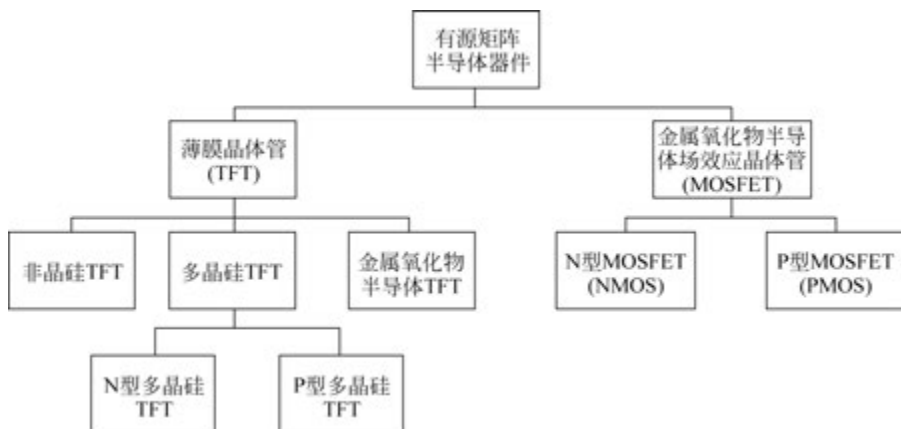


图 3.1 有源矩阵半导体器件分类示意图

虽然 MOSFET 在半导体显示有源矩阵驱动中的应用不及 TFT 那样广泛,但是其理论知识体系非常完整,TFT 的材料物理和器件物理也多借鉴于 MOSFET 的相关理论,因此本章先介绍 MOSFET 的基本器件物理知识,再讲解 TFT 的基本工作原理。

## 3.2 MOSFET 器件物理

MOSFET 于 20 世纪 60 年代初被发明并制造出来,之后在集成电路(IC)领域得到了非常广泛的应用。因为绝大多数的 IC 都基于 CMOS 技术,所以与 MOSFET 相关的材料物理、器件物理、理论建模等知识结构已经积累得非常完整和深入。本节仅介绍最基本的 MOSFET 器件物理知识,更加广泛和深入的内容可以参阅文献[26-31]。

### 3.2.1 MOSFET 的器件结构

MOSFET 是四端场效应晶体管器件。如图 3.2(a)所示,NMOS 制作在 P 型单晶硅衬底(或离子注入形成的 P 阱中),源极(Source)和漏极(Drain)分别与两处 N 型重掺杂区域(N+)连接,两者之间便是导电沟道(Channel);沟道上方是栅绝缘层(Gate Insulator,通常由热生长的二氧化硅构成),再往上是栅极(Gate)。PMOS 的结构与 NMOS 相类似,但是衬底换作 N 型单晶硅,源极和漏极则分别与 P 型重掺杂区域(P+)相连接,如图 3.2(b)所示。需要强调的是,MOSFET 是“四端”半导体器件,即每个 MOSFET 包括四个对外端口,它们是栅极、漏极、源极和衬底(Bulk)。尽管图 3.2 中给出了两种衬底材料:P 型单晶硅材料和 N 型单晶硅材料,但实际生产中多采用的 CMOS 技术实际上仅采用一种衬底材料同时制造出 NMOS 和 PMOS 器件,这通常需要通过“阱”工艺来实现。具体而言,在 P 型单晶硅材料中进行 N 型掺杂便可实现“N 阱”,在 N 阱中能够制造 PMOS 器件;同理,在 N 型单晶硅材料中进行 P 型掺杂便可实现“P 阱”,而在 P 阱中能够实现 NMOS 器件的制造。为了提升 CMOS 器件和电路的特性,有时在单晶硅衬底上同时制造 N 阱和 P 阱,即实现了“双阱”,之后在双阱中分别实现 PMOS 和 NMOS 器件。

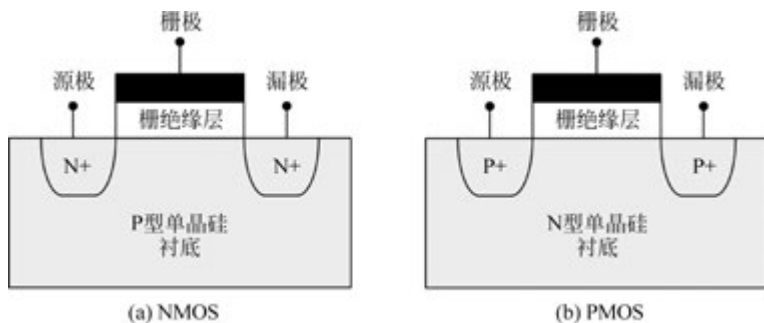


图 3.2 MOSFET 器件结构示意图

因为 MOSFET 的沟道是由单晶硅材料构成的,所以接下来首先简单介绍单晶硅材料物理,接着讲解 MOSFET 的核心结构——金属-绝缘层-半导体(MIS)电容相关原理,最后再分别介绍 MOSFET 的静态电学特性、动态电学特性和短沟道效应等。

### 3.2.2 单晶硅材料物理简介

单晶硅材料是基于面心立方的金刚石结构,晶格常数为  $5.43\text{\AA}$ ,如图 3.3 所示。每个硅原子周边最近邻的原子数目是 4,由此构成了正四面体结构的共价键,键长为  $2.35\text{\AA}$ ,键角为  $109^\circ 28'$ 。

假设单晶硅材料共有  $N$  个原子,则其最外层电子数为  $4N$ ;这  $4N$  个价电子的运动规律都满足薛定谔方程,联立求解后便可以获得单晶硅材料的能带结构,其示意图如图 3.4 所示。价带(Valence Band,VB)和导带(Conduction Band,CB)分别由密集的电子能级构成,其中价带中的能级基本上是满的,而导带中的能级则基本上是空的;价带顶端和导带底端的能级分别用符号  $E_v$  和  $E_c$  表示;单晶硅的价带和导带中间存在宽度为  $1.10\text{eV}$  的禁带(Forbidden Band),在此范围内没有能级分布。如果价带中的电子获得能量并跃迁到导带,则形成能够导电的自由电子,同时在价带留下能够导电的空穴。

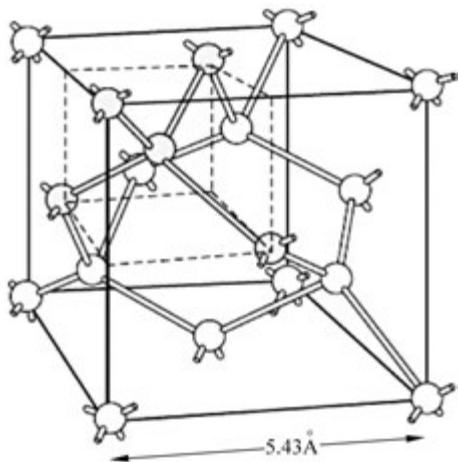


图 3.3 单晶硅材料晶体结构示意图

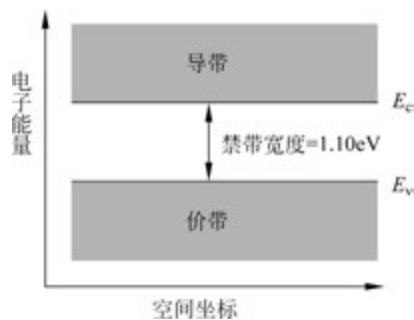


图 3.4 单晶硅材料能带结构示意图

我们通常把单位能量范围内的能级数量称为态密度(Density of States,DOS)。导带态密度与电子能量之间的关系如下:

$$g_c(E) = \frac{4\pi(2m_n^*)^{3/2}}{h^3} \sqrt{E - E_c} \quad (3.1)$$

式中,  $m_n^*$  是电子的有效质量(约等于电子静止质量的 1.08 倍),  $h$  为普朗克常数。类似地,价带态密度与空穴能量之间的关系如下:

$$g_v(E) = \frac{4\pi(2m_p^*)^{3/2}}{h^3} \sqrt{E - E_v} \quad (3.2)$$

式中,  $m_p^*$  是空穴的有效质量(约等于电子静止质量的 0.56 倍)。

另外,电子在能带中的分布规律符合费米-狄拉克分布函数,即能量为  $E$  的量子态被电子占据的可能性为

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)} \quad (3.3)$$

式中,  $E_F$  是费米能级,  $k$  是玻尔兹曼常数,  $T$  是绝对温度。根据图 3.4 并结合式(3.1)~式(3.3), 我们能够推导出热平衡状态下的载流子浓度。其中, 导带中电子浓度为

$$n_0 = N_c \exp \left[ \frac{-(E_c - E_F)}{kT} \right] \quad (3.4)$$

式中,  $N_c$  是导带有效密度, 室温下约为  $2.5 \times 10^{19} \text{ cm}^{-3}$ 。类似地, 单晶硅的热平衡空穴浓度为

$$p_0 = N_v \exp \left[ \frac{-(E_F - E_v)}{kT} \right] \quad (3.5)$$

式中,  $N_v$  是价带有效密度, 室温下约为  $10^{19} \text{ cm}^{-3}$ 。将式(3.4)和式(3.5)相乘, 可得

$$n_0 p_0 = n_i^2 = N_c N_v \exp \left( -\frac{E_g}{kT} \right) \quad (3.6)$$

式中,  $n_i$  是本征载流子浓度(即没有掺杂的本征单晶硅中电子/空穴浓度), 室温下单晶硅的  $n_i$  大约为  $1.5 \times 10^{10} \text{ cm}^{-3}$ ;  $E_g$  是禁带宽度。值得注意的是, 本征单晶硅的费米能级( $E_i$ )大致位于禁带中央。

本征单晶硅在实际器件和电路的生产中并不多见, 人们往往对其进行 N 型或 P 型掺杂。例如, 将磷、砷等元素掺入单晶硅中形成 N 型半导体或将硼等元素掺入单晶硅中形成 P 型半导体; 前者以电子导电为主(电子称为多子, 空穴称为少子), 后者以空穴导电为主(空穴为多子, 电子为少子); 磷、砷等 N 型掺杂元素称为施主(Donor), 而硼等 P 型掺杂元素称为受主(Acceptor)。就单晶硅的掺杂而言, 通常在室温下施主和受主都接近于完全电离, 因此 N 型半导体中的电子浓度  $n_0$  几乎等于施主浓度, 而 P 型半导体中的空穴浓度  $p_0$  几乎等于受主浓度。知道了掺杂半导体中的多子浓度, 可以很方便地利用式(3.6)计算对应的少子浓度。此外, N 型单晶硅的能带结构如图 3.5(a)所示, 其费米能级介于导带底与本征费米能级之间, 具体满足式(3.7); P 型单晶硅的能带结构如图 3.5(b)所示, 其费米能级位置与 N 型单晶硅有所不同, 即位于本征费米能级与价带顶之间, 具体计算公式如式(3.8)所示。

$$E_F - E_i = kT \ln \left( \frac{n_0}{n_i} \right) \quad (3.7)$$

$$E_i - E_F = kT \ln \left( \frac{p_0}{n_i} \right) \quad (3.8)$$

单晶硅在外加电场或光照的情况下会偏离平衡状态, 发生载流子的漂移、扩散以及产生/复合。其中, 载流子漂移而导致的电流密度为

$$J_{\text{drift}} = e(\mu_n n + \mu_p p)E \quad (3.9)$$

式中,  $e$  为电子电荷电量,  $\mu_n$  和  $\mu_p$  分别为电子和空穴的迁移率(Mobility),  $E$  是外加电场强度。载流子扩散导致的电流密度为

$$J_{\text{diff}} = e \left( D_n \frac{dn}{dx} - D_p \frac{dp}{dx} \right) \quad (3.10)$$

式中,  $D_n$  和  $D_p$  分别是电子和空穴的扩散系数(Diffusion Coefficient), 它们与载流子迁移率之间满足爱因斯坦关系

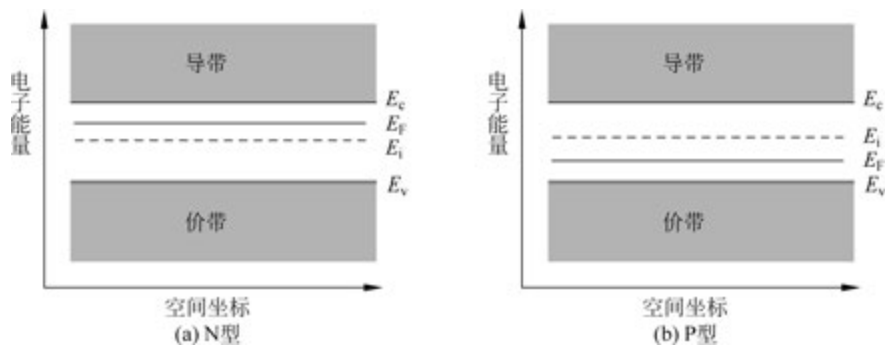


图 3.5 掺杂单晶硅能带结构示意图

$$\frac{D_n}{\mu_n} = \frac{D_p}{\mu_p} = \frac{kT}{e} \quad (3.11)$$

根据式(3.9)和式(3.10),可以得到在非平衡状态下单晶硅中电子电流和空穴电流分别如式(3.12)和式(3.13)所示。

$$J_n = e \left( \mu_n n E + D_n \frac{dn}{dx} \right) \quad (3.12)$$

$$J_p = e \left( \mu_p p E - D_p \frac{dp}{dx} \right) \quad (3.13)$$

此外,非平衡状态下的单晶硅中还存在载流子的产生(Generation)和复合(Recombination),因为其物理机制比较复杂,我们仅采用  $g_n$  和  $g_p$  分别表示电子和空穴的产生率(单位时间内电子浓度和空穴浓度因产生而增加的数值), $r_n$  和  $r_p$  分别表示电子和空穴的复合率(单位时间内电子浓度和空穴浓度因复合而减少的数值)。在准静态的条件下,单晶硅中载流子漂移、扩散、产生/复合满足如下方程:

$$\frac{dJ_n}{dt} = e(g_n - r_n) \quad (3.14)$$

$$\frac{dJ_p}{dt} = -e(g_p - r_p) \quad (3.15)$$

式(3.14)和式(3.15)便是一维连续性方程,是描述以单晶硅为代表的半导体材料电学特性的最基本物理方程。

### 3.2.3 MIS 电容物理

MOSFET 器件中最核心的部分便是金属-绝缘层-半导体电容。如图 3.6 所示,栅极、栅绝缘层和单晶硅(衬底)共同构成 MIS 电容结构。需要说明的是,对于 NMOS 而言,其 MIS 电容中的单晶硅是 P 型;对于 PMOS 而言,其 MIS 电容中的单晶硅则是 N 型。本节以 NMOS 为例讲解其 MIS 电容的工作原理,因此涉及的单晶硅衬底是 P 型。

图 3.6 中所示的 MIS 电容在未加电场情况下的能带结构如图 3.7 所示。我们注意到,在 MIS 电容中的费米能级( $E_F$ )是一致的,为此半导体的能带通常会发生一定弯曲。本征费米能级( $E_i$ )和费米能级之间的能量差称为费米势  $\Psi$ ,显然在栅绝缘层/单晶硅界面(沟道)处的费米势( $\Psi_s$ )与单晶硅体内的费米势( $\Psi_b$ )存在一定差异,表明两处的电子浓度是不同的。

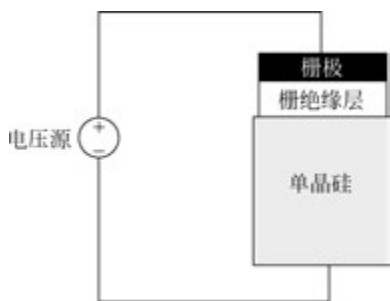


图 3.6 MIS 电容结构示意图

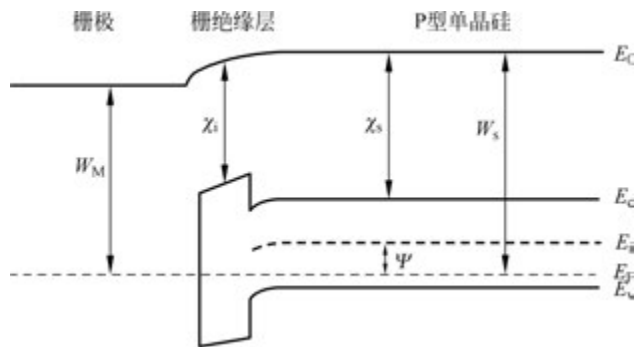


图 3.7 MIS 电容未加电场时的能带结构示意图

如果对 MIS 电容施加电场,其能带结构会发生显著的改变,如图 3.8 所示。如果栅极电压  $V_G$  正好等于平带(Flat Band)电压  $V_{FB}$ ,如图 3.8(a)所示,单晶硅的能带不发生弯曲;如果栅极电压  $V_G$  小于平带电压  $V_{FB}$ ,如图 3.8(b)所示,单晶硅的能带向上弯曲,导致沟道处的费米势大于单晶硅体内的费米势,即在沟道处的空穴浓度高于体内,这种状态称为“累积”(Accumulation);如果栅极电压  $V_G$  大于平带电压  $V_{FB}$  但同时小于阈值电压(Threshold Voltage) $V_{TH}$ ,如图 3.8(c)所示,此时单晶硅的能带向下弯曲,引起沟道处的费米势小于单晶硅体内的费米势,即在沟道处的空穴浓度低于体内,我们把这种状态称为“耗尽”(Depletion);此外,当栅极电压  $V_G$  大于阈值电压  $V_{TH}$  时,如图 3.8(d)所示,单晶硅的能带严重向下弯曲,导致沟道处的费米势远远小于单晶硅体内的费米势,即此时在沟道处的电子浓度已经超过其体内的空穴浓度,这种状态称为“反型”(Inversion)。

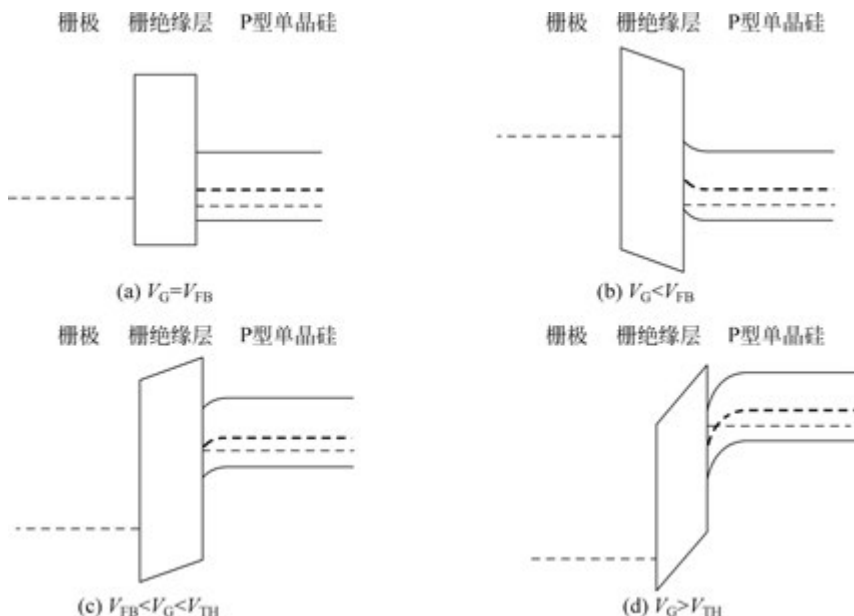


图 3.8 MIS 电容在电场作用下的能带结构示意图

由上可知,阈值电压  $V_{TH}$  是一个非常重要的物理量,如果外加电压大于  $V_{TH}$ ,沟道处的载流子类型便会发生改变。对于采用 P 型单晶硅的 MIS 电容而言,反型时沟道载流子类型从空穴为主变为电子为主,这正是 NMOS 工作的理论基础。NMOS 阈值电压的物理表达

式如下:

$$V_{TH} = V_{FB} + 2\psi_B + \frac{\sqrt{2eN_A\epsilon_{Si}(2\psi_B)}}{C_{ox}} \quad (3.16)$$

式中,  $N_A$  是 P 型单晶硅的掺杂浓度,  $\epsilon_{Si}$  是单晶硅的介电常数,  $C_{ox}$  是单位面积栅绝缘层电容值。

外加电场能够显著影响 MIS 电容值的大小, 电容-电压(C-V)关系曲线是研究半导体材料和界面特性的有力手段。图 3.9 是 P 型单晶硅衬底 MIS 电容的 C-V 关系曲线示意图。当  $V_G < V_{FB}$  时, MIS 电容处于“累积”状态, 其电容值保持不变, 大小为  $C_{ox}$ ; 当  $V_{FB} < V_G < V_{TH}$  时, MIS 电容处于“耗尽”状态, 电容值从  $C_{ox}$  逐渐降低到  $C_{min}$ ; 当  $V_G > V_{TH}$  时, MIS 电容处于“反型”状态, 此时其电容值的大小与外加电场的频率有关: ①在低频的情况下, 单晶硅反型能够跟上外加电场的变化, 因此 MIS 电容保持  $C_{ox}$  不变; ②在高频的情况下, 单晶硅反型无法跟上外加电场的变化, 只能通过耗尽区的伸缩进行对应, 因此 MIS 电容保持  $C_{min}$  不变。

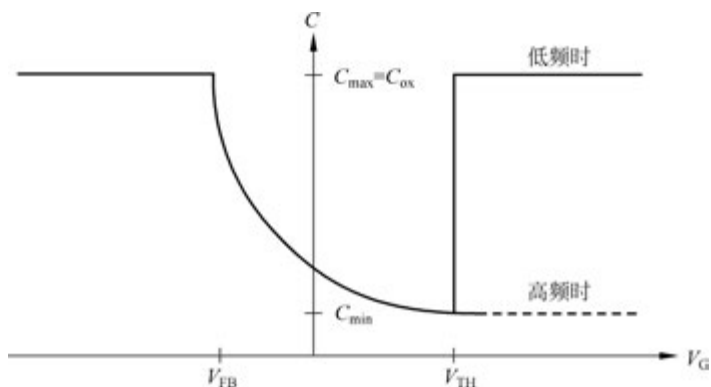


图 3.9 MIS 电容 C-V 关系曲线示意图 (P 型单晶硅衬底)

此外, 采用 N 型衬底的 MIS 电容是 PMOS 的核心结构, 其工作原理与图 3.9 所示类似, 限于篇幅本书不再重复。

### 3.2.4 MOSFET 的直流电学特性

本节以 NMOS 为例讲解 MOSFET 的直流电学特性。如图 3.2(a) 所示, NMOS 的栅极、栅绝缘层以及 P 型单晶硅衬底构成了核心的 MIS 电容结构, 源漏电极则分别连接沟道的两端。在测量 NMOS 直流电学特性时, 通常将其衬底端与源极短接, 然后分别测量其漏极电流 ( $I_D$ ) 与栅源电压 ( $V_{GS}$ ) 以及漏源电压 ( $V_{DS}$ ) 之间的关系曲线; 其中,  $I_D$ - $V_{GS}$  称为转移特性曲线 (见图 3.10(a)), 而  $I_D$ - $V_{DS}$  称为输出特性曲线 (见图 3.10(b))。

根据 3.2.3 节, 当  $V_{GS} > V_{TH}$  时, 沟道处的单晶硅发生“反型”, 产生大量的自由电子, 在横向电场的作用下, 这些电子由源极流向漏极, 即产生大的漏极电流  $I_D$ , 如图 3.10(a) 所示。我们注意到,  $I_D$  的大小与  $V_{DS}$  值也存在密切的关联。当  $V_{DS} < V_{GS} - V_{TH}$  时,  $I_D$  与  $V_{DS}$  之间呈线性关系, 如图 3.10(b) 所示, 对应的区域称为“线性区”(Linear Region); 当  $V_{DS} > V_{GS} - V_{TH}$  时, 导电沟道在靠近漏极处“夹断”(Pinch Off),  $I_D$  保持不变, 对应的区域称为“饱和区”(Saturation Region); 此外, 当  $V_{GS} < V_{TH}$  时,  $I_D$  值非常小, 对应区域称为“截止

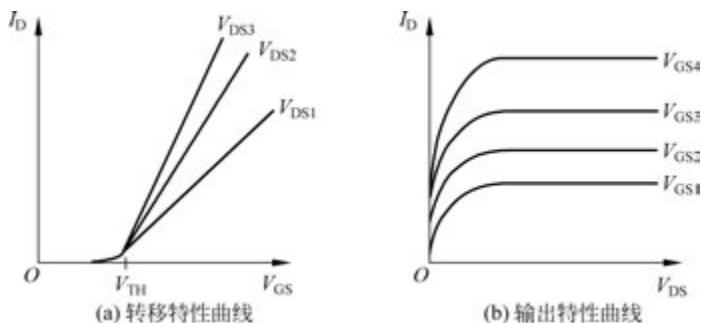


图 3.10 NMOS 直流电学特性示意图

区”(Cut-off Region)。

平方律模型(Square Law Model, SLM)经常被用来描述 MOSFET 的直流电学特性。以 NMOS 为例,其漏极电流可分别用式(3.17)~式(3.19)描述。

当  $V_{GS} < V_{TH}$  时

$$I_{DS} = 0 \quad (3.17)$$

当  $V_{GS} > V_{TH}$  且  $V_{DS} < V_{GS} - V_{TH}$  时

$$I_{DS} = \mu_{FE} C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{TH}) - \frac{1}{2} V_{DS}^2 \right] \quad (3.18)$$

当  $V_{GS} > V_{TH}$  且  $V_{DS} > V_{GS} - V_{TH}$  时

$$I_{DS} = \mu_{FE} C_{ox} \frac{W}{2L} (V_{GS} - V_{TH})^2 \quad (3.19)$$

式中,  $\mu_{FE}$  是 MOSFET 的场效应迁移率(Field-Effect Mobility),  $C_{ox}$  是单位面积栅绝缘层的电容,  $W$  是器件的沟道宽度,  $L$  是器件的沟道长度,  $V_{TH}$  是 MOSFET 器件的阈值电压。

### 3.2.5 MOSFET 的动态电学特性

当在 MOSFET 的栅极上加载阶跃信号时,其漏极电流  $I_D$  并不会立刻响应这一变化,而是会延迟一段时间。如图 3.11 所示,经过  $t_d$  时间的延迟后漏极电流才开始迅速增加,再经过一段时间后才达到饱和。参数  $t_d$  和  $\tau_0$  分别由式(3.20)和式(3.21)决定。

$$t_d = \frac{0.38L^2}{\mu_{FE}(V_{GS} - V_{TH})} \quad (3.20)$$

$$\tau_0 = \frac{\alpha L^2}{\mu(V_{GS} - V_{TH})} \quad (3.21)$$

式中,  $\alpha$  是与材料和工艺相关的参数。

一般而言,随着信号频率的增加, MOSFET 器件电流增益逐渐降低。图 3.12 是 NMOS 器件的交流小信号模型;我们将器件电流增益为 1 时所对应的信号频率称为截止频率( $f_T$ ),其表达式如下:

$$f_T = \frac{g_m}{2\pi C_G} \quad (3.22)$$

式中,  $g_m$  是器件的跨导(Transconductance),  $C_G$  是总等效栅极电容,具体表达式分别如下:

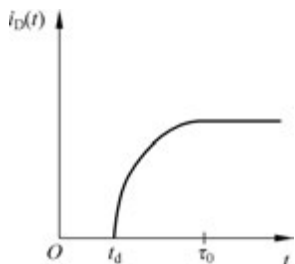


图 3.11 MOSFET 瞬态响应特性示意图

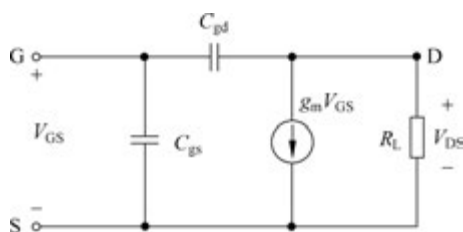


图 3.12 NMOS 器件的交流小信号模型

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} = \text{const}} \quad (3.23)$$

$$C_G = C_{GS} + C_{GD}(1 + g_m R_L) \quad (3.24)$$

以饱和区为例, NMOS 的截止频率可以表示为

$$f_T = \frac{3\mu_{FE}(V_{GS} - V_{TH})}{4\pi L^2} \quad (3.25)$$

式中,  $\mu_{FE}$  和  $V_{TH}$  分别是器件的场效应迁移率和阈值电压;  $L$  是沟道长度。

### 3.2.6 MOSFET 的短沟道效应

随着 MOSFET 器件沟道长度的缩小, 其频率响应特性变得更好, 即器件的响应速度变得“越来越快”。此外, MOSFET 的电学特性也随着沟道尺寸微缩而发生显著变化, 具体表现如下。

- (1) 短沟道 NMOS 的阈值电压减小。
- (2) 短沟道 MOSFET 的输出特性曲线在饱和区并不饱和, 而是向上“翘曲”(Kink)。
- (3) MOSFET 器件的关态电流增加。

在这里仅简单讨论 MOSFET 的阈值电压随着沟道长度微缩而发生变化的物理机理。以 NMOS 为例, 其阈值电压随着沟道长度的减小而减小, 这主要是基于以下两个物理效应。

(1) 电荷分享 (Charge Sharing) 效应。对于长沟道器件而言, 虽然源极和漏极的空间电荷进入沟道区域, 但是仅仅占整个沟道电荷中很少的一部分, 因此栅极电压基本上能够控制反型时沟道区域的所有空间电荷。随着沟道长度的微缩, 沟道区域由栅极电压控制的电荷比例显著降低, 更小的  $V_{GS}$  便可获得同样大小的  $I_D$  值, 因此 NMOS 的阈值电压负向偏移, 即向耗尽模式转变。

(2) 漏致势垒降低 (Drain Induced Barrier Lowering, DIBL) 效应。NMOS 的沟道在源极附近存在一个势垒, 电子导电须跨越此势垒而形成电子电流。对于长沟道器件而言, 漏极电压  $V_{DS}$  对这个势垒的影响很小; 但是短沟道器件则不同,  $V_{DS}$  能够显著减小这一势垒的大小, 这样在同样的驱动条件下, 短沟道 NMOS 的  $I_D$  值更大。换言之, 短沟道 NMOS 器件的阈值电压变小。

### 3.2.7 MOSFET 的电路符号与 SPICE 模型

图 3.13 为本书采用的 MOSFET 电路符号, 其中 G、D、S 和 B 分别表示器件的栅极、漏

极、源极和衬底。值得注意的是, NMOS 和 PMOS 中源漏电极的相互位置有所不同: NMOS 通常是“漏上源下”, 而 PMOS 则正好相反。这主要因为 NMOS 和 PMOS 在电路中的偏置条件有所不同: NMOS 的漏极接高电位, 而 PMOS 的源极接高电位。此外, 无论是 NMOS 还是 PMOS, 在实际电路应用中它们的衬底除特殊情况外大多与源极短接, 这时四端器件就变成了三端器件。

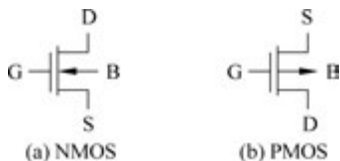


图 3.13 本书采用的 MOSFET 电路符号

在 CMOS 集成电路设计中采用 SPICE 进行电路仿真验证是必不可少的, 因此了解 MOSFET 的 SPICE 模型变得非常重要。截至目前, 至少有几百个 SPICE 模型用来描述 MOSFET 的电学特性。本章讲解的平方律模型实际上便是 LEVEL1 模型的理论基础。一般而言, 模型越复杂, 对 MOSFET 电学特性的描述越准确, 但是仿真时间消耗越长, 因此需要视实际情况选择恰当的 SPICE 模型。附录 C 给出了一个长沟道 NMOS 器件 SPICE 模型 (LEVEL3) 参数的例子, 其中一些模型参数具有实际物理意义 (例如 TOX 表示栅绝缘层厚度等), 另外一些模型参数 (例如 THETA 等) 则需要根据器件电学特性测试结果拟合获得。更复杂的 SPICE 建模实例可参阅文献[32]。

### 3.3 TFT 器件物理

TFT 器件相关材料物理和器件物理的知识体系并没有 MOSFET 那样完备, 因此其基础理论的建立多参考后者。与 MOSFET 的沟道层采用单晶硅材料的情况有所不同, TFT 的沟道层通常采用非晶/多晶材料, 所以在半导体禁带中包含较多的缺陷态。如何表征这些缺陷态以及这些缺陷态如何影响对应晶体管的电学特性是 TFT 器件物理所要解决的关键理论问题。限于篇幅, 本节仅简单介绍非晶硅、多晶硅和非晶氧化物半导体的材料物理以及 TFT 器件结构和电学特性相关最基本的理论, 这些知识是本书后续章节进行 TFT 集成电路分析所必需的, 更加广泛和深入的内容请读者参阅文献[1,33]。

#### 3.3.1 非晶硅材料物理简介

非晶硅的晶体结构相较于单晶硅发生了较大的变化。如图 3.14(a) 所示, 非晶硅的原子分布特点是“长程无序”(Long Range Disorder), 即从总体上看是杂乱无章的。然而, 如果我们观察硅原子最近邻原子的分布状况, 则会发现其存在与单晶硅类似的“短程有序”(Short Range Order), 即硅原子的周围一般也包括 4 个最近邻原子并形成共价键。但非晶硅的共价键往往是不理想的, 其键长和键角分别围绕  $0.235\text{nm}$  和  $109^{\circ}28'$  在一定范围内浮动。其中, 键长浮动范围较小, 通常小于  $\pm 1\%$ ; 键角的浮动范围则比较大, 约为  $\pm 10\%$ 。一般而言, 键角偏离  $109^{\circ}28'$  越大, 共价键之间的结合力则越弱, 其中键角偏离较大的价键被称为弱键 (Weak bond)。此外, 单晶硅原子必须与周边 4 个硅原子形成共价键, 而非晶硅则不

一定。如图 3.14(a)所示,一个非晶硅原子可能只与周边 3 个原子形成共价键,而剩下的一个价键处于悬空状态,称之为悬挂键(Dangling bond)。显然,悬挂键的大量存在使  $\alpha$ -Si 的电学特性变得较差。为了解决这一问题,实际生产中通常加入氢原子以修补这些缺陷态。氢原子最外层有 1 个电子,而悬挂键最外层也恰好只有一个电子,因此两者结合后能够达到互补的效果。掺氢非晶硅( $\alpha$ -Si:H)在 TFT 阵列生产中被经常使用,通常氢原子的掺入量为 10 at. % 以下。

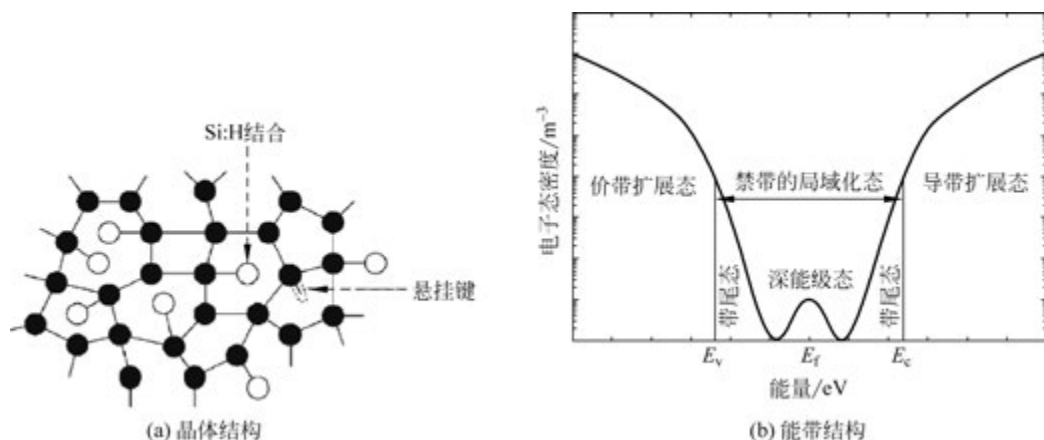


图 3.14 非晶硅的晶体结构和能带结构示意图

图 3.14(b)是非晶硅能带态结构的示意图。我们注意到,尽管非晶硅与单晶硅一样具有禁带( $E_g$ ),但其禁带宽度( $\sim 1.8\text{eV}$ )略大于后者。此外,非晶硅中的共价键也会形成扩展态(Extended States),包括导带和价带,但其禁带中的态密度分布特点与单晶硅相比存在显著不同。本征单晶硅的禁带中基本上没有缺陷态的分布,但非晶硅的禁带内则会存在大量的缺陷态[或局域化态(Localized States)]。前面提到过,在非晶硅的共价键中存在很多键角偏差较大的弱键,它们在  $E_c$  和  $E_v$  附近会导致大量的带尾态(Band Tail States),尽管通过掺氢可以显著降低非晶硅中的悬挂键数量,但残余的悬挂键仍导致在费米能级附近的大量深能级缺陷态(Deep States)。

我们还可以从其他角度对上述缺陷态进行划分。禁带上半部(即靠近  $E_c$ )的缺陷态在没有被电子填充时是电中性的,而被电子填充时则带负电,因为与受主的特性比较类似,通常称为“类受主态”(Acceptor-like States);禁带下半部(即靠近  $E_v$ )的缺陷态一般在没有被电子填充时是带正电的,而被电子填充时则呈电中性,因为与施主的特性比较类似,通常称为“类施主态”(Donor-like States)。类受主态一般位于费米能级的上面,所以通常没有被电子占据的概率较大;如果由于某种原因导致费米能级相对上移并越过类受主态,则这些类受主态将大概率被电子占据,因此我们认为类受主态具有俘获电子的功能。与此相反,类施主态一般位于费米能级的下面,所以通常被电子占据的概率较小;如果由于某种原因导致费米能级相对下移并越过类施主态,则这些类施主态将大概率失去电子(被空穴占据),因此我们认为类施主态具有俘获空穴的功能。

### 3.3.2 多晶硅材料物理简介

图 3.15(a)是多晶硅晶体结构示意图。我们注意到,多晶硅材料内包含晶粒和晶界两

种结构。其中,晶粒的原子排列与单晶硅基本相同,但是不同晶粒的晶格取向通常不一样。在晶粒生长过程中,不同取向的晶粒相遇后便会产生结构复杂的界面结构,便是晶界(Grain Boundary)。晶界中的原子排列具有一定规律,但其规律性远远差于正常晶格。因此,晶界中包含大量的弱键、悬挂键以及其他缺陷结构,由此导致多晶硅晶界的禁带中存在较多带尾态和深能级态,这一点与非晶硅材料比较类似。需要注意的是,这些缺陷态仅存在于晶界中,而晶粒中则几乎没有。用于 TFT 沟道层的多晶硅薄膜的晶粒大小通常在几百纳米,其晶界所占的体积百分比远远小于晶粒,因此多晶硅的总缺陷态密度要远小于非晶硅,导致其载流子迁移率显著高于非晶硅。

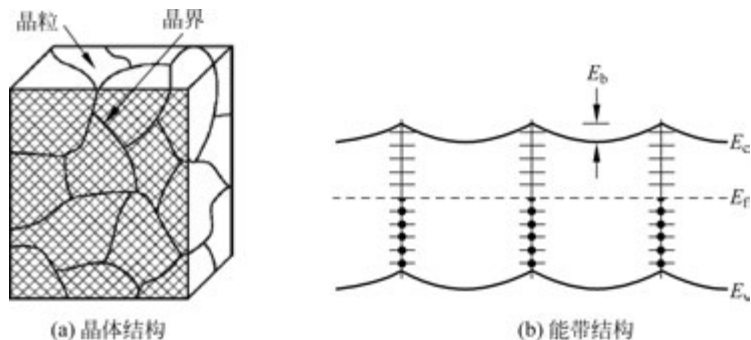


图 3.15 多晶硅的晶体结构和能带结构示意图

实际生产中的多晶硅通常需要掺杂以调整其载流子类型和浓度。与单晶硅相类似,多晶硅可以进行 N 型掺杂(例如采用 P、As 等)和 P 型掺杂(例如采用 B 等)。但是,多晶硅的掺杂效率远低于单晶硅,即大部分掺杂原子在多晶硅中是无效的,这主要与下面的两个效应有关。

(1) 杂质分凝。因为多晶硅的晶粒与晶界在结构上有所不同,所以晶粒内原子与晶界处原子的化学势也不同;杂质倾向于在晶界处分凝,因而所掺杂杂质优先沉积在晶界处,直到晶界饱和为止。值得注意的是,分凝在晶界处的杂质原子在电学上是不活动的,即无法有效地电离并产生载流子。

(2) 载流子陷阱。随着掺杂浓度的增加,晶界的杂质分凝将逐渐饱和,之后掺杂原子将主要沉积在晶粒内部并可进行正常电离而产生载流子。然而,这些新产生的载流子将首先被晶界内的缺陷态俘获,类似于高密度的陷阱。缺陷态在俘获载流子之前是电中性的,一旦俘获载流子就带电并在其周围形成一个多子势垒区,如图 3.15(b)所示。势垒区阻挡载流子从一个晶粒向另外一个晶粒运动,因此使载流子迁移率降低。

### 3.3.3 非晶氧化物半导体材料物理简介

非晶氧化物半导体(AOS)种类繁多,但就用作 TFT 器件的沟道层而言,非晶铟镓锌氧是产业界的首选;尽管 a-IGZO 的特性未必最优,但针对其开展的研究成果最丰富,相关配套最成熟。基于此,本节以 a-IGZO 为例讲解 AOS 材料物理的基本理论。

与非晶硅/多晶硅材料基于共价键结合的情况不同,a-IGZO 通过离子键形成非晶。如图 3.16(a)所示,In、Ga、Zn 等金属原子的价电子 ns 轨道是球状对称的,因此对方向性不敏感;换言之,非晶结构导致的离子键方向的改变几乎不影响金属原子与氧原子之间的结合

能力及载流子输运通道。因此,非晶 IGZO 的载流子迁移率与晶态 IGZO 几乎相同,这一点与硅材料完全不同。

此外,a-IGZO 中也存在大量的结构缺陷,包括金属间隙原子、金属空位、氧间隙原子、氧空位(Oxygen Vacancy,  $V_O$ )等。理论计算和实验分析都证明,氧空位是影响 a-IGZO 电子结构的重要因素。如图 3.16(b)所示,在 a-IGZO 的能带结构中,除了因弱键导致的带尾态( $g_{TD}$  和  $g_{TA}$ ),氧空位还会导致类受主深能级态( $g_{GA}$ )和类施主浅能级态( $g_{GD}$ )。其中, $g_{GD}$  显著影响 a-IGZO 中的电子浓度。

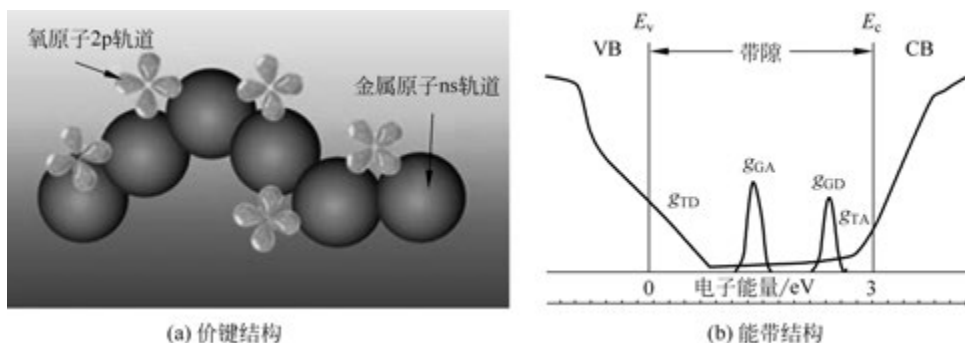


图 3.16 a-IGZO 的价键结构和能带结构示意图

关于 a-IGZO 的能带结构,还有如下两点值得注意。

(1) 禁带宽度大于 3.0eV,属于宽禁带半导体材料,对紫外线的照射比较敏感。

(2) 价带顶附近的禁带区域存在大量的类施主缺陷态,导致自由空穴很难产生,因此 a-IGZO 是 N 型半导体材料。

实验结果表明,a-IGZO 的电子迁移率与电子浓度成正比,即电子浓度越大,电子迁移率也越大。上述规律与 a-IGZO 中电子输运机制有关:电子在 a-IGZO 中的传输复合“渗滤模型”(Percolation Model),即高温输运时电子跨越 a-IGZO 中的势垒(路径最短),而低温输运时则选择绕过势垒(路径较长)。

### 3.3.4 TFT 的器件结构

薄膜晶体管通常制造在玻璃或塑料基板上,这决定了其器件结构可能有多种选择,这一点是与 MOSFET 不同的,后者自发明以来其基本器件结构一直保持不变。图 3.17 给出了实际生产中比较常见的 TFT 器件断面结构。一般而言,采用何种器件结构要兼顾器件电学特性和生产成本。如图 3.17(a)所示,非晶硅 TFT 多采用倒置错排(Inverted Staggered)型结构,即栅极在下,且栅极与源/漏电极分别处于非晶硅层的上下两侧;如果再细分,因为在制造过程中沟道的形成通过源/漏极的刻蚀直接形成,所以称为“背沟道刻蚀型”(Back Channel Etching, BCE)。多晶硅 TFT 则多采用正常平面(Coplanar)型结构,即栅极在上,且栅极与源漏电极均处于多晶硅层的上侧,如图 3.17(b)所示,显然这种结构与 MOSFET 非常类似。IGZO-TFT 的结构与非晶硅 TFT 基本相同(倒置错排型),但在制造过程有阻挡层保护背沟道免受源/漏电极刻蚀时产生的等离子体伤害,因此称为“刻蚀阻挡”(Etching Stopper, ES)型。

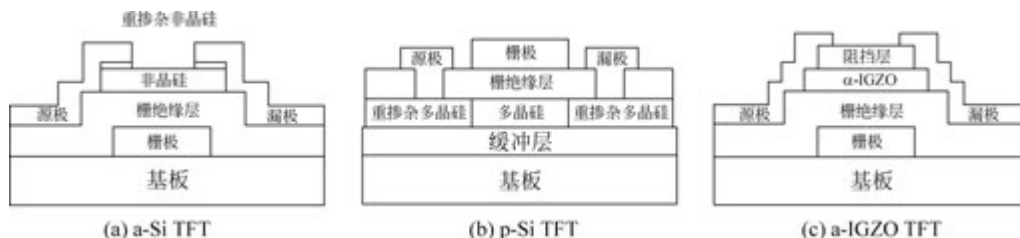


图 3.17 TFT 器件断面结构示意图

### 3.3.5 TFT 的直流电学特性

与 MOSFET 相类似, TFT 的直流电学特性也主要包括转移特性曲线和输出特性曲线。图 3.18 给出了 MOSFET、多晶硅 TFT 和非晶硅 TFT 转移特性曲线的比较结果; 我们注意到, 薄膜晶体管的操作特性显著不如 MOSFET。MOSFET 的开态电流 ( $I_{on}$ -Current) 很大, 关态电流 ( $I_{off}$ -Current) 很小, 开关态之间的过渡区曲线非常陡; 多晶硅 TFT 的开态电流比 MOSFET 小一个数量级以上, 而关态电流则比 MOSFET 高两个数量级左右, 开关态之间的过渡区曲线比 MOSFET 也要平缓得多; 非晶硅 TFT 的直流电学特性与 p-Si TFT 相似, 但开态电流更低, 而其关态漏电流则介于多晶硅 TFT 和 MOSFET 之间。因为 TFT 沟道层的禁带中存在大量的缺陷态, 所以 TFT 的电学特性劣于 MOSFET 是非常合理的; 此外, TFT 器件的栅绝缘层多采用等离子体增强化学气相沉积 (Plasma Enhanced Chemical Vapor Deposition, PECVD) 的氮化硅或氧化硅薄膜, 其绝缘特性不及 MOSFET 中热氧化生成的二氧化硅。多晶硅 TFT 的开态电流高于非晶硅 TFT, 主要因为其沟道层中的总体缺陷态密度远低于后者的缘故。多晶硅 TFT 具有最高的关态电流则主要因为沟道层晶界中的缺陷态在强电场的作用下会释放出大量的电子和空穴, 从而导致器件的关态漏电流显著增加。

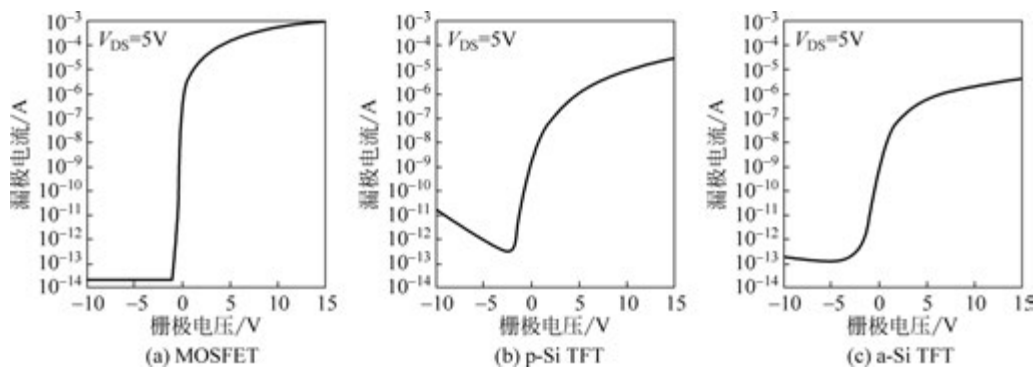


图 3.18 MOSFET 和 TFT 转移特性曲线对比

以 IGZO-TFT 为代表的 AOS-TFT 的电学特性总体上介于非晶硅 TFT 和多晶硅 TFT 之间, 比较特殊的是其关态漏电流极低 (比非晶硅 TFT 还要低几个数量级), 这使得 IGZO-TFT 在低功耗显示驱动背板的应用领域具有无可替代的优势地位。

与 MOSFET 开启后以“反型”模式工作的原理不相同, 大多数 TFT 器件都工作在“积累”模式。以非晶硅 TFT 为例, 本征非晶硅通常是弱 N 型的, 如果对栅极加载足够大的正

电压,其靠近栅绝缘层的沟道层将产生更多的电子,从而形成导电沟道[前沟道(Front Channel)]。除了前沟道,TFT 器件还存在背沟道(Back Channel),即远离栅绝缘层的沟道层界面,非晶硅 TFT 的背沟道界面通常会被保护层(例如氮化硅薄膜等)所覆盖。

接下来以非晶硅 TFT 为例讲解薄膜晶体管直流工作特性曲线的工作区域划分。如图 3.19 所示,非晶硅 TFT 的转移特性曲线可以划分为四个工作区域,即过阈值区域、正向亚阈值区域、反向亚阈值区域和 Poole-Frenkel 发射区域。

当  $V_{GS} > V_{TH}$  时,器件前沟道位置处的能带显著向下弯曲,导致前沟道积累大量的自由电子,在横向电场的作用下,这些电子定向移动形成大的开态电流;在过阈值区域的起始部分是“饱和区”,即符合  $V_{DS} > V_{GS} - V_{TH}$ ;此后,随着栅源电压的增加,当达到  $V_{DS} < V_{GS} - V_{TH}$  时器件开始进入“线性区”。

当  $0 < V_{GS} < V_{TH}$  时,虽然器件前沟道位置处的能带弯曲并不十分显著,但是仍然存有一定数量的“积累电子”,因此在横向电场的作用下前沟道位置仍然能够形成明显的电子电流。当  $V_{GS} < 0$  时,器件前沟道位置处的能带开始向上弯曲,此时电子浓度已经低于空穴浓度,但是背沟道处的能带仍然保持下弯状态,即仍然存在一定的“积累电子”;因此,背沟道居于导电的主导地位,在横向电场的作用下背沟道的电子将定向移动并形成导电电流。

当  $V_{GS} \ll 0$  时,漏极与栅极的重叠区域在纵向强大电场的作用下会释放出被缺陷态俘获的电子和空穴。其中,电子被漏极吸收,而空穴则在横向电场的作用下向源极移动而形成大的导电电流。如图 3.19 所示,在此区域的电流随着  $|V_{GS}|$  的增加而显著变大。

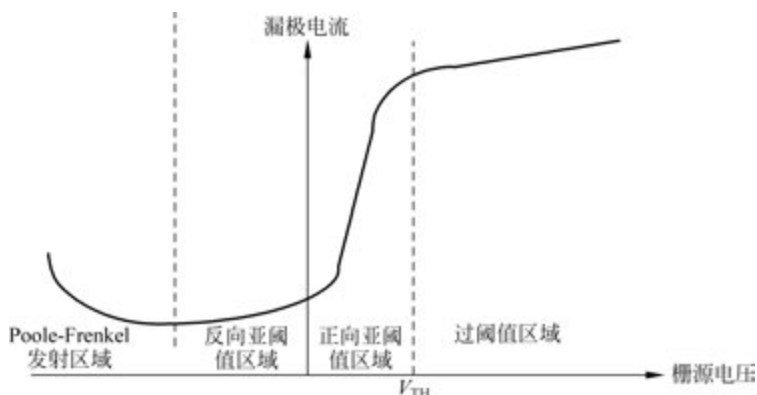


图 3.19 非晶硅 TFT 转移特性曲线的工作区域划分

### 3.3.6 TFT 的动态电学特性

3.2.5 节介绍了 MOSFET 的动态特性,TFT 器件在动态信号的作用下也同样表现出延迟特性和截止频率现象。具体而言,当加载阶跃信号到 TFT 器件的栅极时,其漏极电流  $I_D$  并不会及时响应信号的变化,在经过一段时间延迟后器件的漏极电流才开始增加。以非晶硅 TFT 为例,除了寄生电容的影响,还有两个因素会造成上述延迟。自由电子从源极输运到漏极需要时间  $t_d$ ,通常由下式表示:

$$t_d = \frac{0.38L^2}{\mu_{FE}(V_{GS} - V_{TH})} \quad (3.26)$$

式中, $L$  是 TFT 器件的沟道长度, $\mu_{FE}$  是 TFT 器件的场效应迁移率。就 a-Si TFT 而言,因

为其沟道长度较大( $\sim 4\mu\text{m}$ ),而场效应迁移率较小( $< 1\text{cm}^2/\text{V}\cdot\text{s}$ ),所以其 $t_d$ 值会比较大,通常接近甚至超过 $1\mu\text{s}$ 。另一个造成动态响应延迟的因素是非晶硅中的深能级态,其俘获或释放电子都需要时间,因此会导致非晶硅 TFT 对动态信号的响应延迟。此外,沟道层或前沟道界面处的深能级态也会造成另一个动态效应,即非晶硅 TFT 的漏极电流会持续不断地缓慢衰减,这也是深能级态复合/释放电子滞后效应的一种外在体现。

与 MOSFET 相类似,TFT 器件的截止频率可以表示为

$$f_T = \frac{3\mu_{FE}(V_{GS} - V_{TH})}{4\pi L^2} \quad (3.27)$$

式中, $\mu_{FE}$  是 TFT 器件的场效应迁移率; $L$  是 TFT 器件的沟道长度。由此可见,多晶硅 TFT 的截止频率通常显著大于非晶硅 TFT,这是因为多晶硅 TFT 的场效应迁移率较高而且一般也具有较短的沟道长度。

### 3.3.7 TFT 的稳定性

TFT 器件的稳定性(Stability)是指在长时间的偏置电压或外界环境条件的作用下器件的电学特性发生变化的物理现象。TFT 的稳定特性与直流电学特性两者之间既有区别又有联系:后者关注的是 TFT 器件瞬态测试的电学特性,而稳定性强调的是 TFT 器件长期测试的电学特性。另外,TFT 器件稳定性必须借助直流电学特性参数(如阈值电压等)的变化加以表征。本节以非晶硅 TFT 的电压偏置(Bias-Stress)稳定性为例进行讲解。

电压偏置稳定特性是指将 TFT 的电极加载一定的直流或交流电压(或电流),经过一段时间后再测试其操作特性的变化情况。其中以在栅电极上加载直流电压进行测试最为常见;如果偏置电压为正则称为正电压偏置(Positive Bias-Stress,PBS)稳定性,反之则称为负电压偏置(Negative Bias-Stress,NBS)稳定性。通常采用 TFT 器件的阈值电压变化 $\Delta V_{TH}$ 来表征电压偏置稳定特性的变化大小。图 3.20 是 PBS 测试举例,在非晶硅 TFT 的栅电极加载 $+30\text{V}$ 偏置电压,然后每间隔一段时间测试其转移特性曲线的偏移情况,经过 $10^5\text{s}$ 器件的阈值电压增加了大约 $5\text{V}$ 。

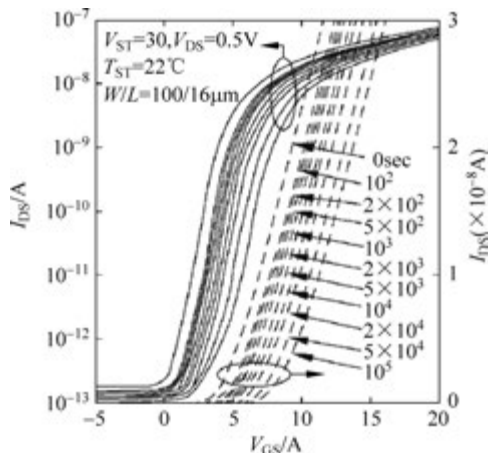


图 3.20 非晶硅 TFT 电压偏置稳定性的测试结果举例

实验测试和理论分析证明,非晶硅 TFT 的电压偏置稳定性与两种物理机制密切相关,即缺陷态产生(State Creation)和电荷俘获(Charge Trapping)。接下来具体介绍这两种物理机制。

(1) 缺陷态产生。一般而言,当加载在非晶硅 TFT 栅电极上的偏置电压较小时会以缺陷态产生物理机制为主。在偏置电压的长时间作用下,非晶硅禁带中的缺陷态(尤其是深能级缺陷态)密度会明显增加,从而引起自由载流子浓度下降,进而导致 TFT 器件更难开启,即阈值电压有所增大。在偏置电压作用下产生新的缺陷态的机理可能如下:



式中,D表示悬挂键。两个氢原子与同一硅原子成键的状态是不稳定的,在偏置电压的作用下可能会与周边的硅原子一起进行价键重组并产生两个悬挂键。因为深能级缺陷态决定于悬挂键的数量,所以深能级缺陷态密度将有所增加。

(2) 电荷俘获。通常当加载在非晶硅 TFT 的栅电极上的偏置电压较大时会有较明显的电荷俘获物理机制发生。从原理上讲,长时间加载在栅电极上的偏置电压会在非晶硅 TFT 的前沟道界面产生大量的载流子,其中部分载流子会在电场的作用下进入栅绝缘层(氮化硅薄膜)中。当偏置电压撤出后,这些位于栅绝缘层中的载流子并不能马上重新回到非晶硅中,因此在接下来的电学特性测试中这些电荷会对栅极电压起到一定屏蔽作用,即导致非晶硅 TFT 器件的阈值电压发生变化。以 PBS 为例,在栅极正偏置电压长时间作用下,电子会进入栅绝缘层中;偏置电压撤除后,这些电子并不马上回到非晶硅中,而是部分屏蔽了栅极电压的作用,从而提高了非晶硅 TFT 的阈值电压。

### 3.3.8 TFT 的电路符号与 SPICE 模型

图 3.21 为本书所采用的 TFT 电路符号,是典型的三端器件(电极 G、D 和 S 分别表示 TFT 的栅极、漏极和源极)。值得注意的是,N 型薄膜晶体管(NTFT)和 P 型薄膜晶体管(PTFT)中源漏电极的相互位置有所不同:NTFT 通常是“漏上源下”,而 PTFT 则正好相反。这主要因为 NTFT 和 PTFT 在电路中的偏置条件有所不同:NTFT 的漏极接高电位,而 PTFT 的源极接高电位。就符号所对应的实际器件而言,NTFT 可以代表非晶硅 TFT、多晶硅 TFT 和非晶氧化物 TFT,而 PTFT 则通常仅代表多晶硅 TFT。



图 3.21 本书采用的 TFT 电路符号

与 CMOS 集成电路相类似,进行 TFT 集成电路设计时也需要 SPICE 仿真实验,因此 TFT 器件的 SPICE 模型同样必不可少。与 MOSFET 的情况有所不同,实际生产中采用的 TFT 器件模型比较有限,最具代表性的是美国 Rensselaer Polytechnic Institute 在 20 世纪 90 年代提出的 RPI 模型,具体包括非晶硅 TFT 模型和多晶硅 TFT 模型。根据 TFT 器件的电学特性测试数据并利用专用软件工具便可以提取出对应 SPICE 模型参数。附录 D 是非晶硅 TFT 的 RPI 模型参数举例,其中有些参数具有实际物理意义。例如,eps 是非晶硅

的相对介电常数,  $\epsilon_{\text{psi}}$  是栅绝缘层的相对介电常数,  $t_{\text{ox}}$  是栅绝缘层厚度等; 其余大部分参数并没有明确的物理意义, 需要通过实验数据的拟合获得。

## 习题

1. 请画出 NMOS 和 PMOS 器件断面结构示意图并指出各部位名称。
2. 单晶硅的晶体结构如图 3.3 所示, 假设硅原子形状为圆球且在最近距离处恰好接触。已知硅原子直径  $d = 0.235\text{nm}$ , 请计算其晶格常数  $a$  的大小。
3. 请画出单晶硅能带结构示意图并解释自由电子和自由空穴是如何产生的。
4. 请分别画出 N 型单晶硅和 P 型单晶硅的能带图并比较二者的不同之处。
5. 单晶硅偏离平衡状态时其载流子存在哪几种运动方式?
6. 请定性解释载流子连续性方程的物理含义。
7. 请画出单晶硅 MIS 电容的能带结构示意图并解释费米势的物理含义。
8. 以 P 型单晶硅 MIS 电容为例说明其能带结构在外加电场的作用下将如何变化。
9. 以 P 型单晶硅 MIS 电容为例说明影响其阈值电压的因素是什么。
10. 画出 P 型单晶硅 MIS 电容的  $C-V$  关系曲线示意图并说明各区间的相关物理机理。
11. 如何通过测量获得 MOSFET 的转移特性曲线和输出特性曲线?
12. 请写出 NMOS 的平方律模型并解释各方程的成立条件及参数含义。
13. MOSFET 的动态延迟与哪些因素有关?
14. MOSFET 的截止频率与哪些因素有关?
15. MOSFET 的阈值电压为何随着沟道长度的减小而减小?
16. 非晶硅的晶体结构与单晶硅相比的不同之处是什么?
17. 请定性画出非晶硅电子态密度与能量之间的关系曲线, 并在图中标出各部分曲线的物理含义。
18. 说明类受主态和类施主态的物理含义及功能。
19. 比较单晶硅和多晶硅缺陷态分布的异同。
20. 多晶硅的掺杂效率为何只有 10% 左右?
21. IGZO 的能带结构特点是什么?
22. 请画出实际生产中采用的非晶硅 TFT、多晶硅 TFT 和 IGZO-TFT 的器件结构断面图并标出各部位名称。
23. 请定性比较 MOSFET、非晶硅 TFT 和多晶硅 TFT 三种器件的直流电学特性。
24. IGZO-TFT 的电学特性有何突出优点? 如何对上述优点加以充分利用?
25. 请定性画出非晶硅 TFT 的转移特性曲线并进行工作区域划分, 定性说明各工作区域的导电特征。
26. 请说明非晶硅 TFT 对阶跃信号响应延迟的内在原因。
27. 请比较非晶硅 TFT 和多晶硅 TFT 的截止频率之优劣。
28. 非晶硅 TFT 电压偏置稳定性的物理机理是什么?
29. 请调研 CMOS(特征尺寸为  $0.18\mu\text{m}$ ) 和多晶硅 TFT(特征尺寸为  $2\mu\text{m}$ ) 的典型制备工艺, 并完成表 3.1。

表 3.1 CMOS/TFT 工艺调研

项 目	CMOS	p-Si TFT
沟道层材料		
栅绝缘层材料		
保护层材料		
栅极层材料		
源漏电极层材料		
主要单项工艺		
工艺单元(光刻掩模板)数目		