

# EAGLE 架构概述

EAGLE 系列器件由查找表逻辑模块 (PLB) 阵列构成核心资源, 输入和输出缓冲器分布在四边。嵌入式随机存取模块 (BRAM, 9K) 和数据信号处理模块 (DSP) 嵌在 PLB 中间。

查找表逻辑模块分为逻辑可编程模块 (LSLICE) 和存储逻辑可编程模块 (MSLICE)。两种模块均支持逻辑、算术功能, 不同的是 MSLICE 支持分布式 RAM 和 ROM 功能。LSLICE 和 MSLICE 均经过设计优化, 便于用户快速有效地实现复杂设计。

EAGLE 系列器件包含多列嵌入式 BRAM, 存储器模块规模为 9K, 支持快速数据访问。每个存储模块都可独立配置为 1~18 位位宽的单口或双口应用。

EAGLE 的输入/输出缓冲器 (I/O Buffer) 划分为 8 个组, 支持单端和双端的多种电平标准。左右的 I/O 可以配置成 LVDS 发送/接收对。

EAGLE 系列内部嵌有 2~4 个多功能锁相环 (PLL) 块, 分布在器件四角, 由与门的时钟线连接到两个 PLL 输入。PLL 具有对时钟分频、倍频、移相等功能。

## 3.1 PFB 模块

PLB 按照行/列规则排布成二维阵列, 每个 PLB 包括可编程互连 (Routing) 和可编程功能块 (Programmable Functional Block, PFB)。PFB 是 FPGA 的可编程功能核心。EAGLE 器件内部 PFB 可实现逻辑、算术、分布式 RAM (distribute RAM)、ROM 功能以及信号锁存。PFB 内部包含 4 个 SLICE, 编号 0~3。SLICE 0, 1 为 MSLICE 类型, SLICE 2, 3 为 LSLICE 类型, 如图 3-1 所示。

### 3.1.1 SLICE

EAGLE PFB 内包含两种 SLICE, 即 MSLICE 和 LSLICE。

MSLICE 包含 2 个 LUT4 和 2 个寄存器以及 2 级进位链, MSLICE 额外可配置成基于 LUT 的分布式 RAM 功能。PFB 内的 SLICE 0, 1 为 MSLICE 类型, 可组合配置成为  $16 \times 4$  的 RAM。MSLICE 内部逻辑可实现 LUT4 间的连接, 实现输入数大于 4 的函数, 如 LUT5。两个 MSLICE 组合可实现 LUT6。

MSLICE 内部逻辑见图 3-2。内部有 2 个 4 输入查找表 (LUT4), 并带有 RAM 写入译码器, 结合 PFB 内部的分布式 RAM 控制逻辑, 每个 LUT4 可实现  $16 \times 1$  RAM 存储器,

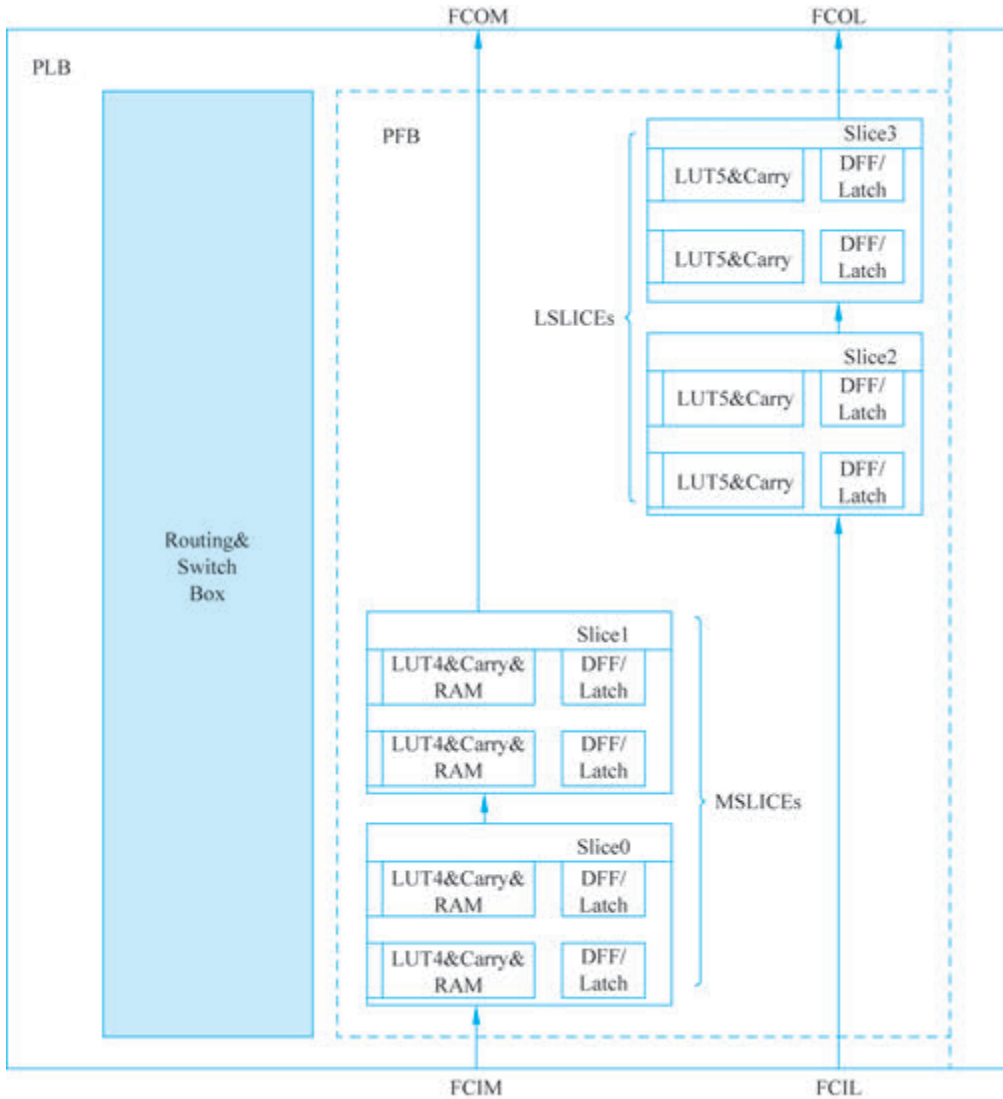


图 3-1 可编辑功能块结构

2 个 MSLICE 配合一个 RAM 控制器实现  $16 \times 4$  的双口 RAM。MSLICE 中每个 LUT4 结合内部进位逻辑以及进位输入 (FCIM) 可以实现 1 位全加器。一个 MSLICE 可实现 2 位加/减法, 并实现快速进/借位输出 (FCOM)。MSLICE 和 LSLICE 内部寄存器相同, 可配置成 DFF 或者 LATCH。

LSLICE 包含 2 个增强 LUT5 和 2 个寄存器以及 4 级进位链。PFB 内的 SLICE 2, 3 为 LSLICE 类型。LSLICE 内部逻辑可将一个 LUT5 拆成 2 个 LUT4, 实现更多输入函数, 如 LUT5、LUT6。2 个 LSLICE 组合可实现 LUT7。

LSLICE 内部逻辑见图 3-3。内部有 4 个 LUT4, 以及选择逻辑, 可组合实现 4 个 LUT4、2 个 LUT4+1 个 LUT5、2 个 LUT5、1 个 LUT6 等多种逻辑功能。每个 enhanced LUT5 结合内部进位逻辑以及进位输入可以实现 2 位全加器。1 个 LSLICE 可实现 4 位加/减法, 并实现 FCOL。

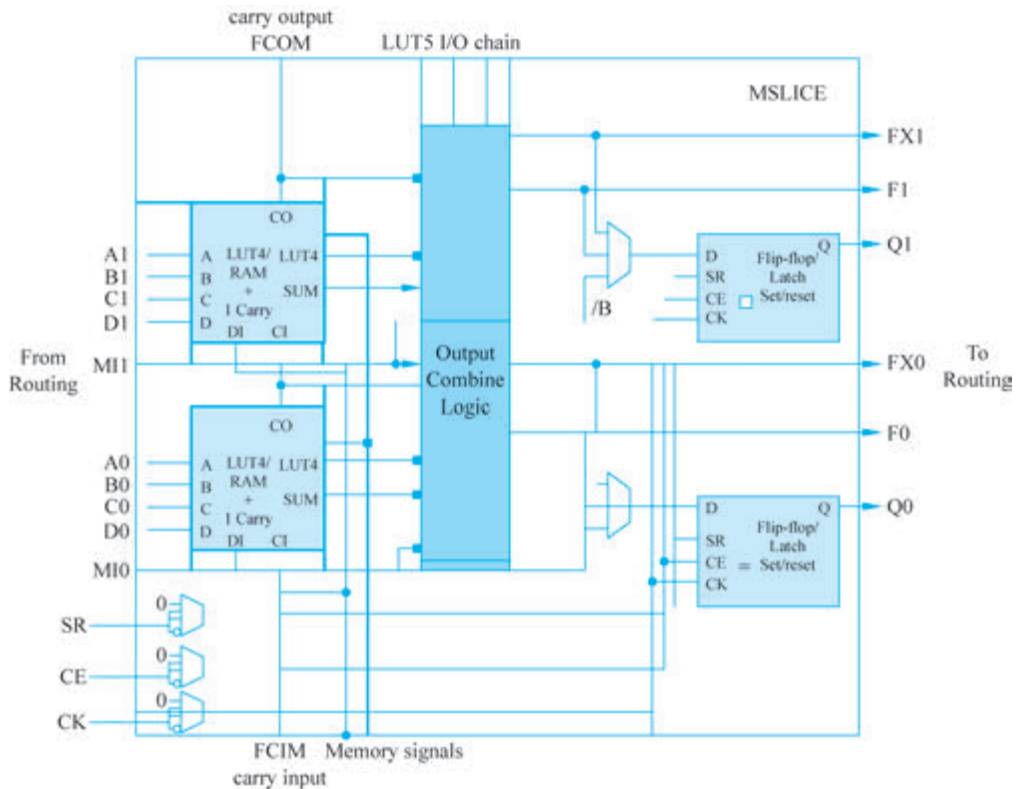


图 3-2 MSLICE 结构

### 3.1.2 PFB 操作模式

在 PFB 中,MSLICE 有逻辑、算术、分布式 RAM 和 ROM 4 种操作模式。LSLICE 有逻辑、算术和 ROM 3 种操作模式。

逻辑模式:在逻辑模式中,MSLICE 中的 LUT4 配置成 4 输入组合逻辑查找表,任意 4 输入函数都可以用这个查找表实现。LSLICE 中的 enhanced LUT5 可配置成多种组合的逻辑查找表。SLICE 内的 LUT 还可以通过内部输出组合电路级联成更大的查找表,如表 3-1 所示。

表 3-1 常用逻辑实现

LUT	1 MSLICE	1/2 LSLICE
MUX4	1 MSLICE	1/2 LSLICE
LUT6	2 MSLICE	1 LSLICE
LUT7		2 LSLICE

算术模式会利用 SLICE 内部快速进位链实现快速、高效的算术功能,MSLICE 和 LSLICE 都支持算术模式。可支持的算术逻辑有加法、减法、带控制选择的加/减法器、计数器、乘法器以及比较器。

PFB 内部共有两条进位链,分别连接纵向 MSLICE 和纵向 LSLICE。可级联纵向相邻的 PFB 实现宽比特位算术逻辑。

MSLICE 可配置成分布式 RAM 模式,SLICE0 和 SLICE1 两个 MSLICE 相结合可配

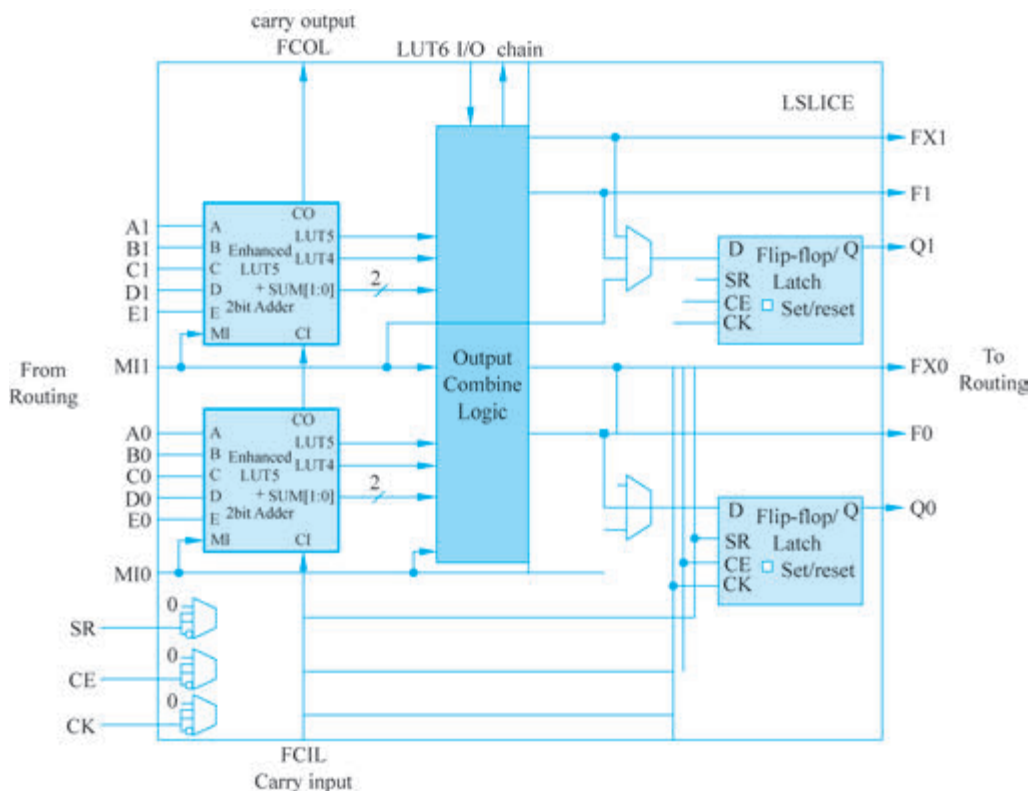


图 3-3 LSLICE 结构

置成  $16 \times 4$  的简单双口 RAM(一口写/一口读)。

所有 SLICE 在 LUT 逻辑下均可用作 ROM 模式,用户能够通过软件设置 ROM 初始值。

### 3.1.3 寄存器

PF6 内每个 SLICE 包含 2 个可配置寄存器。可锁存 LUT 的输出或者来自互连的 MI 输入。寄存器配置有 4 个选项,边沿触发的锁存器(DFE)或电平使能锁存器(LATCH),同步或异步进行复位 0 或置位 1,是否带有 ClockEnable 使能,以及 CLK/CE/SR 带有上升沿/下降沿和 0/1 选择。

### 3.1.4 互连

可编程互连实现 FPGA 内部各个功能块之间的信号传输。EAGLE 系列器件内部拥有丰富的互连资源,包括线间选通开关、线缓冲器以及信号走线。EAGLE 系列互连线全部带有缓冲器,从而实现高速信号传输和可靠的信号完整性。

## 3.2 嵌入式随机存储器模块

### 3.2.1 简介

EAGLE 系列器件支持 BRAM。EAGLE 包括 BRAM9K 和 BRAM32K。

BRAM9K 每块容量 9KB,多个 BRAM9K 模块排成一列,按列分布在 PFB 的阵列中。每个 BRAM9K 的高度和 2.25 个 PFB 相当。4 个 BRAM9K 的高度和 9 个 PFB 相当。

BRAM32K 每块容量 32KB,分布在 IO 空隙中。BRAM9K 可实现单口 RAM/ROM、真双口 RAM、简单双口 RAM(也称为伪双口)、FIFO(BRAM9K 内嵌有硬件 FIFO 控制器)。

BRAM9K 模块支持的功能特性:9216(9KB)/块、A/B 口时钟独立、可单独配置 A/B 口数据位宽,真双口从 x1 到 x9,支持 x18 简单双口(一写一读)、9 位或 18 位写操作时带有字节使能(Byte Enable)控制、输出锁存器可选择(支持 1 级流水线)、支持 RAM/ROM 模式下数据初始化(通过初始化文件在配置过程中对 BRAM9K 进行数据初始化)、支持多种写操作模式。可选择只写(Normal),先读后写(Read Before Write),写穿通(Write Through)三种模式,如表 3-2 所示。

表 3-2 BRAM9K 特性

类 别	特 性
容量	9K
配置(深度×位宽)	8192×1 4096×2 2048×4 1024×(8 或 9) 512×(16 或 18)
奇偶位(Parity bit)	8+1 16+2
字节使能(Byte Enable)	有,可选择
输入地址/数据寄存器	有
单口模式(Single-port mode)	支持
简单双口模式(Simple dual-port mode)	支持
真双口模式(True dual-port mode)	支持
ROM 模式	支持
FIFO 模式	支持
数据输出寄存器	有,可选择
独立数据输出寄存器使能	有
混合端口模式(Read-During-Write)	输出旧数据(Read Before Write)输出写数据(Write Through)
工作前 RAM 初始化	支持

字节使能: BRAM9K 支持字节使能功能,可在写操作时对写入数据按字节屏蔽,被屏蔽的字节不会被写入 RAM。字节使能(Byte Enable[1:0])信号分别对应写入数据的 datain[15:8]和 datain[7:0]。

写操作时并行读操作: EAGLE 系列的 BRAM9K 支持同端口的 Read-During-Write。Read-During-Write 是指在单口 RAM 或真双口 RAM 模式时,用户在写入数据的同时,读出同一地址的数据到输出端口。而默认非 RDW 选择,输出数据保持不变(No Change)。RDW 模式下用户有两种选择:读出旧数据(Read Before Write);读出新数据,即正要写入的数据(Write Through)。

### 3.2.2 RAM 存储器模式

BRAM9K 按工作模式分为 RAM 存储器模式(包括 ROM)和 FIFO 模式,两种模式下 BRAM9K 用户端口名称和设置略有不同。BRAM9K 在 RAM 模式下是 A/B 口独立的双口 RAM,支持多种模式的同步 RAM 操作和 ROM 操作。

### 3.2.3 RAM 存储器模式下的端口信号

BRAM9K 的控制信号、时钟输入信号 A/B 口完全独立,输入控制信号有片选信号 (Chip Select)、时钟使能 (Clock Enable)、输入/输出寄存器复位控制信号 (RST)、写/读操作 (WE)、数据输出寄存器锁存使能 (OCE)、字节使能 (Byte Enable[1:0]),如表 3-3 所示。

表 3-3 控制信号逻辑表

操 作	CLK	CS	Clock Enable	RST	WE
写操作	上升沿	1	1	0	1
读操作	上升沿	1	1	0	0
IDLE	x	1	0	0	x
Save power	x	0	0	0	x

RAM 模式下端口信号如表 3-4 所示。

表 3-4 RAM 模式下端口信号

A 端口名	方向	说 明
dia[8:0]	输入	A 端口数据输入,简单双口 18 位输入端口模式时作为低 9 位数据输入
addrb[12:0]	输入	A 端口地址输入,[12:4]作为 word 地址一直有效,[3:0]取决于 bit 模式。在 18 位模式时,addrb[1:0]复用为字节使能信号 Byte Enable[1:0]
doa[8:0]	输出	A 端口数据输出,简单双口 18 位输出端口模式时作为低 9 位数据输出
CLKA	输入	A 端口时钟输入,默认上升沿有效(可反向),简单双口 18 位模式时作为输入地址/数据端口时钟
RSTA	输入	A 端口复位信号,默认高有效(可反向),可配置同步/异步复位
CEA	输入	A 端口时钟有效控制信号,默认高有效(可反向)
WEA	输入	A 端口写入/读出操作控制,1 为写入操作,0 为读出操作;18 位写入模式时固定为 1
CSA[2:0]	输入	A 端口 3 位片选信号(可反向),CSA[2:0]=3,b111 时 BRAM 被选中进行操作。3 位信号可分别独立设置是否反向
OCEA	输入	A 端口数据寄存器时钟使能,默认高有效(可反向)。只有当输出寄存器被使用时(REGMODE_A="OUTREG")才有效
B 端口名	方向	说 明
dib[8:0]	输入	B 端口数据输入,18 位输入端口模式时作为高 9 位数据输入
addrb[12:0]	输入	B 端口地址输入,[12:4]作为 word 地址一直有效,[3:0]取决于 bit 模式
dob[8:0]	输出	B 端口数据输出,18 位输出端口模式时作为高 9 位数据输入
CLKB	输入	B 端口时钟输入,默认上升沿有效(可反向),简单双口 18 位模式时作为输出地址/数据端口时钟
RSTB	输入	B 端口复位信号,默认高有效(可反向),可配置同步/异步复位
CEB	输入	B 端口时钟有效控制信号,默认高有效(可反向)
WEB	输入	B 端口写入/读出操作控制,1 为写入操作,0 为读出操作;18 位读出模式时固定为 0
CSB[2:0]	输入	B 端口 3 位片选信号(可反向),CSB[2:0]=3,b111 时 BRAM 被选中进行操作。3 位信号可分别独立设置是否反向
OCEB	输入	B 端口数据寄存器时钟使能,默认高有效(可反向)。只有当输出寄存器被使用时(REGMODE_B="OUTREG")才有效

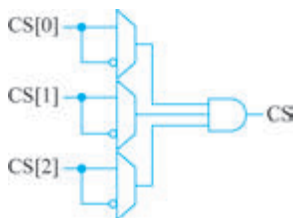


图 3-4 多位片选信号逻辑说明

多位片选信号逻辑说明：BRAM9K 在 RAM 和 FIFO 模式下的 CS 由可反向的 3 位片选输入生成。其逻辑如图 3-4 所示(CSA、CSB 在 RAM 模式,CSW、CSR 在 FIFO 模式)。

CS 的配置属性：“SIG”表示对应 CS[x]输入信号直通，“INV”表示信号反向。利用 3 位 CS 输入反向配置可以不需要额外逻辑就能实现地址译码，方便地对 2~8 块 RAM 进行深度扩展。

18 位模式时的字节使能：BRAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能(Byte Enable[1:0])信号分别对应写入数据的  $\text{datain}[15:8]$  和  $\text{datain}[7:0]$ 。例如， $\text{Byte Enable}[1:0]=00$ ，两字节都不会被写入； $\text{Byte Enable}[1:0]=01$ ，低位字节写入(dia)。在 18 位模式时，字节使用  $\text{Byte Enable}[1:0]$  信号和端口  $\text{addra}[1:0]$  复用。

### 3.2.4 RAM 存储器模式下的常见配置

#### 1. 单口模式

单口模式(Single-Port Mode)支持对非同时发生的同一地址的读或写操作。BRAM9K 内部有两套读写控制逻辑分别管理 A 口和 B 口，因此 BRAM9K 可以支持实现两个单口模式的 RAM 或 ROM。通常 ROM 也工作在此模式下。图 3-5 是利用 A 口实现的 9 位宽(及以下)单口 RAM。

BRAM9K 在单口模式下支持的位宽：

- (1)  $8192 \times 1$ (独立的 A 口或 B 口实现)；
- (2)  $4096 \times 2$ (独立的 A 口或 B 口实现)；
- (3)  $2048 \times 4$ (独立的 A 口或 B 口实现)；
- (4)  $1024 \times 8, 1024 \times 9$ (独立的 A 口或 B 口实现)；
- (5)  $512 \times 16, 512 \times 18$ (A 口 B 口联合实现)。

#### 2. 简单双口模式

当用一块 BRAM9K 配置成 18 位写入或 18 位读出时，其不支持真双口模式，而支持单口和简单双口模式(Simple Dual-Port Mode)。简单双口模式的配置连接：18 位模式时，A 端口控制信号作为写入控制信号，B 端口控制信号作为读出控制信号。18 位写入时， $\text{dib}[8:0]$  作为高 9 位数据输入， $\text{dia}[8:0]$  作为低 9 位数据输入；18 位读出时， $\text{dob}[8:0]$  作为高 9 位数据输出， $\text{doa}[8:0]$  作为低 9 位数据输出。9/18 位简单双口模式时数据端口连接关系如表 3-5 所示。

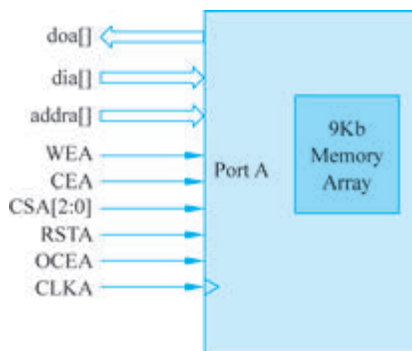


图 3-5 利用 A 口实现的 9 位宽(及以下)单口 RAM

表 3-5 9/18 位简单双口模式时数据端口连接关系

模 式	BRAM9K RAM 端口	用户端口
W=18 位 R=18 位	$\text{dia}[8:0]$	Wdata[8:0]
	$\text{dib}[8:0]$	Wdata[17:9]
	$\text{doa}[8:0]$	Rdata[8:0]
	$\text{dob}[8:0]$	Rdata[17:9]

续表

模 式	BRAM9K RAM 端口	用户端口
W ≤ 9 位 R = 18 位	dia[]	Wdata[]
	doa[8:0]	Rdata[8:0]
	dob[8:0]	Rdata[17:9]
W = 18 位 R ≤ 9 位	dia[8:0]	Wdata[8:0]
	dib[8:0]	Wdata[17:9]
	dob[]	Rdata[]

当用户使用 8/16 位宽时,禁止使用 dia[9]、dib[9]、doa[9]、dob[9],防止读写位宽不同而造成的内部数据映射失配。

不同位宽的混合端口连接如图 3-6~图 3-8 所示。简单双口模式下支持的混合端口位宽配置如表 3-6 所示。

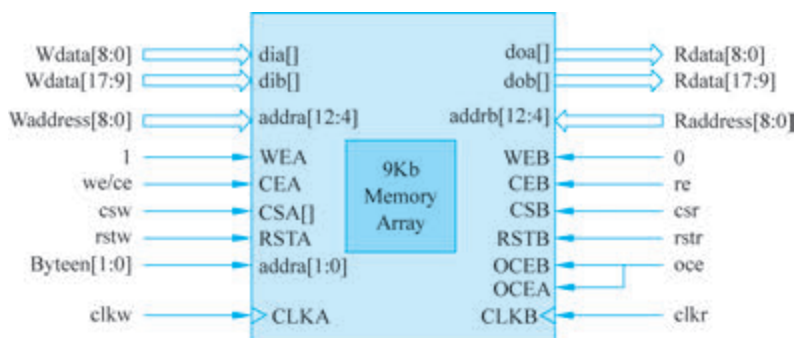


图 3-6 简单双口 18 位写/18 位读端口连接

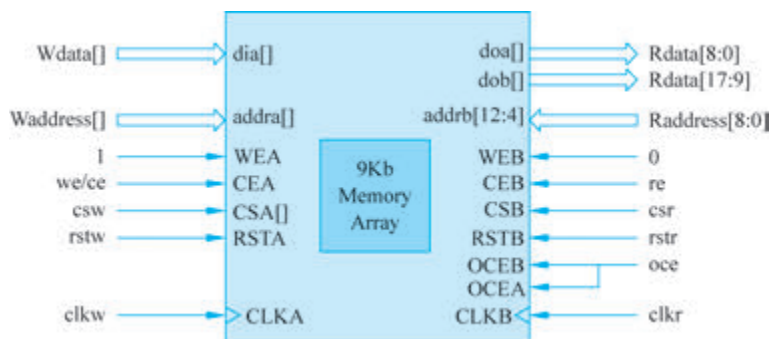


图 3-7 简单双口模式 ≤ 9 位写/18 位读端口连接

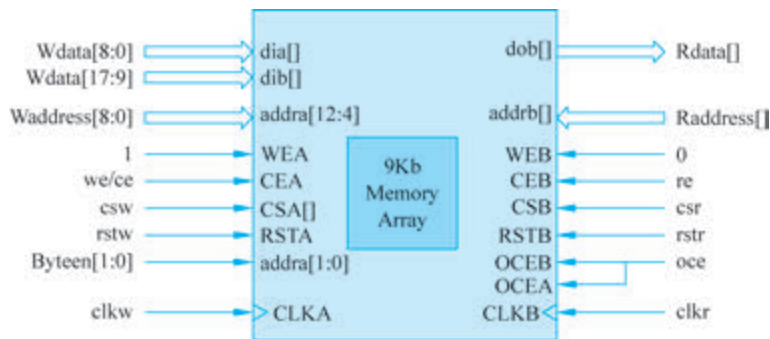


图 3-8 简单双口模式 18 位写/≤ 9 位读端口连接

表 3-6 简单双口模式下支持的混合端口位宽配置

Read Port	Write Port						
	8K×1	4K×2	2K×4	1K×8	512×16	1K×9	512×18
8K×1	√	√	√	√	√		
4K×2	√	√	√	√	√		
2K×4	√	√	√	√	√		
1K×8	√	√	√	√	√		
512×16	√	√	√	√	√		
1K×9						√	√
512×18						√	√

### 3. 真双口模式

真双口模式(True Dual-Port Mode)支持 A 口/B 口的所有独立读写操作组合：两读，两写，一读和一写。连接与位宽配置如图 3-9 与表 3-7 所示。

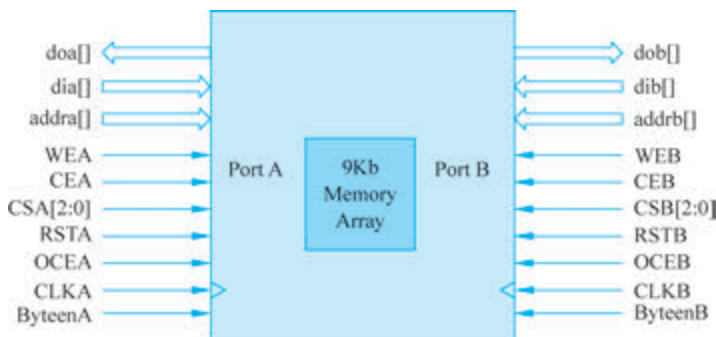


图 3-9 位宽≤9 位时 A/B 双口 RAM

表 3-7 真双口模式下支持的混合端口位宽配置

Read Port	Write Port				
	8K×1	4K×2	2K×4	1K×8	1K×9
8K×1	√	√	√	√	
4K×2	√	√	√	√	
2K×4	√	√	√	√	
1K×8	√	√	√	√	
1K×9					√

### 4. ROM 模式

BRAM9K 支持 ROM 模式。ROM 内容保存在初始化文件中，在芯片编程下载时写入 BRAM9K 中。初始化值可以在 IP 生成时用 MIF 文件设置。ROM 输出可选择带寄存器锁存或不带寄存器锁存。ROM 的读出操作和单口 RAM 的读操作时序相同。

### 5. FIFO 模式

BRAM9K 内部集成 FIFO 控制器，硬件支持同步/异步 FIFO 模式。FIFO 模式下 BRAM9K 位宽设置和简单双口 RAM 设置相同，最高可支持 18bit 输入和输出。FIFO 模式下各个端口的信号说明如表 3-8 所示。端口配置如表 3-9 所示，连接关系如图 3-10～图 3-12 所示。

表 3-8 FIFO 模式下的端口信号

输入端口名	方向	说 明
dia[8:0]	输入	FIFO 数据输入,16/18 位输入端口模式时作为低 9 位数据输入
dib[8:0]	输入	只在 16/18 位输入端口模式时作为高 9 位数据输入,其他位宽不使用
clkw	输入	FIFO 写端口时钟输入,默认上升沿有效(可反向)
rst	输入	FIFO 内部写指针/读指针复位信号(可反向)
we	输入	FIFO 写使能,1 为写入操作,0 无操作
csw[2:0]	输入	FIFO 写端口 3 位片选信号(可反向),类似 RAM 模式
输出端口名	方向	说 明
doa[8:0]	输出	只在 18 位输出端口模式时作为低 9 位数据输出,其他位宽时不使用
dob[8:0]	输出	<=9 位时作为数据输出,18 位输出端口模式时作为高 9 位数据输出
clkr	输入	读端口时钟输入,默认上升沿有效(可反向)
rprst	输入	FIFO 读指针复位信号
re		FIFO 读使能,1 为读操作,0 无操作
csr[2:0]	输入	FIFO 读端口 3 位片选信号(可反向),类似 RAM 模式
orea	输入	doa 端口数据寄存器时钟使能,默认高有效(可反向)。只有 18 位输出端口模式开启当输出寄存器被使用时(REGMODE_A="OUTREG")才有效
oreb	输入	dob 端口数据寄存器时钟使能,默认高有效(可反向),只有当输出寄存器被使用时(REGMODE_B="OUTREG")才有效
FIFO 标志名	方向	说 明
empty_flag	输出	FIFO 读空标志,和 clkr 同步
aempty_flag	输出	FIFO 几乎读空标志,和 clkr 同步。相对读空提前量由 AE_POINT 参数决定
full_flag	输入	FIFO 满标志,和 clkw 同步。FIFO 满容量由 FULL_POINTER 参数决定
afull_flag	输入	FIFO 几乎满标志,和 clkw 同步。FIFO 几乎满容量由 AF_POINTER 参数决定

表 3-9 FIFO 模式支持的混合端口位宽配置

Read Port	Write Port						
	8K×1	4K×2	2K×4	1K×8	512×16	1K×9	512×18
8K×1	√	√	√	√	√		
4K×2	√	√	√	√	√		
2K×4	√	√	√	√	√		
1K×8	√	√	√	√	√		
512×16	√	√	√	√	√		
1K×9						√	√
512×18						√	√

空满标志属性的设置: FIFO 模式下用户可以通过软件设置 FIFO 空满标志属性,即空标志(empty\_flag)、几乎空标志(almost\_empty)、满标志(full\_flag)和几乎满标志(almost\_full)。当内部计数器计数到标志值时,会在 FF、AF、EF、AE 相应端口输出高电平,如表 3-10 所示。

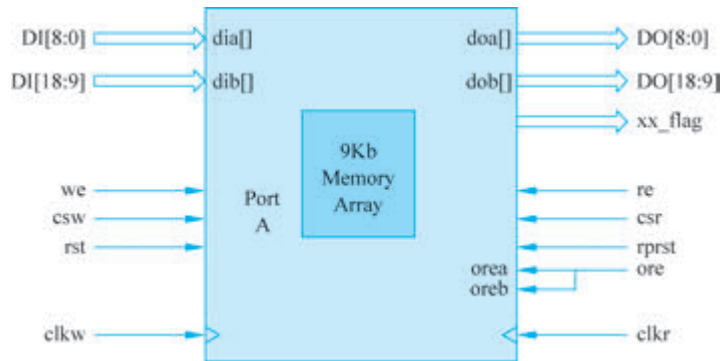


图 3-10 18 位进/18 位出 FIFO 模式

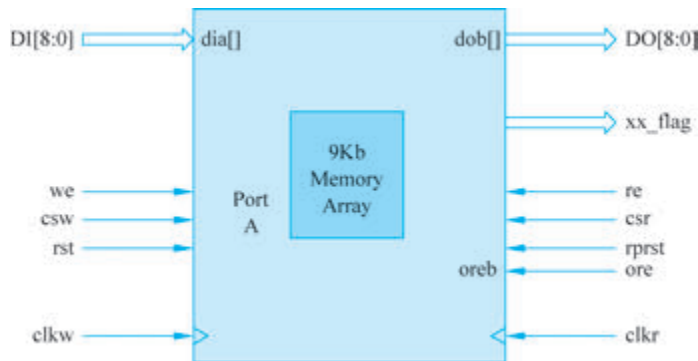


图 3-11 <=9 位进/<=9 位出 FIFO 模式

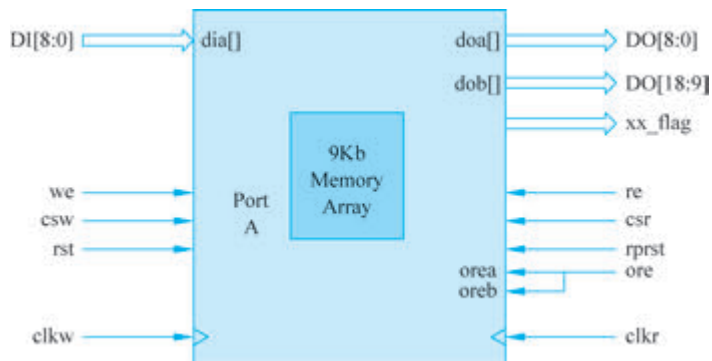


图 3-12 9 位进/18 位出 FIFO 模式

表 3-10 FF、AF、EF、AE 属性设置

FIFO 属性名称	描述	设置范围
FF	full_flag	1~Max
AF	almost_full	1~Full-1
AE	almost_empty	1~Full-1
EF	empty_flag	0

FIFO 模式下常用配置：FIFO 模式的 CSW/CSR 和 RAM 模式中的 CSA/CSB 接口逻辑类似。当 FIFO 写满或读空时，为了避免指针溢出，可以通过互连资源将满信号反向后接

入 csw 端,空信号反向后接入 csr 端。反向逻辑可以利用 csw/csr 内部的反向逻辑实现。单个 BRAM9K FIFO 模式连接与两个 BRAM9K FIFO 模式级联如图 3-13 与图 3-14 所示。

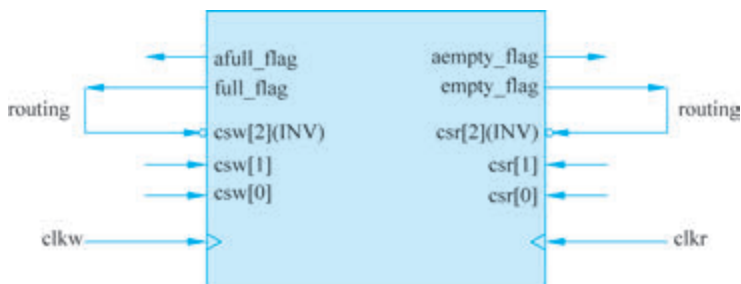


图 3-13 单个 BRAM9K FIFO 模式连接

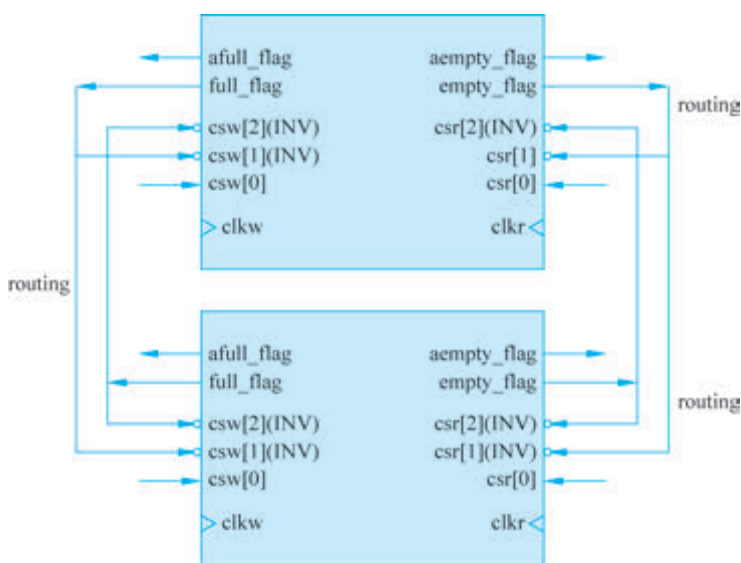


图 3-14 两个 BRAM9K FIFO 级联模式连接

### 3.2.5 BRAM32K

为了达到更高的存储容量,EAGLE 系列器件中设计了嵌入式真双口存储器模块 BRAM32K,存储器容量 32Kb。

BRAM32K 可实现单口 RAM 和双口 RAM。

BRAM32K 模块支持的功能特性: 32KB/块,可设置为  $2K \times 16$  或  $4K \times 8$ 、A/B 口时钟独立。可单独配置 A/B 口数据位宽,支持 8 位/16 位两种宽度。输出锁存器可选择(支持 1 级流水线)。支持多种写操作模式。可选择只写(Normal)和写穿通(Write Through)两种模式。端口连接与端口信号说明如图 3-15、表 3-11 所示。

表 3-11 BRAM32K 端口信号

A 端口名	方向	说 明
dia[15:0]	输入	A 端口数据输入,8 位输入端口模式时 dia[7:0]有效
addra[10:0]	输入	A 端口地址输入,2K 深度

A 端口名	方向	说 明
wbyte_ena	输入	A 口 16 位模式时,使能 8 位写模式,高有效。8 位模式时接 0
bytea	输入	8 位模式时作为最低位地址输入; 16 位模式 wbyte_ena=1 时,bytea=1 选择高 8 位写入,bytea=0 选择低 8 位写入
doa[15:0]	输出	A 端口数据输出,8 位输出端口模式时只 doa[7:0]有效
CLKA	输入	A 端口时钟输入,默认上升沿有效(可反向)
RSTA	输入	A 端口数据输出寄存器同步复位信号,默认高有效(可反向)
CSA	输入	A 端口片选,默认高有效(可反向)
WEA	输入	A 端口写入/读出操作控制,1 为写入操作,0 为读出操作
OCEA	输入	A 端口数据寄存器时钟使能,默认高有效(可反向)。只有当输出寄存器被使用时(REGMODE_A="OUTREG")才有效
B 端口名	方向	说 明
dib[15:0]	输入	B 端口数据输入,8 位输入端口模式时 dib[7:0]有效
addrb[10:0]	输入	B 端口地址输入,2K 深度
wbyte_enb	输入	B 口 16 位模式时,使能 8 位写模式,高有效。8 位模式时接 0
byteb	输入	8 位模式时作为最低位地址输入; 16 位模式 wbyte_enb=1 时,byteb=1 选择高 8 位写入,byteb=0 选择低 8 位写入
dob[15:0]	输出	B 端口数据输出,8 位输出端口模式时 dob[7:0]有效
CLKB	输入	B 端口时钟输入,默认上升沿有效(可反向)
RSTB	输入	B 端口数据输出寄存器同步复位信号,默认高有效(可反向)
CSB	输入	B 端口时钟有效控制信号,默认低有效(可反向)
WEB	输入	B 端口写入/读出操作控制,0 为写入操作,1 为读出操作

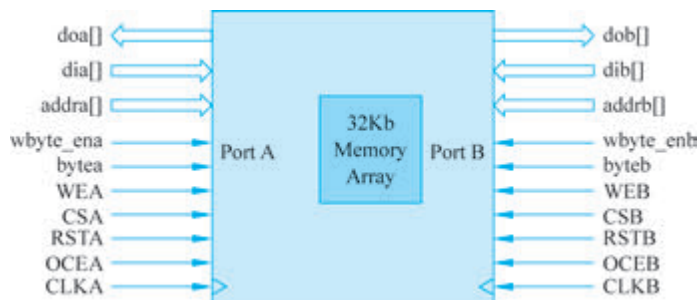


图 3-15 BRAM32K 双口 RAM

### 3.3 时钟资源

EAGLE 系列 FPGA 包含 3 种时钟资源:一是给核心逻辑、嵌入式存储器、输入/输出逻辑单元(IOL)和 DSP 使用的全局时钟(GCLK);二是支持高速输入/输出接口串并转换的输入/输出时钟(IOCLK);三是支持时钟快速输入 IOCLK 和 PLL 输入的快速时钟。

#### 3.3.1 全局时钟

EAGLE 系列全局时钟资源包含与门的时钟输入、缓冲器和布线网络。时钟资源提供 16 个低延迟、低偏斜、互联的全局时钟网络。全局时钟网络能够为 FPGA 各个模块提供统

一的高性能、低抖动、低偏斜时钟源,同时全局时钟也可用于高扇出信号。在全局时钟传输路径上有两级多路选择器:第一级 8:1 多路选择器用于从 PLL 输出、时钟引脚、内部分频器、内部逻辑反馈中选择一路作为全局时钟的驱动,在 8:1 多路选择器的输出端插入了一级动态时钟使能逻辑,可以实现无毛刺的时钟动态使能;从 4 个边共送进 32 路时钟资源,经过在传输路径上的延时平衡,分别送到位于芯片中的第二级 36:1 多路选择器,进而分别送到 4 个象限驱动用户逻辑 DFF。整个芯片以水平和垂直中间线为 4 个象限,每个象限有 16 路独立的全局时钟资源。

### 1. 动态时钟使能

动态时钟使能(DCE)模块允许用户逻辑控制/动态控制时钟网络。当选定时钟被禁止,所有被该时钟驱动的逻辑都静止,从而减少功耗。

### 2. 时钟切换模块

每个 EAGLE 器件有 2 个全局/动态时钟切换模块(CSB)。时钟切换模块把所有 32 路全局时钟第一级多路选择器的输出作为输入。动态时钟切换器的设计允许将其配置成一个具有两个时钟输入的同步或异步无毛刺信号 2:1 多路复用器。CSB 框图与时序如图 3-16 与图 3-17 所示。DCS 操作模式见表 3-12。

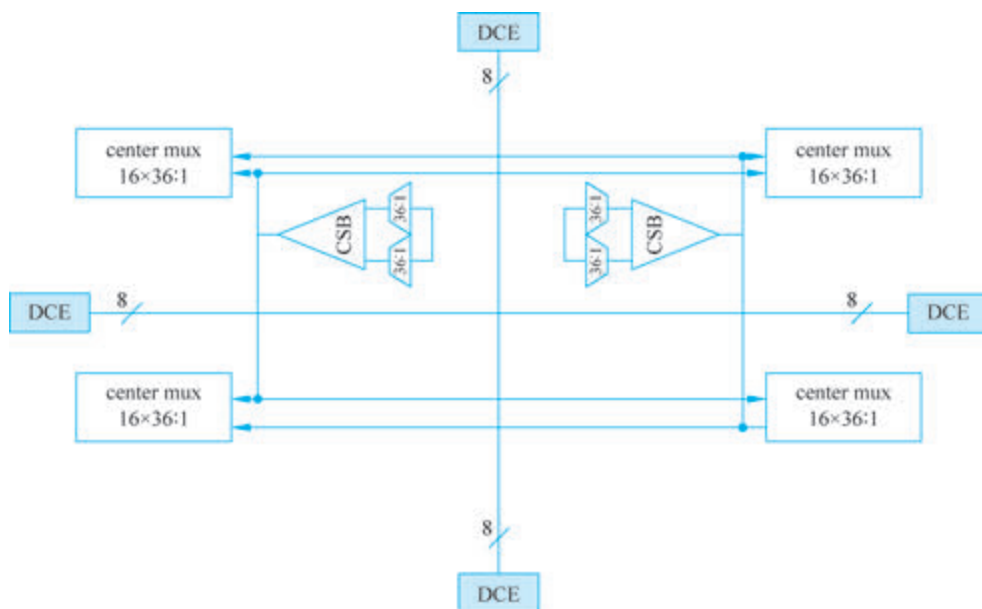


图 3-16 CSB 框图

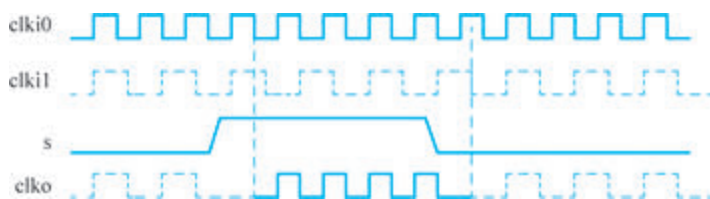


图 3-17 CSB 时序

表 3-12 DCS 操作模式

模 式	S		描 述
	1	0	
CSB	clki0	clki1	下降沿触发,锁存状态为低
CSB_1	clki0	clki1	上升沿触发,锁存状态为高
BUFGCE	0	clki1	使能高有效,非使能状态输出低
BUFGCE_1	0	clki1	使能高有效,非使能状态输出高
BUFGCEB	clki0	0	使能低有效,非使能状态输出低
BUFGCEB_1	clki0	0	使能低有效,非使能状态输出高
BUFG0	clki0	clki0	时钟缓冲器
BUFG1	clki1	clki1	时钟缓冲器
BUFGMUX	clki0	clki1	有毛刺时钟切换

### 3.3.2 输入输出时钟

输入输出时钟(IOCLK)是可以在 EAGLE 器件中使用的一种时钟缓冲 IOCLK 驱动 I/O 列内一个独立于全局时钟资源的专用时钟网。这样,BUFIO 就可以理想地适合源同步数据采集(传送/接收器时钟分配)。IOCLK 可以由位于同一时钟区域的 clock capable I/O 驱动,也可以由 PLL 输出驱动。典型的 I/O 组中有两个 IOCLK,每个 IOCLK 可驱动同一区域/组中的一个 I/O 时钟网络。IOCLK 不能驱动逻辑资源(PLB、BRAM 等),因为 IOCLK 时钟网络只能覆盖同一组或时钟区域内的 I/O 列。IOCLK 架构如图 3-18 所示。

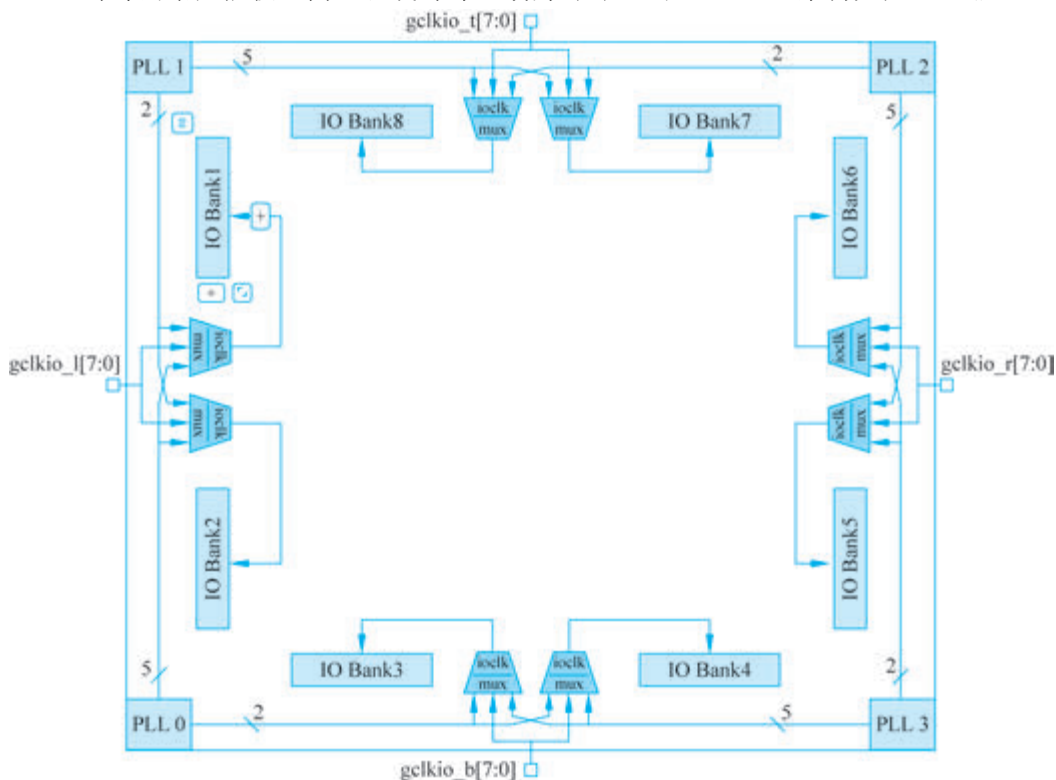


图 3-18 IOCLK 架构

注：EAGLEA05/10K 只有 PLL0 和 PLL2。

EAGLE 器件在每个 I/O 组中都有两个时钟分频器。时钟分频器把输入时钟分频，其输入来自相同 I/O 组的输入输出时钟。输出分频系数可以是 1/2/4 中的任意一个，如图 3-19 和图 3-20 所示。

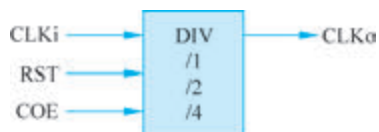


图 3-19 时钟分频器

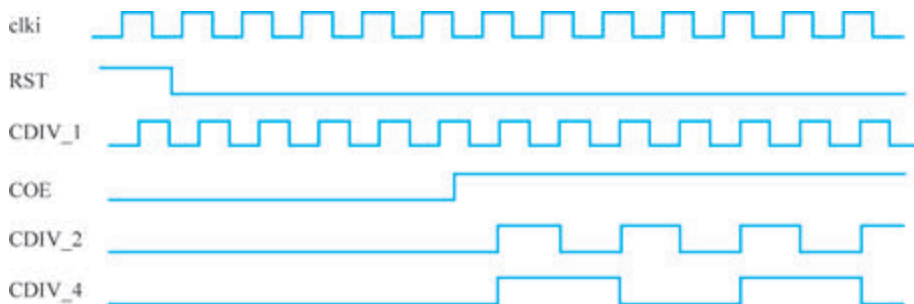


图 3-20 时钟分频器时序

### 3.3.3 快速时钟

快速时钟用以实现单时钟输入快速布线到多个 IOCLK 和 PLL 输入的应用，这使得客户实现时钟共享输入应用时更加灵活。快速时钟架构如图 3-21 所示。

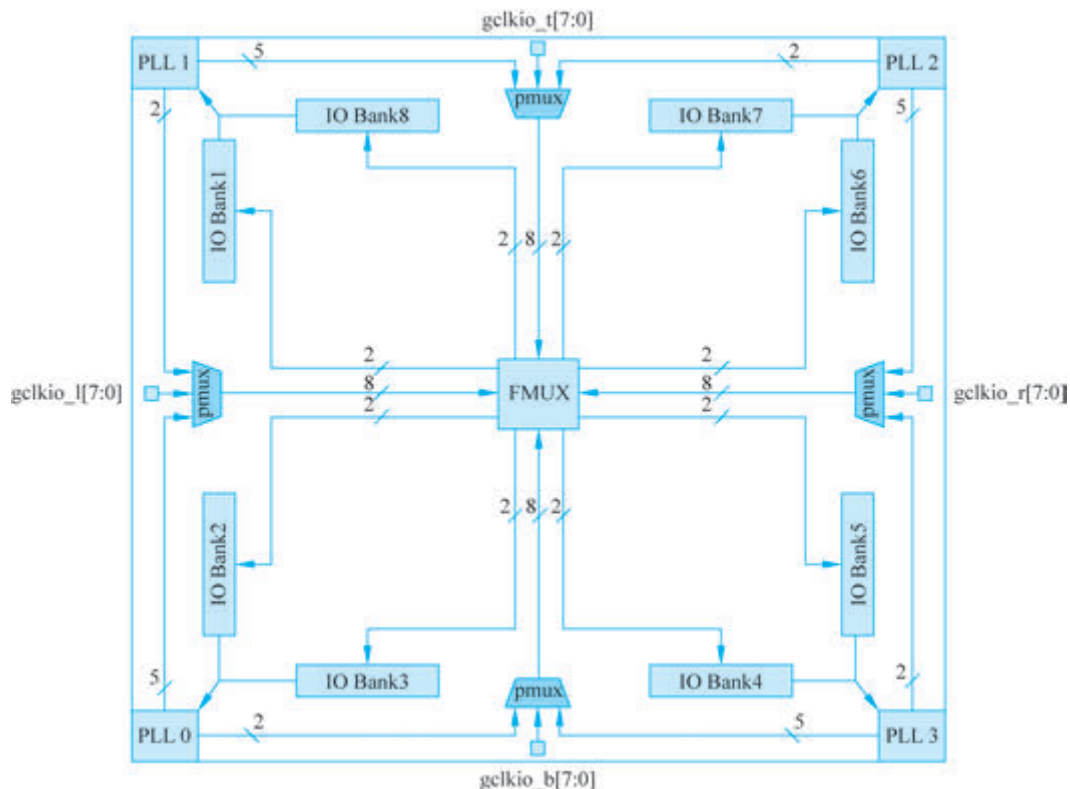


图 3-21 快速时钟架构



续表

特 征	EAGLE PLL
相移分辨率/(°)	45(相对 VCO)
输出端口可选相位偏移量/(°)	0、45、90、135、180、225、270、315
用户动态相移控制	支持(±每单位 45°相移,相对 VCO)
锁定状态输出	Lock
专用时钟输出引脚	支持

### 3.4.2 动态相移

EAGLE 系列 PLL 支持动态相移功能。EAGLE 系列 PLL 控制属性分为静态和动态配置两种。静态配置由用户通过软件设置生成码流,经过上电下载后不能更改。

静态配置参数包括参考/反馈时钟输入/输出选择、参考时钟分频系数( $M$ )、反馈时钟分频系数( $N$ )、输出时钟分频系数( $C_0 \sim C_4$ )。

动态相移是指用户可以通过向 PLL 控制输入接口收送信号从而改发 PLL 5 个时钟输出  $C_0 \sim C_4$  的相位输出。EAGLE 动态相移控制通过递加/递减的方式调节相位。递进步长为输出时钟的  $45^\circ$ 除以输出分频数。用户通过 PSCLKSEL[2:0]信号选择对某一路输出进行相移。PSSTEP 的每个脉冲递增或递减一格相位,PSDONE 低到高的跳发表示完成一次相位同动。PLL 动态相移控制时序如图 3-24 所示。

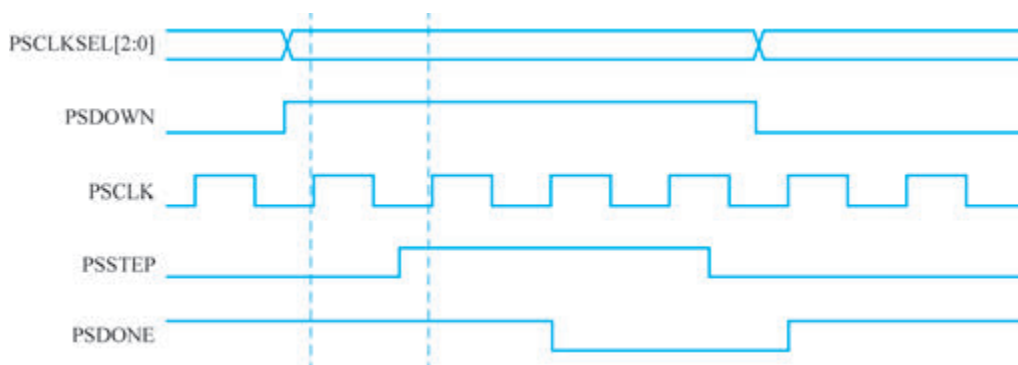


图 3-24 PLL 动态相移控制时序

### 3.4.3 动态配置

动态配置是用户可以在 PLL 工作过程中通过与门的输入输出接口直接控制锁相环的配置参数,包括参考时钟分频系数( $M$ )、反馈时钟分频系数( $N$ )、输出时钟分频系数( $C_0 \sim C_4$ )和输出相位( $P$ )。

PLL 的每个参数都存储在  $32 \times 8$  的 RAM 空间中。动态配置功能通过 AL\_PHY\_PLL 中的类似 MEMORY 访问的 8 位动态接口来实现。用户动态配置端口列表见表 3-14,PLL 内部 32Byte 控制位列表见表 3-15。PLL 动态配置控制时序见图 3-25。

表 3-14 用户动态配置端口列表

AL_PHY_PLLIF 端口	方 向	说 明
DCLK	输入	时钟输入,上升沿有效
DCS	输入	片选输入,高有效,clk 上升沿锁存
DADDR < 5:0 >	输入	读写地址,clk 上升沿被锁存
DWE	输入	写使能,高有效,clk 上升沿锁存
DWDATA < 7:0 >	输入	写入数据
DRDATA < 7:0 >	输出	数据无延迟输出,PLL 配置数据读出端口

表 3-15 PLL 内部 32BYTE 控制位列表

地 址	bit < 7:0 >	说 明
5, h01	0, Refclk_div < 6:0 >	bit < 7 > = 0, bit < 6:0 > 为参考时钟分频系数
5, h02	0, fdbkclk_div < 6:0 >	bit < 7 > = 0, bit < 6:0 > 为反馈时钟分频系数
5, h03	0, channel0_del < 6:0 >	bit < 7 > = 0, bit < 6:0 > 为通道 0 延迟系数
5, h04	0, channel0_div < 6:0 >	bit < 7 > = 0, bit < 6:0 > 为通道 0 分频系数
5, h05	0, channel1_del < 6:0 >	bit < 7 > = 0, bit < 6:0 > 为通道 1 延迟系数
5, h06	0, channel1_div < 6:0 >	bit < 7 > = 0, bit < 6:0 > 为通道 1 分频系数
5, h07	0, channel2_del < 6:0 >	bit < 7 > = 0, bit < 6:0 > 为通道 2 延迟系数
5, h08	0, channel2_div < 6:0 >	bit < 7 > = 0, bit < 6:0 > 为通道 2 分频系数
5, h09	0, channel3_del < 6:0 >	bit < 7 > = 0, bit < 6:0 > 为通道 3 延迟系数
5, h0A	0, channel3_div < 6:0 >	bit < 7 > = 0, bit < 6:0 > 为通道 3 分频系数
5, h0B	0, channel4_del < 6:0 >	bit < 7 > = 0, bit < 6:0 > 为通道 4 延迟系数
5, h0C	0, channel4_div < 6:0 >	bit < 7 > = 0, bit < 6:0 > 为通道 4 分频系数
5, h0D	保留	
5, h12	C2 < 1:0 >, C1 < 2:0 >, C0 < 2:0 >	bit < 2:0 > 为通道 0 相位, bit < 5:3 > 为通道 1 相位, bit < 7:6 > 为通道 2 相位的 bit1, 0
5, h13	0, C4 < 2:0 >, C3 < 2:0 >, C2 < 2 >	bit < 0 > 为通道 2 相位 bit2, bit < 3:1 > 为通道 3 相位, bit < 6:4 > 为通道 4 相位, bit < 7 > = 0

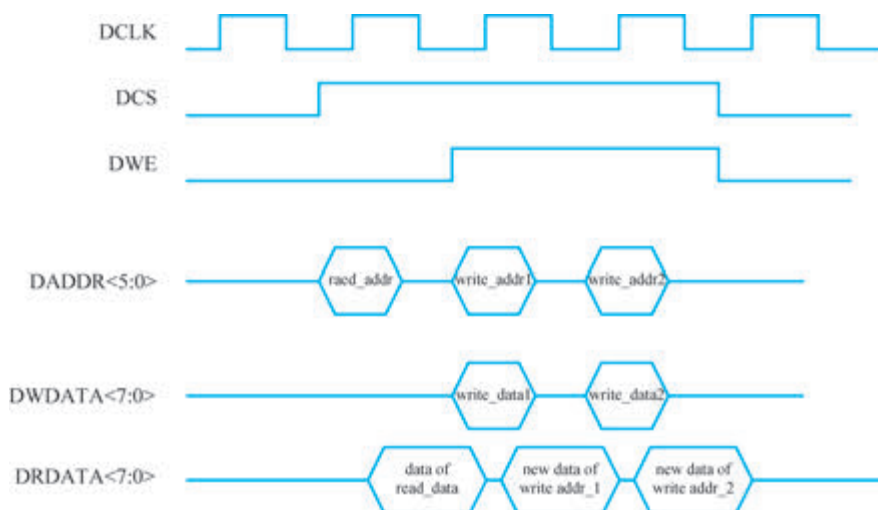


图 3-25 PLL 动态配置控制时序

### 3.4.4 时钟反馈模式

EAGLE 系列 PLL 支持 4 种反馈模式,每种模式都支持时钟分频/倍频和相移。

#### 1. 源同步模式

源同步模式(Source-Synchronous Mode)如图 3-26 所示,通过动态相移功能,调节时钟相位保证数据端口到输入输出缓冲器(IOB)的延迟和时钟输入端口到 IOB 的延迟相等(数据和时钟输入端口模式相同情况下)。

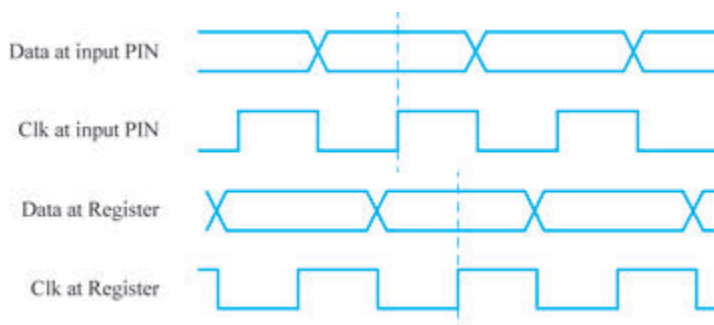


图 3-26 源同步模式

#### 2. 无补偿模式

无补偿模式(No Compensation Mode)如图 3-27 所示,PLL 不对时钟网络延迟进行补偿,PLL 采用内部自反馈,这会提高 PLL 的抖动特性。

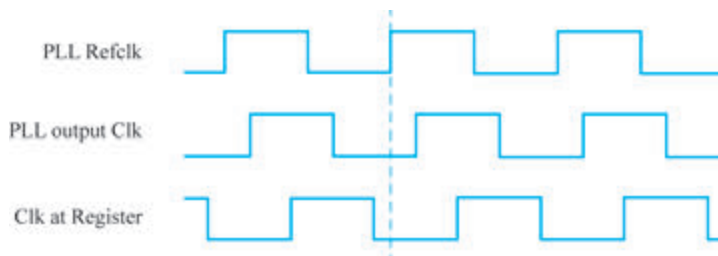


图 3-27 无补偿模式(相位不对齐)

#### 3. 普通模式

普通模式如图 3-28 所示,PLL 会补偿 GCLK 网络延迟,保证内部寄存器输入时钟相位和时钟引脚相位一致。

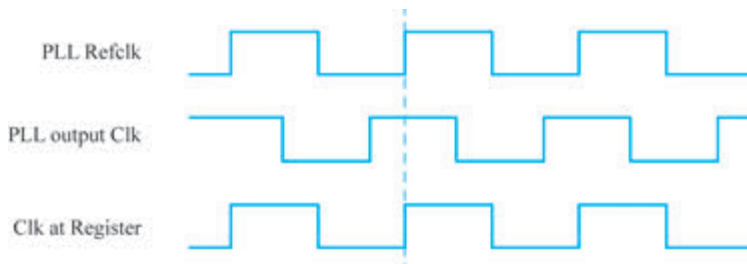


图 3-28 普通模式(1/2 时钟相对对齐)

#### 4. 零延迟缓冲模式

零延迟缓冲模式如图 3-29 所示,时钟输出引脚相位和 PLL 参考时钟输入引脚相位对齐。

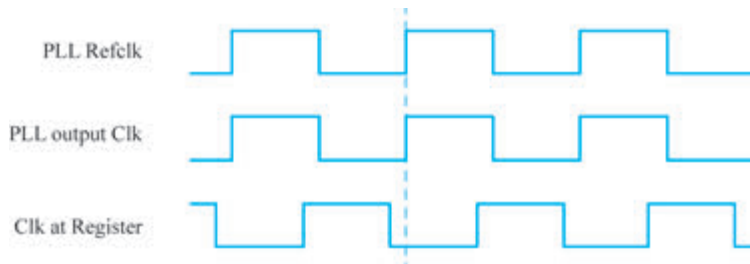


图 3-29 零延迟缓冲模式(1/3 信号相位对齐)

### 3.5 数字信号处理

EAGLE 器件结合了片上资源和外部接口,这有助于提高性能、减少系统成本,以及降低 DSP 系统的功耗。EAGLE 器件本身或者作为 DSP 器件的协处理器,都可用于提高 DSP 系统的性价比。

#### 3.5.1 体系结构

图 3-30 和图 3-31 给出了一个嵌入式乘法器阵列以及相邻的逻辑阵列模块高度对应关系。嵌入式乘法器可以配置成一个  $18 \times 18$  乘法器,或者配置成两个  $9 \times 9$  乘法器。每个嵌入式乘法器均由乘法器级、输入不输出寄存器和输入不输出接口这 3 个单元组成。

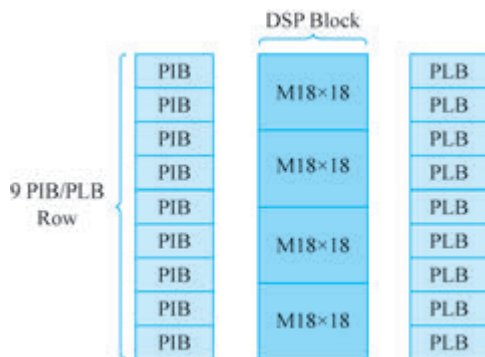


图 3-30 与 PLB 相邻的按列排列的嵌入式乘法器

根据乘法器的操作模式,可以将每个乘法器的输入信号连接到输入寄存器,或直接以 9bit 或 18bit 的形式连接到内部乘法器。可以分别设置乘法器的每个输入是否使用输入寄存器。例如,将乘法器 mia 信号连接到输入寄存器,将 mib 信号直接连接到内部乘法器。时钟、时钟使能和同步/异步清零控制信号可用于嵌入式乘法器中的每个输入寄存器。同一个嵌入式乘法器中的所有输入和输出寄存器均由同一时钟信号驱动,时钟使能信号以及异步清零信号驱动可以独立配置。

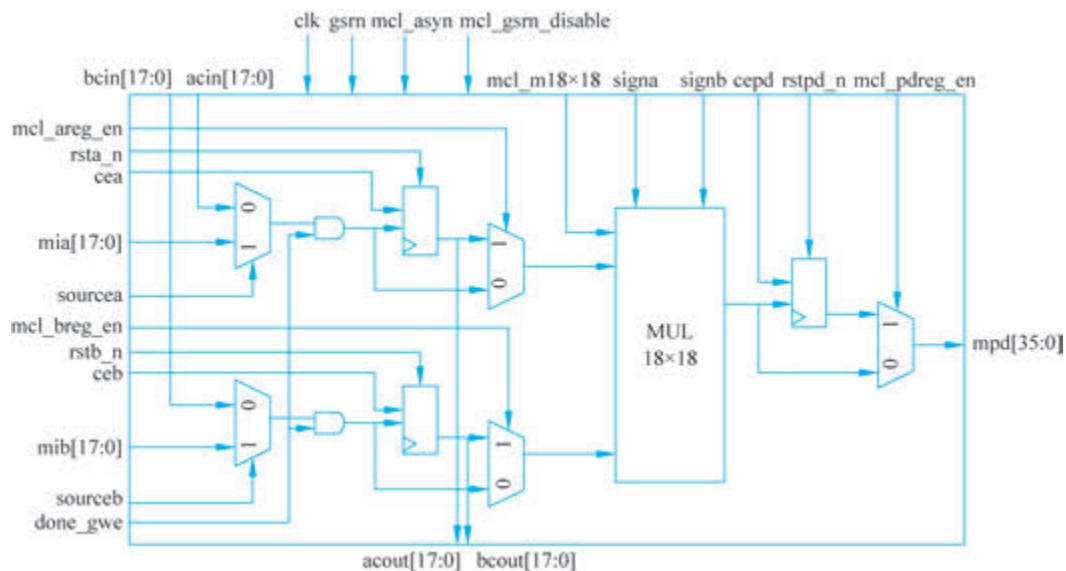


图 3-31 乘法器模块的体系结构

嵌入式乘法器模块的乘法器级支持  $9 \times 9$  乘法器或者  $18 \times 18$  乘法器，并支持这些配置之间的其他乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。乘法器的每一个操作数都是一个唯一的有符号或无符号数。signa 与 signb 信号控制乘法器的输入，并决定值是有符号的还是无符号的。若 signa 信号为高电平，则 mia 操作数是有符号数值；反之，mia 操作数是无符号数值。

表 3-16 给出了不同符号类型的操作数的乘积结果所对应的符号类型。若任何一个操作数为有符号数，则乘积的结果为有符号数。

表 3-16 乘法器符号表示

mia		mib		乘 积
signa	逻辑值	signb	逻辑值	
无符号	0	无符号	0	无符号
无符号	0	有符号	1	有符号
有符号	1	无符号	0	有符号
有符号	1	有符号	1	有符号

每一个嵌入式乘法器模块只有一个 signa 信号和一个 signb 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个  $9 \times 9$  乘法器，那么这两个乘法器的 mia 输入与 mib 输入将分别共享同一个 signa 信号和同一个 signb 信号。可以在运行时动态修改 signa 和 signb 信号，以修改输入操作数的符号表示。可以通过专用的输入寄存器发送 signa 以及 signb。不管符号表示如何，乘法器都会支持全精度。

根据乘法器的操作模式，可以用 18bit 或 36bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。时钟、时钟使能和同/异步清零控制信号可用于嵌入式乘法器中的每个输出寄存器。同一个嵌入式乘法器中的所有输入和输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。乘法器端口说明见表 3-17。

表 3-17 乘法器端口说明

名称	方向	位宽	描述
mia	输入	18	来自 PIB 的 DSP 操作数输入。具有寄存器输入模式
acin	输入	18	来自前一级 DSP 的 acout 端口上的级联数据输入。具有寄存器输入模式
acout	输出	18	连接到下一级 DSP 的 acin 端口上的级联数据输出
mib	输入	18	来自 PIB 的 DSP 的另一操作数输入。具有寄存器输入模式
bcin	输入	18	来自前一级 DSP 的 bcout 的级联数据输入。具有寄存器输入模式
bcout	输出	18	连接到下一级 DSP 的 bcin 端口上的级联数据输出
cea	输入	1	输入寄存器的时钟使能信号。当 cea 为高电平时, AMUX 的输出传送给寄存器
ceb	输入	1	输入寄存器的时钟使能信号。当 ceb 为高电平时, BMUX 的输出传送给寄存器
cepd	输入	1	输出寄存器的时钟使能信号。当 cepd 为高电平时, DSP 的数据输出传送给寄存器
clk	输入	1	clk 是 DSP 的输入时钟, 共同作用于内部所有的寄存器
rsta_n	输入	1	输入寄存器的复位信号。当 rsta_n 输入为低电平时, 寄存器的输出为“0”
rstb_n	输入	1	输入寄存器的复位信号。当 rstb_n 输入为低电平时, 寄存器的输出为“0”
rstpd_n	输入	1	输出寄存器的复位信号。当 rstpd_n 输入为低电平时, 寄存器的输出为“0”
sourcea	输入	1	第一级数据选择器的控制端。当 sourcea 为高电平时, MUX 的输出是 a; 当 sourcea 为低电平时, MUX 的输出是 acin
sourceb	输入	1	第一级数据选择器的控制端。当 sourceb 为高电平时, MUX 的输出是 b; 当 sourceb 为低电平时, MUX 的输出是 bcin
mpd	输出	36	DSP 的乘积数据输出

### 3.5.2 操作模式

根据不同的应用需要可以选择一个  $18 \times 18$  乘法器或两个  $9 \times 9$  独立的乘法器。

使用 EAGLE 器件的嵌入式乘法器可以实现乘法加法器和乘法累加器功能, 该功能的乘法器部分由嵌入式乘法器来实现, 而加法器或者累加器功能则在逻辑单元中实现。

#### 1. 18 位乘法器

通过配置每一个嵌入式乘法器来支持  $10 \sim 18$  位输入位宽的单一  $18 \times 18$  乘法器。图 3-32 给出了配置后的嵌入式乘法器, 以支持一个 18 位乘法器。

所有的 18 位乘法器输入数据和结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数, 或者两者的组合。另外, 也可以动态修改 signa 与 signb 信号, 并且通过专用的输入寄存器发送这些信号。

#### 2. 9 位乘法器

通过配置每个嵌入式乘法器, 以支持最多 9 位输入位宽的两个  $9 \times 9$  乘法器。图 3-33 给出了配置后的嵌入式乘法器, 以支持两个 9 位乘法器。

所有的 9 位乘法器输入数据和结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数, 或者两者的组合。同一嵌入式乘法器模块中的两个  $9 \times 9$  乘法器

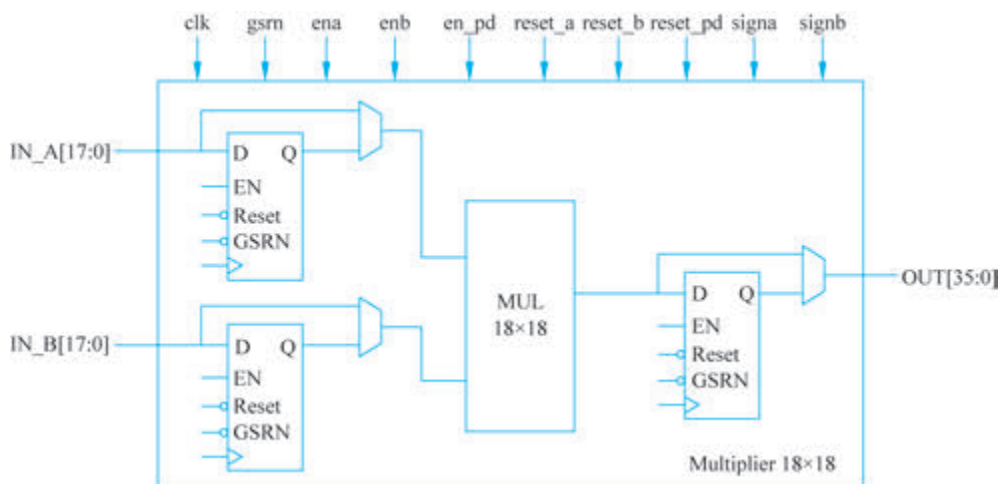


图 3-32 18 位乘法器模式

共享同一个 signa 和 signb 信号。因此,用于驱动同一嵌入式乘法器的所有 mia 输入数据必须要用相同的符号表示。同样,用于驱动同一嵌入式乘法器的所有 mib 输入数据也必须要用相同的符号表示。

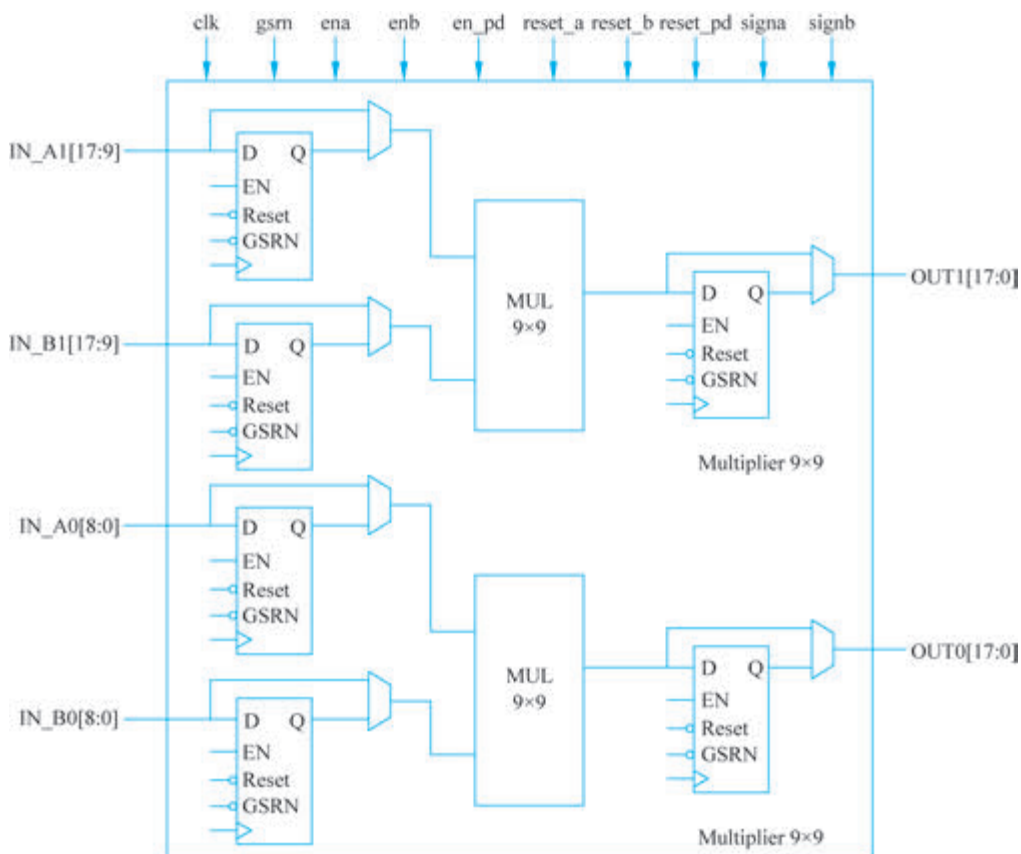


图 3-33 9 位乘法器模式

## 3.6 输入输出逻辑单元

EAGLE 器件的输入输出逻辑(IOL)支持多种工作模式。本节主要介绍如何配置 IOL 资源以支持多种工作模式。

### 3.6.1 输入寄存器逻辑

输入输出逻辑中的输入寄存器用来处理高速接口,将其降低为内部核心逻辑可以处理的频率。输入寄存器中均包含可配置延时单元作为数据采样处理辅助。在此基本功能基础上增强了对通用双边沿数据(GDDR)的支持,如图 3-34 所示。

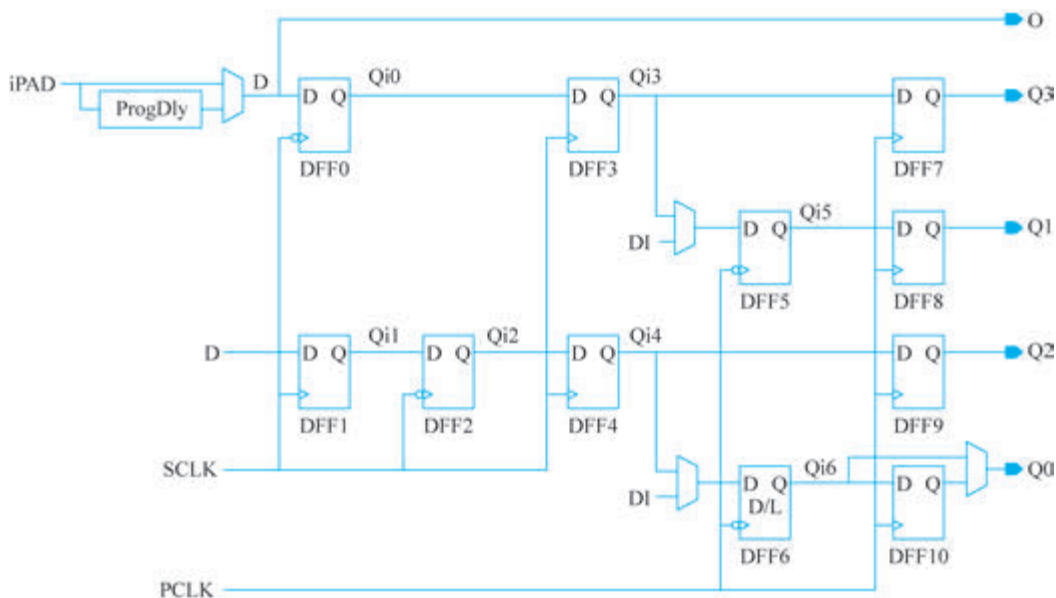


图 3-34 输出寄存器框图

#### 1. 普通输入模式

普通输入模式框图如图 3-35 所示,此模式下信号直接进入 FPGA 内部逻辑。



图 3-35 普通输入模式框图

#### 2. SDR 输入模式

SDR 输入模式框图如图 3-36 所示,SDR 模式使用了 IOL 寄存器,可以有效地改善 I/O 的时序性能。

#### 3. DDR 输入模式

EAGLE 器件 IOL 中有专用的寄存器用以支持  $iDDR \times 1$  和  $iDDR \times 2$  模式。 $iDDR \times 1$  同沿输入模式如图 3-37 所示。

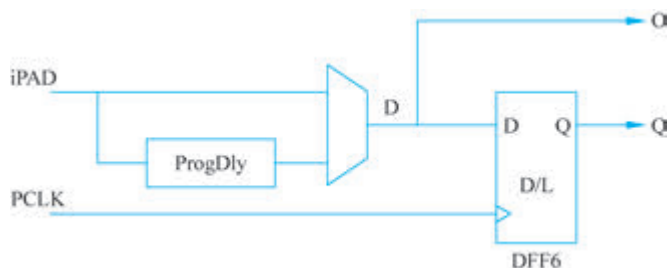


图 3-36 SDR 输入模式框图

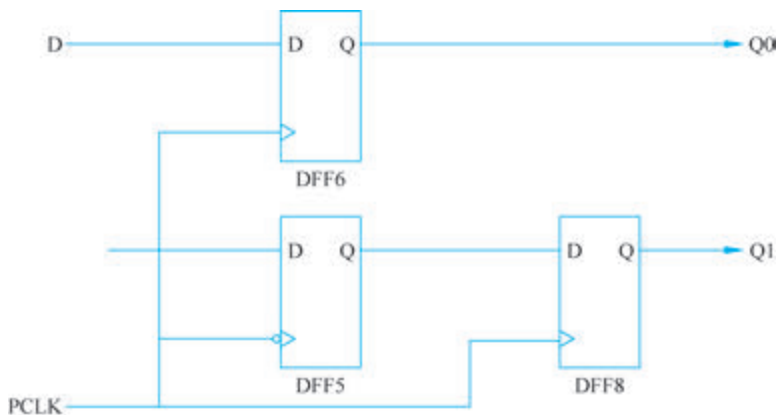


图 3-37 iDDR×1 同沿输入模式框图

在 iDDR×1 同沿输入模式，DFF5 和 DFF6 分别在下降沿和上升沿采样输入数据，DFF8 把 Q1 数据同步到时钟上升沿。由于 DFF8 的引入，Q1 数据相对于 Q0 要晚一个时钟周期。时序如图 3-38 所示。

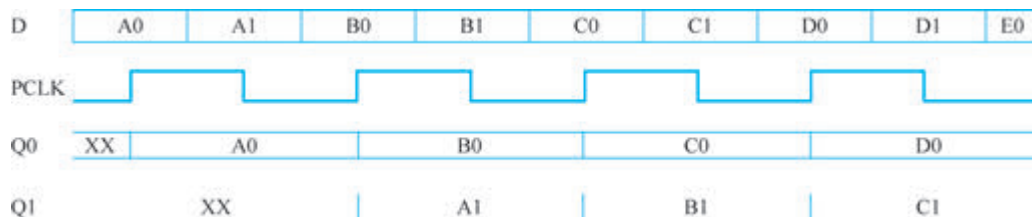


图 3-38 iDDR×1 同沿输入模式

iDDR×1 同沿 Pipelined 输入模式框图如图 3-39 所示。

在 iDDR×1 同沿 Pipelined 输入模式中 Q1 相对于 Q0 要晚一个时钟周期，为补偿该延时，引入 DFF10，时序如图 3-40 所示。

在 iDDR×2 模式下，可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 4 : 1。该模式下第一级采样 DFF 由 SCLK 触发，实现高速数据的采样和 1 : 2 的分离；第二级分离 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据与内核逻辑的同频，如图 3-41 所示。PCLK 为 SCLK 速度的一半，如图 3-42 所示。

#### 4. 输入延时单元

每个 IOL 单元内都包含一个可编程输入延时单元，支持 32 级调节，最大延时 3.8ns，支

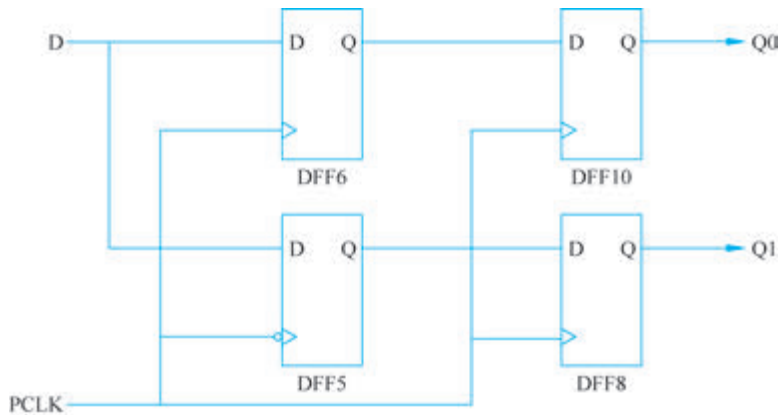


图 3-39 iDDR×1 同沿 Pipelined 输入模式框图

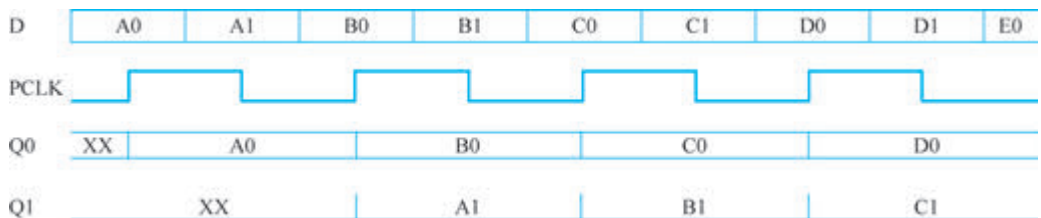


图 3-40 iDDR×1 同沿 Pipelined 输入模式时序

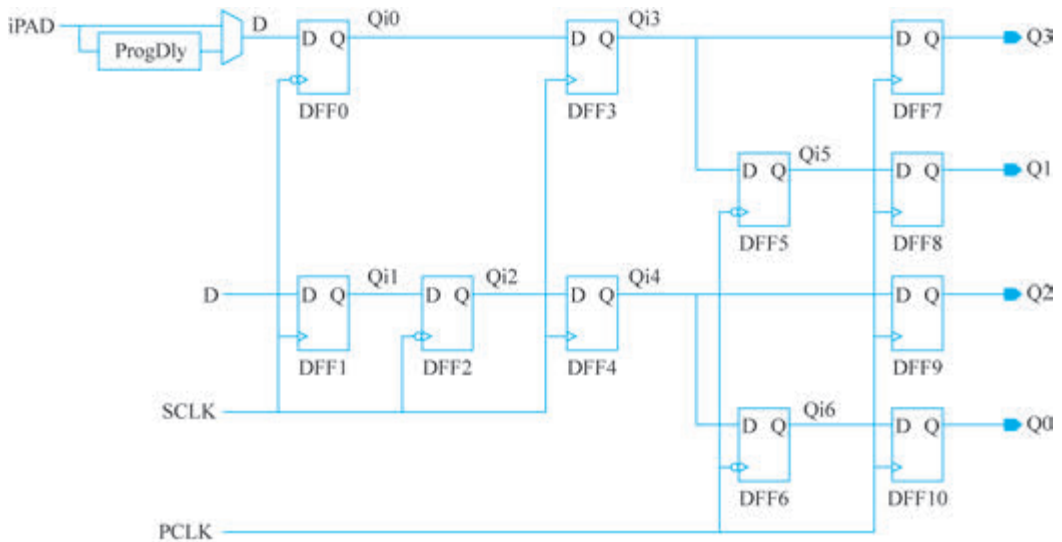


图 3-41 iDDR×2 输入模式框图

持静态控制延迟的方式。

### 3.6.2 输出寄存器逻辑

输入输出逻辑中的输出寄存器用来处理从内部核心逻辑到高速 I/O 接口的时序。图 3-43 给出了输出寄存器框图。

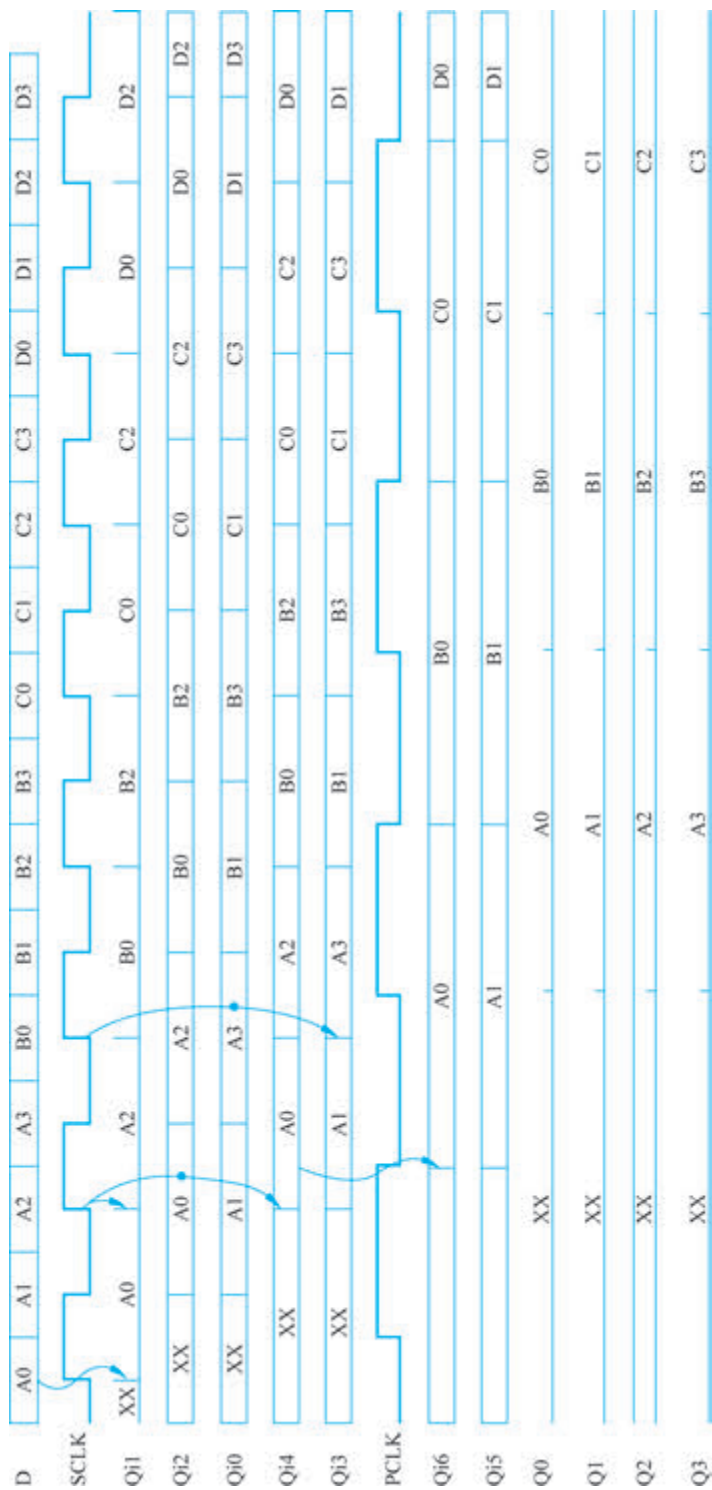


图 3-42 iDDR×2 输入模式时序

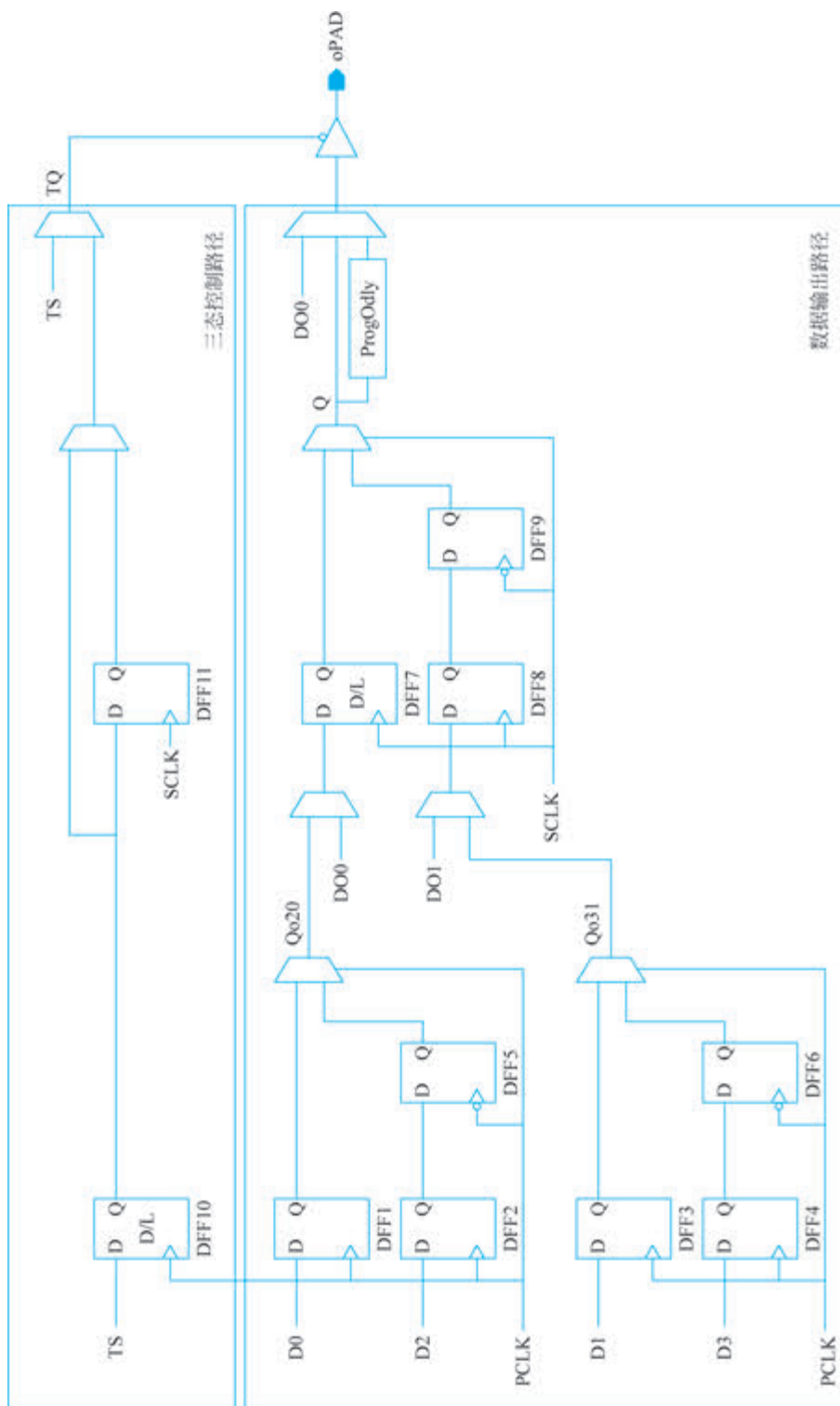


图 3-43 输出寄存器框图

### 1. 普通输出模式

普通输出模式框图如图 3-44 所示,此模式下信号直接从 FPGA 内部逻辑输出到 PAD。



图 3-44 普通输出模式框图

### 2. SDR 输出模式

SDR 输出模式框图如图 3-45 所示。SDR 输出模式使用了 IOL 寄存器,可以有效地改善 I/O 的时序性能。

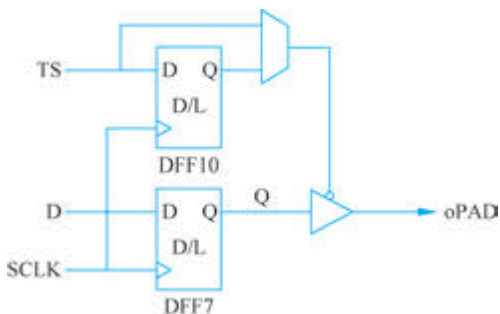


图 3-45 SDR 输出模式框图

### 3. DDR 输出模式

EAGLE 器件 IOL 中有适用的寄存器,用以支持 oDDR×1 和 oDDR×2 模式。oDDR×1 输出模式框图如图 3-46 所示。

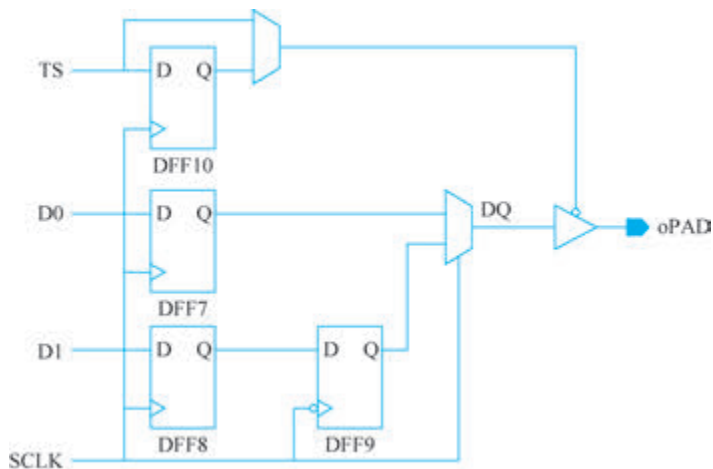


图 3-46 oDDR×1 输出模式框图

在 oDDR×1 模式,数据 DO0 和 DO1 被 SCLK 同沿采样进 DFF7 和 DFF8,并分别在上升沿和下降沿输出到 oPAD,时序如图 3-47 所示。

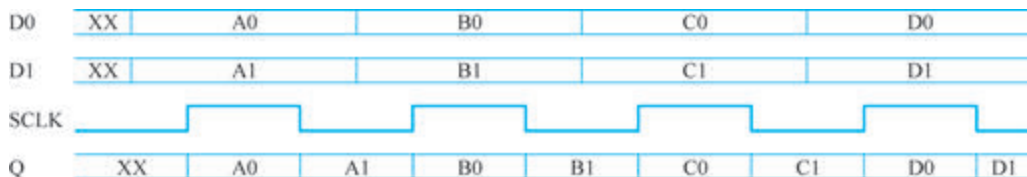


图 3-47 oDDR×1 输出模式时序

在 oDDR×2 模式,可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 4 : 1。该模式下第一部分 DFF 由 FPGA 系统时钟 PCLK 触发,实现数据的采样和 2 : 1 并串转换;第二部分 DFF 由高速 SCLK 触发,实现数据高速串行输出,如图 3-48 所示。PCLK 为 SCLK 速度的一半,如图 3-49 所示。

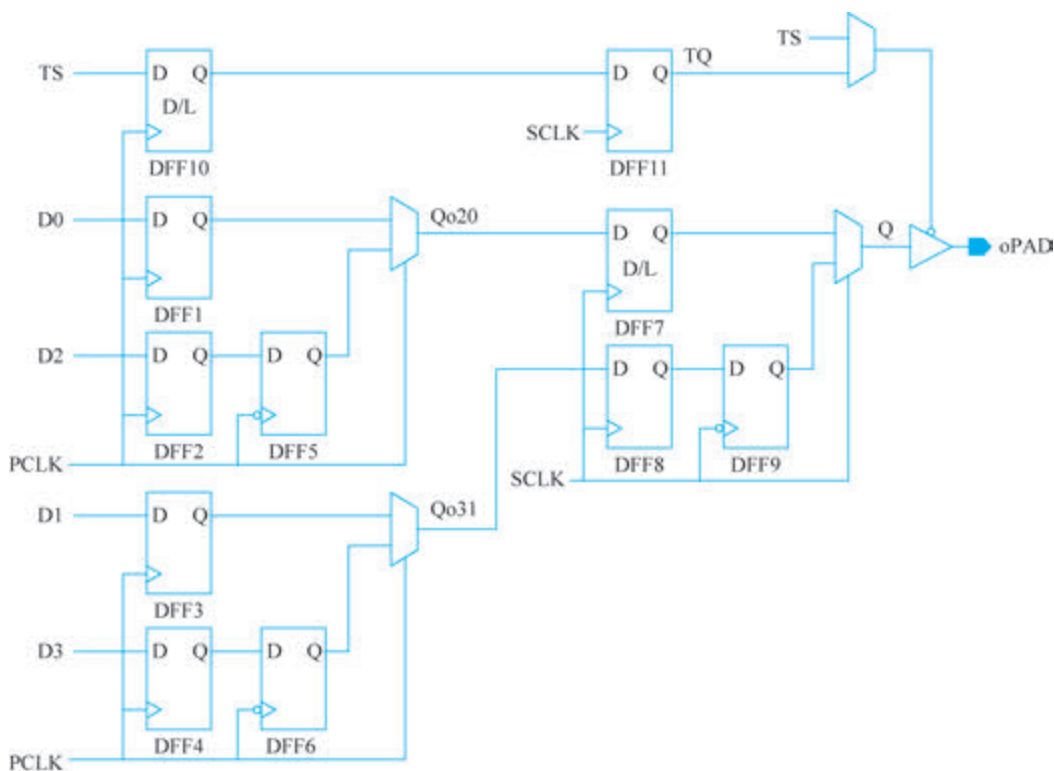


图 3-48 oDDR×2 输出模式框图

与 oDDR×2 相比,oDDR×2L 模式直接使用内部 SCLK 的 2 分频作为 PCLK,节省 1 个 CLK,如图 3-50 所示。数据输出比 oDDR×2 模式晚一个 SCLK 时钟周期,如图 3-51 所示。

#### 4. 输出延时单元

每个 IOL 逻辑单元内都包含一个可编程输出延时单元,共支持 4 级调节,每级延时 100ps,支持静态控制延迟的方式。

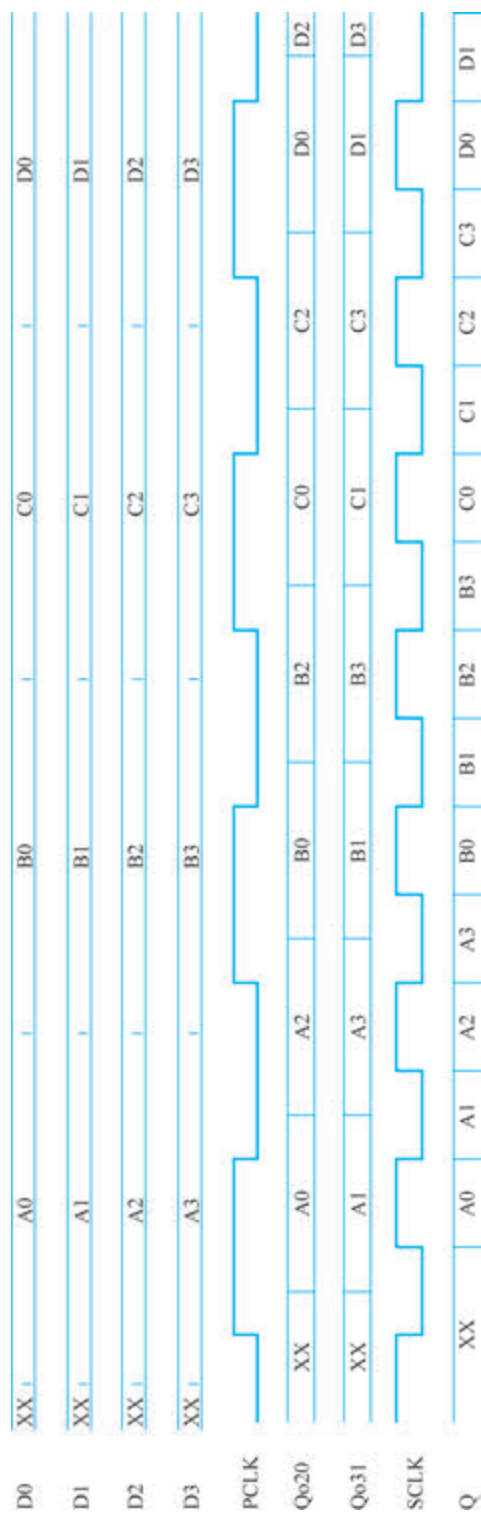


图 3-49 oDDR x2 输出模式时序

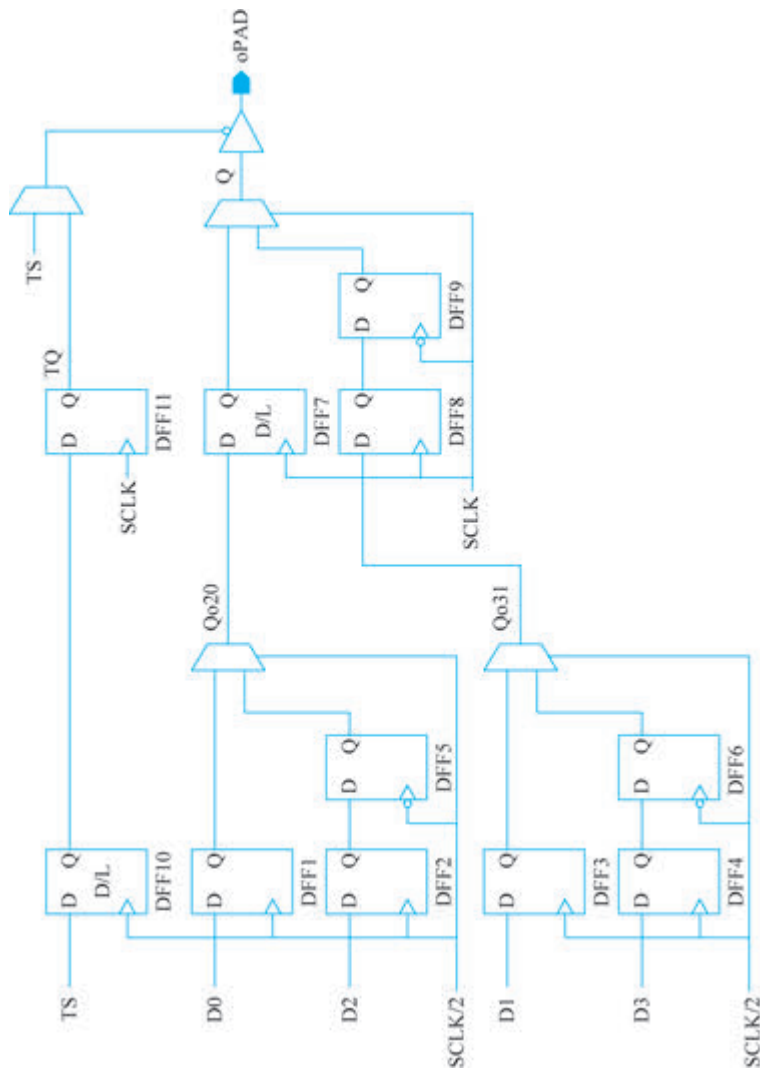


图 3-50 oDDR×2L 输出模式框图

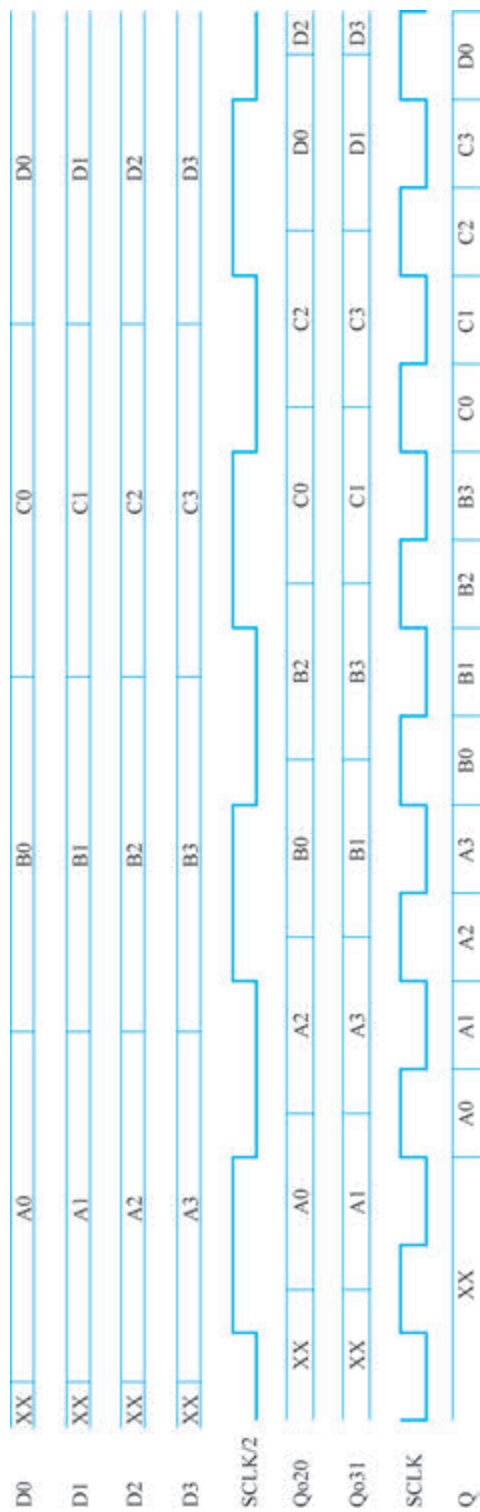


图 3-51 oDDR×2L 输出模式时序

## 3.7 输入输出缓冲器

### 3.7.1 IOB 简介

EAGLE 具有可配置高性能 I/O 驱动器和接收器,可支持种类繁多的标准接口。强大的功能集包括对输出强度和斜率的可编程控制。每个 IOB 包含输入、输出和三态驱动器,这些驱动器可以按照各种 I/O 标准配置。差分 I/O 使用在一个模块中的两 IOB。

单端 I/O 标准(LVCMOS、LVTTTL、HSTL、SSTL、GTL、PCI)。

差分 I/O 标准(LVDS、LVPECL、BLVDS、差分 HSTL 和 SSTL)。

IOB 支持上述电平标准的同时,IOB 支持以下配置项:输出驱动能力调节,输出 Slew Rate 调节,弱上拉/下拉电阻选择配置,PCI Clamp 使能,Bus Hold 功能使能。

图 3-52 为基本 IOB 及其内部逻辑和器件焊盘的连接。

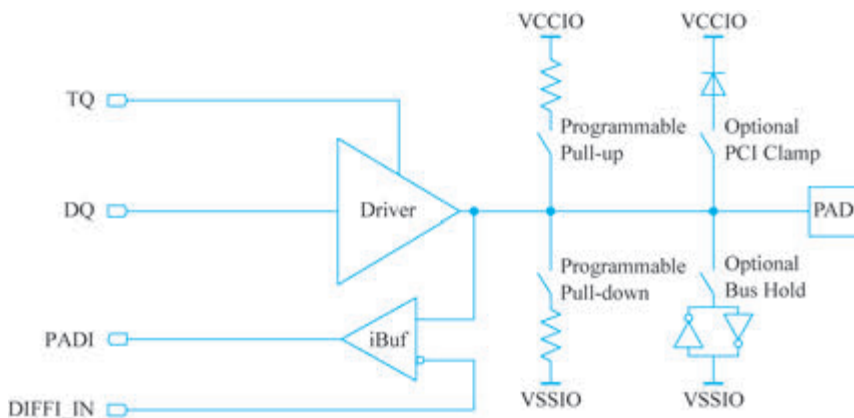


图 3-52 基本 IOB 框图

各 IOB 直接连接 IOL 组成输入输出逻辑对,该逻辑对包含输入和输出逻辑资源,可用于数据和 IOB 的三态控制。

### 3.7.2 高速 LVDS 接口

EAGLE 系列器件支持的差分标准见表 3-18。

表 3-18 EAGLE 系列器件支持的差分标准

差分标准	I/O Location	接 收		发 送	
		支持	外部电阻	支持	外部电阻
LVDS	左/右	Yes	No	Yes	No
	上/下/左/右	Yes	Yes	Yes	3R
RSDS	左/右	Yes	No	Yes	No
	上/下/左/右	Yes	Yes	Yes	3R
mini-LVDS	左/右	Yes	No	Yes	No
	上/下/左/右	Yes	Yes	Yes	3R

续表

差分标准	I/O Location	接 收		发 送	
		支持	外部电阻	支持	外部电阻
PPDS	左/右	Yes	No	Yes	No
	上/下/左/右	Yes	Yes	Yes	3R
BLVDS	上/下/左/右	Yes	Yes	Yes	Yes
LVPECL	左/右	Yes	No	—	—
	上/下/左/右	Yes	Yes	Yes	3R

True LVDS 与 Emulated LVDS 均可作为 LVDS25 标准输入,最大输入频率为 400MHz(800Mb/s)。作为输出时, True LVDS 采用 LVDS25 标准直接输出 LVDS 电平标准,无需外部匹配电阻,如图 3-53 所示,最大输出频率为 400MHz(800Mb/s)。

Emulated LVDS 作为输出时采用 LVDS25E 标准,最大输出频率为 166MHz,且要外接 3R 电阻网络对输出电压摆幅进行衰减以满足 LVDS 标准,如图 3-54 所示可以通过改变电阻网络值来降低功耗或者改善噪声容限。



图 3-53 True LVDS 输出

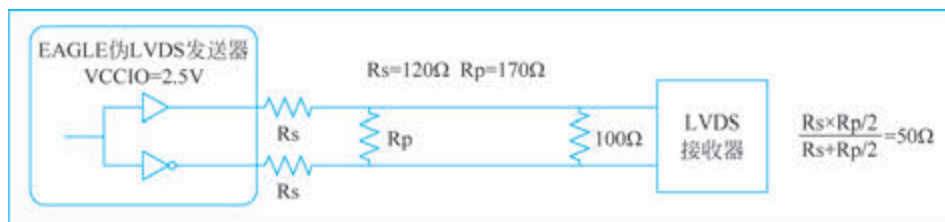


图 3-54 Emulated LVDS 输出 3R 电阻网络

### 3.7.3 I/O 分组

EAGLE 器件有 8 个 I/O 组,每边有两个用户 I/O 组。组 1 位于靠近配置逻辑(config)的下方,包含专用/共享配置接口。

每个 I/O 组包含两个参考电压输入。每个 I/O 组由对应的 VCCIO 供电,如图 3-55 所示。

EAGLE I/O 可以工作在 2.4~3.6V,不能直接接收 5V 输入。如果 5V 电压信号驱动到 EAGLE 器件的输入端口,那么需要外部串接电阻和打开 EAGLE I/O 内部的 PCI 钳位二极管把输入端口接收到的电压降到器件安全范围内,如图 3-56 所示。

电阻  $R$  值依赖 PCI 钳位二极管的电流特性,二极管的电压电流特性见表 3-19。

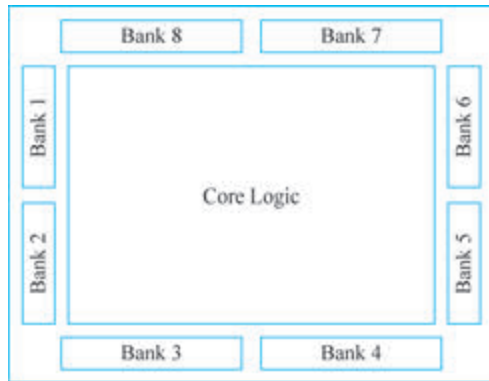


图 3-55 I/O 组示意图

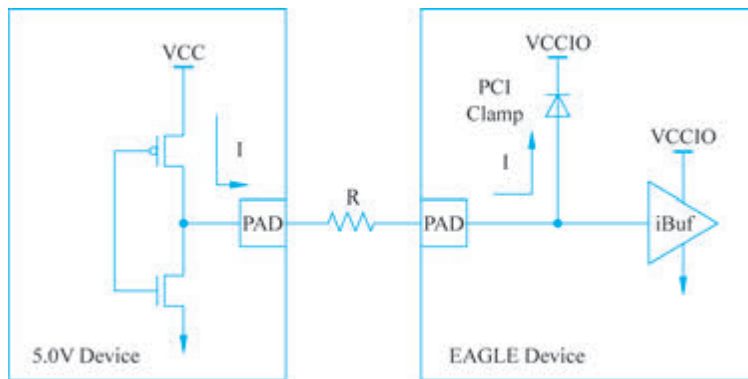


图 3-56 输入驱动 EAGLE 器件

表 3-19 PCI 钳位二极管的电流特性

$V_D/V$	$I_{max}$	Unit	$V_D/V$	$I_{max}$	Unit
0.0	0.92	Ua <sup>①</sup>	0.5	76.5	Ua <sup>①</sup>
0.1	9.2	Ua <sup>①</sup>	0.6	0.15	Ma <sup>②</sup>
0.2	20	Ua <sup>①</sup>	0.7	0.36	Ma <sup>②</sup>
0.3	30.4	Ua <sup>①</sup>	0.8	3.85	Ma <sup>②</sup>
0.4	43.6	Ua <sup>①</sup>	0.9	9.42	Ma <sup>②</sup>

① Ua 为系统显示, 实际为电流单位  $\mu A$ 。

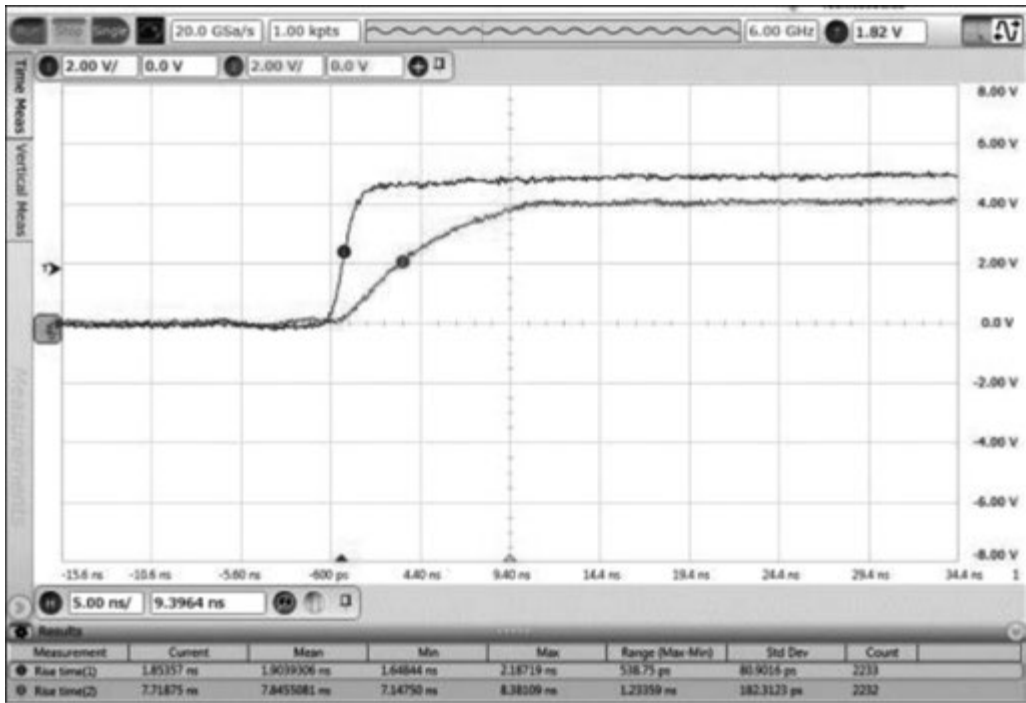
② Ma 为系统显示, 实际为电流单位 mA。

为支持 5V 输入, 建议  $V_{CCIO}$  电压工作在 3.0~3.5V。I/O 器件最大容限绝对电压  $V_{IMAX}=3.6V$ , 设置  $V_{CCIO}=3.5V$ , 取分压后 I/O 输入端接收到的电压  $V_I=3.6V$ , 则二极管上的压降为  $V_{DIO}=V_I-V_{CCIO}=(3.6-3.5)V=0.8V$ 。  $I_{DIO}@0.8V=3.85mA$ ,  $R=(5-3.6)V/3.85mA=596\Omega$ 。

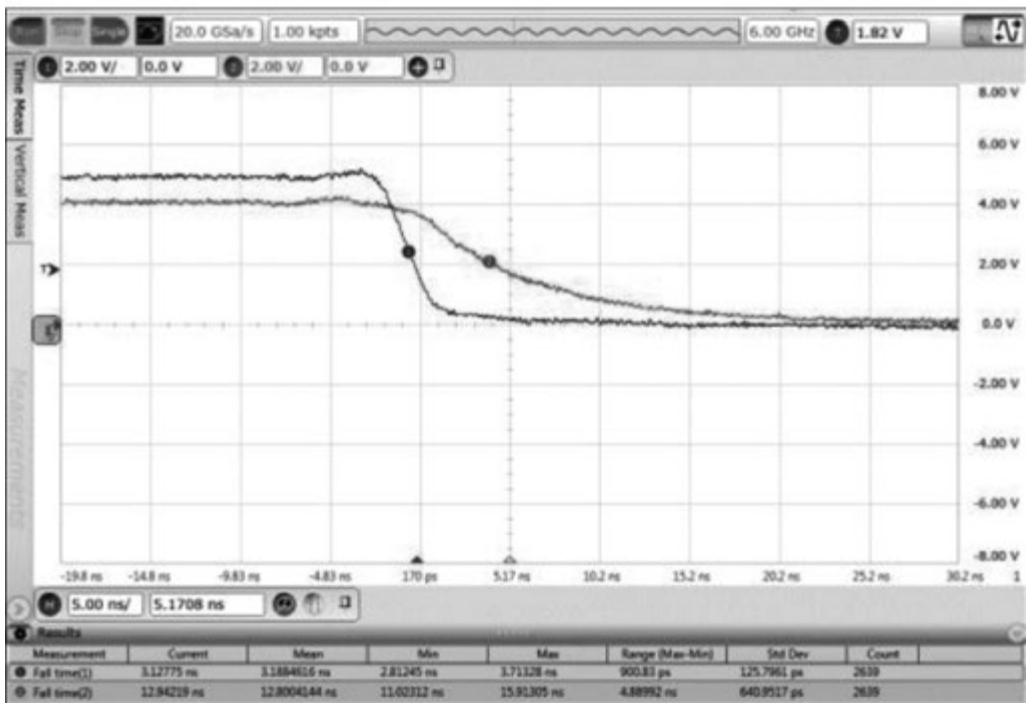
在输入端钳位通路分别串接不同阻值电阻, 在 EAGLE 接收端测量波形如图 3-57 和图 3-58 所示。

串接电阻  $R=330\Omega$ , 上升时间为 7.8ns, 下降时间为 12ns, 如图 3-57 所示。

串接电阻  $R=600\Omega$ , 上升时间为 12ns, 下降时间为 21ns, 如图 3-58 所示。

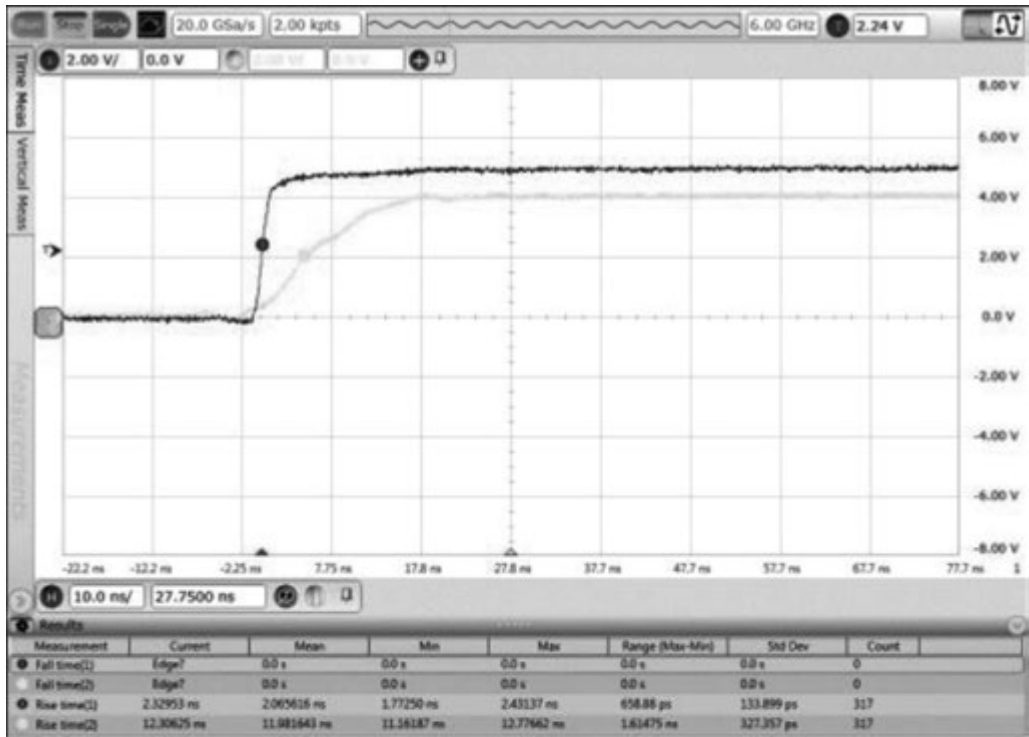


(a)

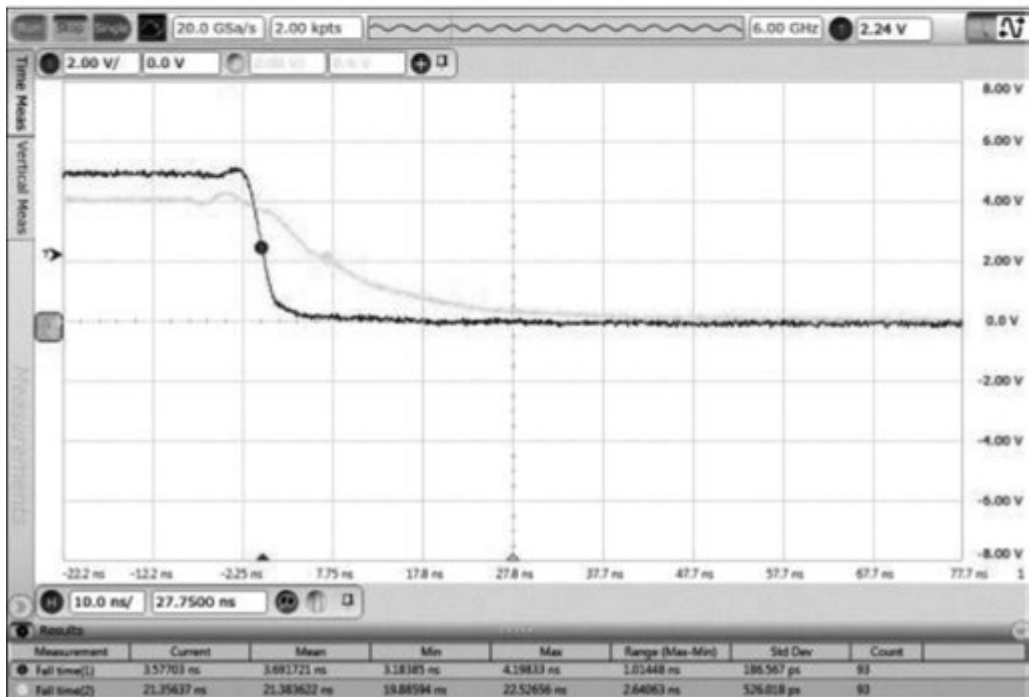


(b)

图 3-57 5V 输入驱动 EAGLE 器件接收端波形( $R=330\Omega$ )



(a)



(b)

图 3-58 5V 输入驱动 EAGLE 器件接收端波形( $R=600\Omega$ )

## 3.8 电源监控模块

EAGLE 器件包含一个电源监测模块,在恶劣电源应用环境下实现对电源的监控。当受监控电源低于设定电平时,pwr\_dwn\_n 从“H”变为“L”给出电源工作不正常标识。用户可以使用该模块对不同的电源进行监控,在发现电源异常时能够进行记录或者采取相应的措施,如图 3-59 所示。

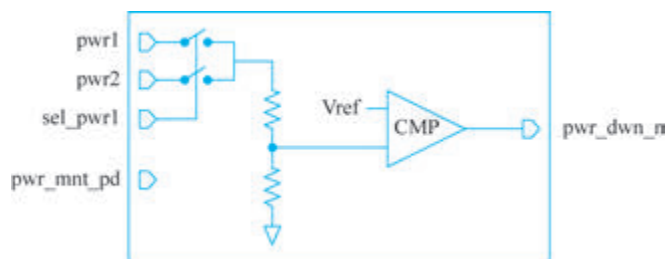


图 3-59 电源监控模块框图

## 3.9 EAGLE FPGA 配置说明

EAGLE FPGA 芯片有 EG4A 和 EG4X 两种 I/O 布局,分别兼容 Altera 和 Xilinx 的配置模式。配置通过往芯片内部装载配置数据来实现。EAGLE FPGA 芯片引脚一部分是专用配置引脚,另一部分是复用引脚,TD 软件提供复用引脚的配置功能,在配置完成之后可以用做一般输入和输出。

### 3.9.1 配置模式

EAGLE FPGA 支持 5 种配置方式,分别是从动串行(SS)、从动并行(SP)、主动并行(MP)、MSPI 模式和 JTAG 配置模式。配置模式分别由 EG4A MSEL[2:0]和 EG4X M[1:0]的模式选择信号来选择。

EAGLE 系列 FPGA 配置位流长度为 4.8~6MB,位流长度与 BRAM 初始化数据长度相关,需要配置芯片容量大于或等于 6Mb。配置芯片可以使用工业标准串行 SPI 口 Flash,如 M25Pxx、SST25LFxxx、S25FLxxx 等。EAGLE FPGA 支持 0X03 读命令的 SPI Flash。

#### 1. EG4A 配置模式

EG4A 复用配置引脚:配置模式选择引脚(MSEL[0],MSEL[1],MSEL[2]),配置时钟引脚(CCLK),配置开始信号引脚(PROGRAMN),配置完成引脚(DONE),配置错误指示引脚(INITN),模式配置片选引脚(CSN),配置级联片选、数据输出脚(CSON/DOUT),边界扫描相关引脚(TDI,TDO,TMS,TCK),配置数据输入引脚(D[7:0]),其中 D[1]还可以作为 MSPI 模式下的 MOSI,D[0]还可以作为从模式下的 DIN 以及 MSPI 模式下的 MISO,MSPI 模式 Flash 片选引脚(SPICSN),如表 3-20 所示。

表 3-20 EG4A 配置模式及引脚

配置引脚名	类型	SS	SP	MSPI	MP	JTAG
		Slave Serial	Slave Parallel	SPIMaster SPI	Master Parallel(X8)	
MSEL[2:0]	复用	000/001	110/111	010/011/100	101	XXX
PROGRAMN	复用	PROGRAMN				
INITN	复用	INITN				
DONE	复用	DONE				
CCLK	复用	CCLK				
CSN	复用	CSN	CSN	CSN	CSN	
TMS, TCK, TDO, TDI	复用					TMS CK TDO TDI
D[7:2]	复用	—	D[7:2]	—	D[7:2]	
D[1]/ MOSI	复用	—	D[1]	MOSI	D[1]	
D[0]/DIN/ MISO	复用	DIN	D[0]	MISO	D[0]	
SPICSN	复用	—	—	SPICSN	—	
CSON/DOUT	复用	CSON/DOUT	CSON	CSON/DOUT	CSON	

## 2. EG4X 配置模式

EG4X 复用配置引脚：配置模式选择引脚(M[0],M[1]),配置时钟引脚(CCLK),配置开始信号引脚(PROGRAM\_B),配置完成引脚(DONE),配置错误指示引脚(INIT\_B),并行模式配置片选引脚(CSI\_B),MSPI 模式下的 MOSI(MOSI),配置并行级联片选脚(CSO\_B),配置级联串行数据输出脚(DOUT),边界扫描相关引脚(TDI,TDO,TMS,TCK),配置数据输入引脚(D[7:0]),其中 D[0]还可以作为从模式下的 DIN 以及 MSPI 模式下的 MISO。

如表 3-21 所示,根据不同的配置方式选择,CCLK 可以是 FPGA 芯片产生的时钟输出,也可以是外围电路产生的时钟输入 FPGA 芯片。DONE/INITN/INIT\_B 是带内部上拉的开漏输出。

表 3-21 EG4X 配置模式及引脚

配置引脚名	类型	SS	SP	MSPI	MP	JTAG
		Slave Serial	Slave Parallel	SPI Master SPI Standard	Master Parallel (X8)	
M[1:0]	复用	11	10	01	00	XX
PROGRAM_B	复用	PROGRAM_B				
INIT_B	复用	INIT_B				
DONE	复用	DONE				
CCLK	复用	CCLK				
CSI_B/MOSI	复用	—	CSI_B	MOSI	CSI_B	
TMS, TCK, TDO, TDI	复用					TMS CK TDO TDI
D[7:1]	复用	—	D[7:1]	—	D[7:1]	
D[0]/DIN/ MISO	复用	DIN	D[0]	MISO	D[0]	
CSO_B	复用	—	CSO_B	CSO_B	CSO_B	
DOUT	复用	DOUT	—	DOUT	—	

### 3.9.2 配置过程

EAGLE FPGA 芯片的整个配置过程：首先在芯片上电复位或者系统复位信号有效后进入复位，内部信号和电源稳定后，系统进入初始化阶段，内部配置信息清除，初始化完成后，FPGA 开始接受配置数据写入，写入完成后，FPGA 芯片进入启动阶段，如图 3-60 所示。

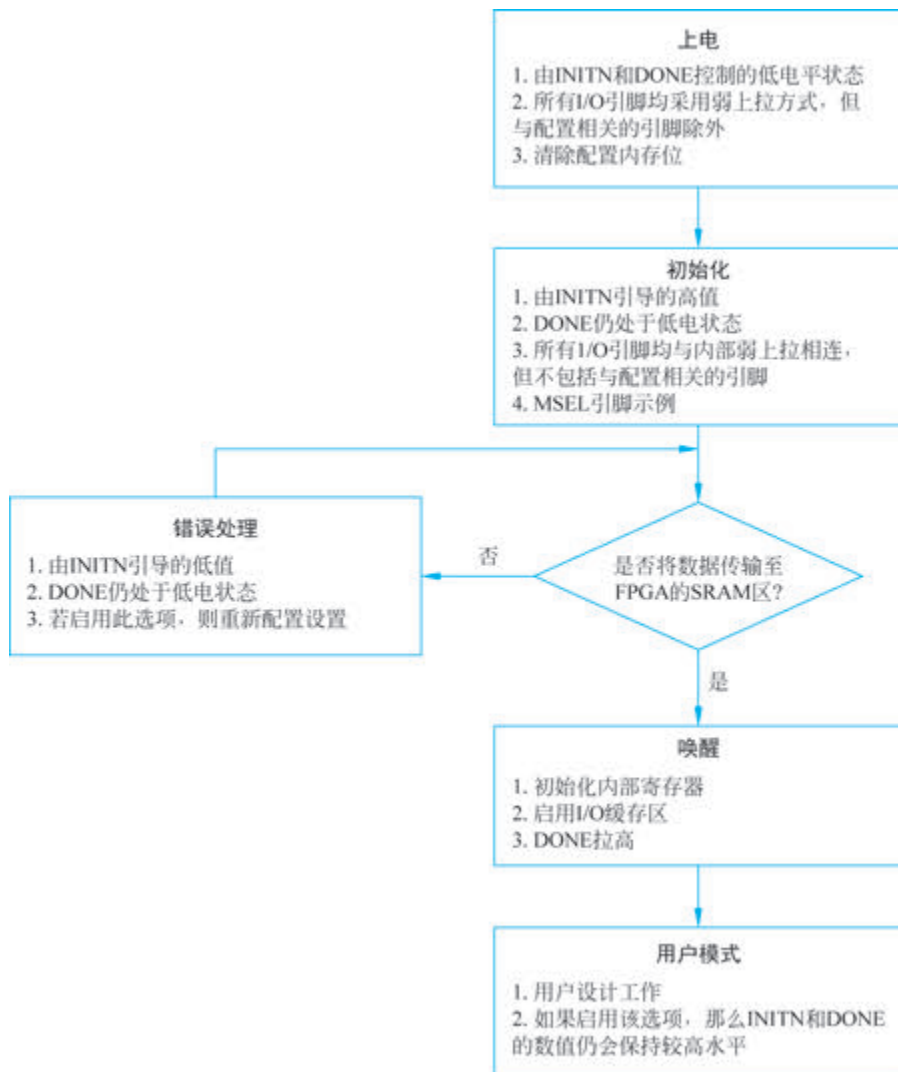


图 3-60 EG4A MSPI 配置过程

#### 1. 上电初始化过程

EAGLE FPGA 芯片上电后，系统需要经过初始化过程才能进入配置下载状态。另外，如果用户需要重新对配置数据下载，拉低 PROGRAMN/PROGRAM\_B 后，系统进入初始化过程，初始化过程中，FPGA 将清除内部所有配置点，复位内部寄存器。

#### 2. 配置数据写入

EAGLE FPGA 初始化完成后，INITN/INIT\_B 信号变为高电平，此时用户配置数据可以写入 EAGLE FPGA。

INITN/INIT\_B 信号变为高电平时, FPGA 采样模式选择信号电平, 确定配置模式。JTAG 配置模式 INITN/INIT\_B 信号变为高电平后, 可以在任何模式中进入。

配置过程中, INITN/INIT\_B 信号变为低电平表示配置位流出错, 位流出错后可以选择重新加载。

### 3. 启动阶段

EAGLE FPGA 完成所有配置点和块 RAM 的数据写入之后, 进入启动过程。EAGLE FPGA 启动主要完成以下功能:

(1) 释放 DONE 信号。DONE 信号从低电平变为高电平, 表示 EAGLE FPGA 顺利完成数据配置; 反之, 则表示没有顺利完成数据配置。

(2) 释放全局三态信号 GTS。全局三态信号 GTS 的释放, 能够释放所有 I/O 引脚。

(3) 释放全局复位/置位信号 GSR, 允许所有的触发器改变状态。

(4) 释放全局写使能信号 GWE, 允许所有的 RAM 和触发器被写入。

### 3.9.3 MSPI 配置模式

在 MSPI 模式下, EG4A 为 SPI 接口提供 MOSI 和 SPICSN 两个专用信号, 其中 MOSI 信号提供读命令、地址等信息, SPICSN 为 SPI 芯片片选; EG4X 为 SPI 接口提供 MOSI 和 CSO\_B 两个专用信号, 其中 MOSI 信号提供读命令、地址等信息, CSO\_B 为 SPI 芯片片选。

MSPI 模式下的时钟 CCLK 由内部振荡器产生, 用户能够选择 CCLK 频率范围。芯片上电时 CCLK 设定为一个默认的低频率值, 用户可以通过位流软件频率选项来更改 CCLK 频率, CCLK 频率范围为 2~64MHz。

SPI FFLASH 数据可以使用安路 FPGA 下载线通过 JTAG 在线写入, 批量生产时也可以使用安路离线下载器写入或者其他专用的烧写工具直接写入。

图 3-61 为 EG4A MSPI 配置模式连接图, PROGRAM 信号控制复位 EAGLE FPGA 配置, 其中 INITN 和 DONE 信号为带内部上拉的开漏输出信号, DONE 信号变为高电平, 表示配置成功, 芯片开始工作。EG4A MSPI 配置模式时序图如图 3-62 所示。

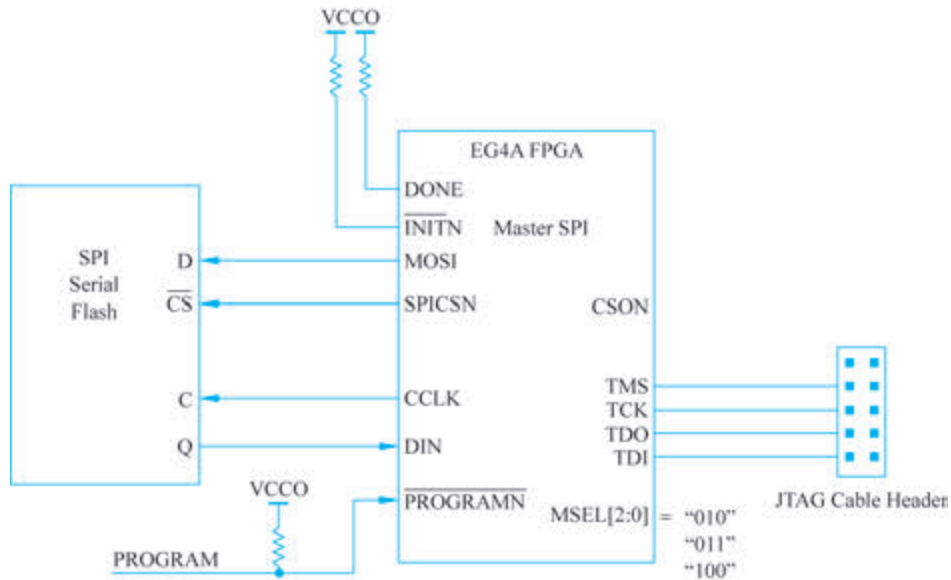


图 3-61 EG4A MSPI 配置模式连接图

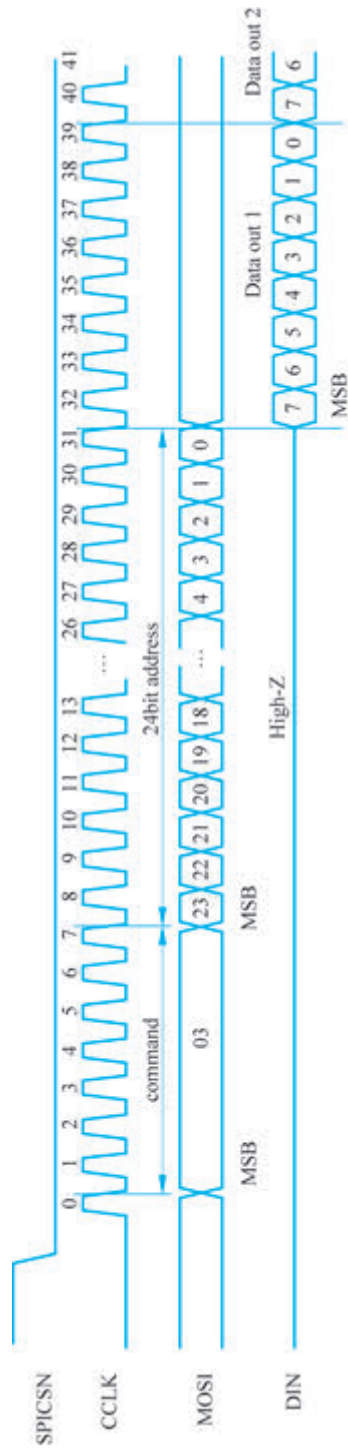


图 3-62 EG4A MSPI 配置模式时序图

### 3.9.4 从动串行配置模式

从动串行模式下，FPGA 可以通过 MCU 进行加载。TD 软件可以生成 bin 文件 (EG4X) 或者 rbf 文件 (EG4A) 用于 MCU 加载。

MCU 通过 CCLK、DIN 信号使用串行方式将数据写入 FPGA。EAGLE FPGA 芯片在每个 CCLK 的上升沿接收数据，数据发送完成后，DONE 拉高表示配置完成，如果配置出错，会将 INITN/INIT\_B 信号拉低。

EG4A 从动串行配置模式时序图如图 3-63 所示。PROGRAMN 拉低后，INITN 信号被拉低，表示芯片开始初始化，5ms 后芯片初始化完成，INITN 回到高电平，配置开始，FPGA 在时钟的上升沿采集配置数据，在配置完成之后，DONE 信号发高，表示配置成功，芯片开始工作。

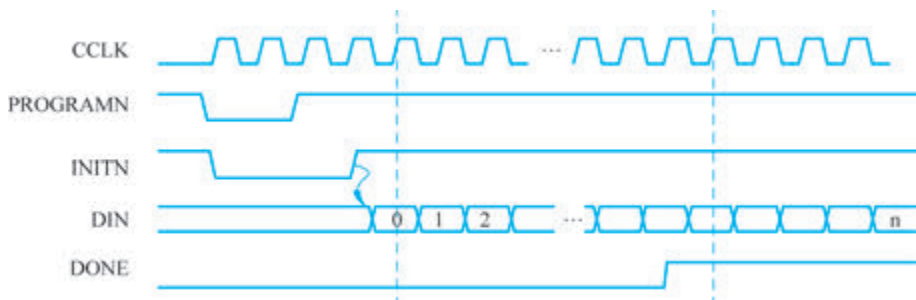


图 3-63 EG4A 从动串行配置模式时序图

EG4X 从动串行配置模式的时序图如图 3-64 所示，过程与 EG4A 类似。

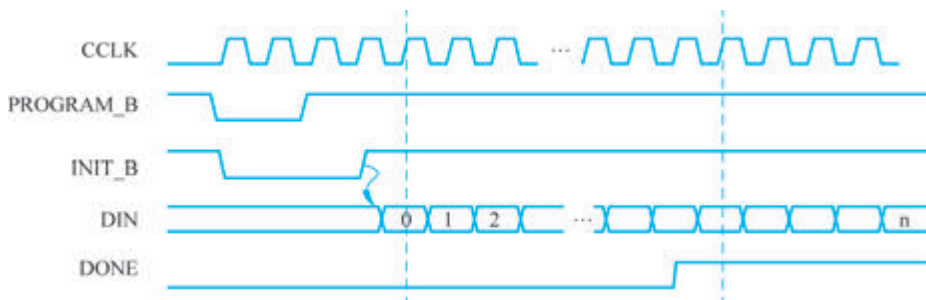


图 3-64 EG4X 从动串行配置模式时序图

### 3.9.5 串行配置模式级联

需要多个 FPGA 协同工作时，可以采用级联配置方法。EAGLE FPGA 支持 Flow Through 和 Bypass 模式两种级联方式，级联工作模式由位流中的命令指定。EG4A 支持 Flow Through 和 Bypass 模式。EG4X 只支持 Bypass 模式。

在 EG4A 芯片的配置数据下载时，若采用 Flow Through 模式，第一块 FPGA 配置完成后，输出 CSON 启动第二块芯片进入配置。Bypass 模式下，第一块芯片配置完成后，配置给其他 FPGA 的数据在每个 CCLK 上升时刻输出给 DOUT 引脚。级联配置芯片的 DONE 和 INITN 引脚通过上拉电阻线连接在一起，只有两片都完成配置后，通过 DONE 芯片同时开始工作。

图 3-65 是 EG4A 主动、从动串行采用 Flow Through 级联配置图,图中有两个 FPGA 级联配置,第一个采用主动串行模式,第二个采用从动串行模式。图 3-66 是 EG4A 主动、从动串行采用 Bypass 级联配置图。

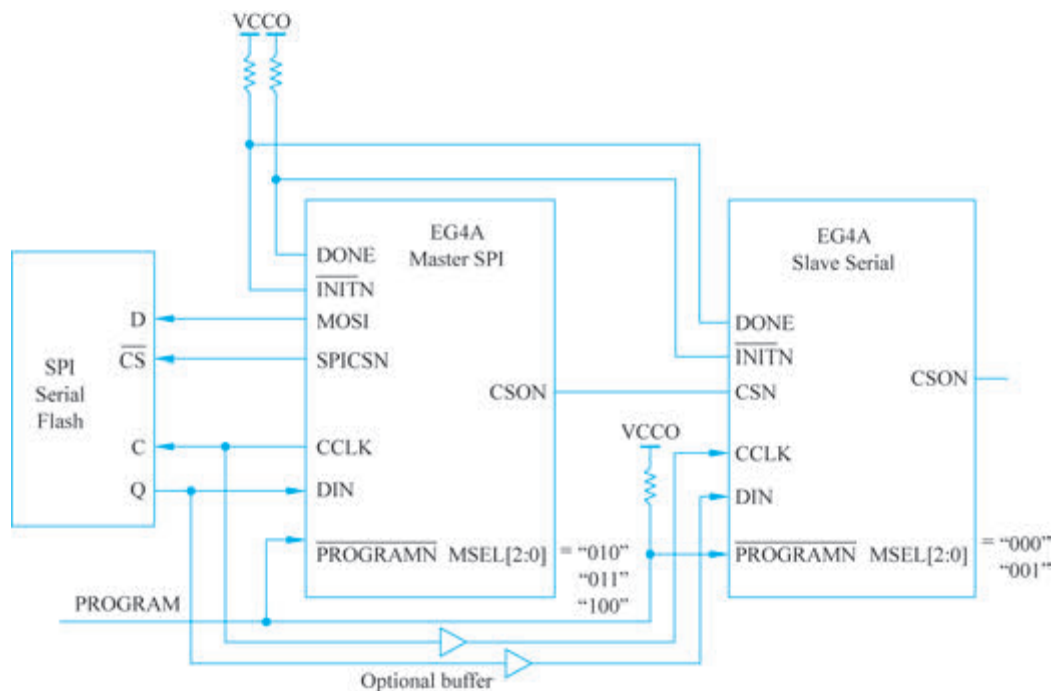


图 3-65 EG4A 主动、从动串行采用 Flow Through 级联配置图

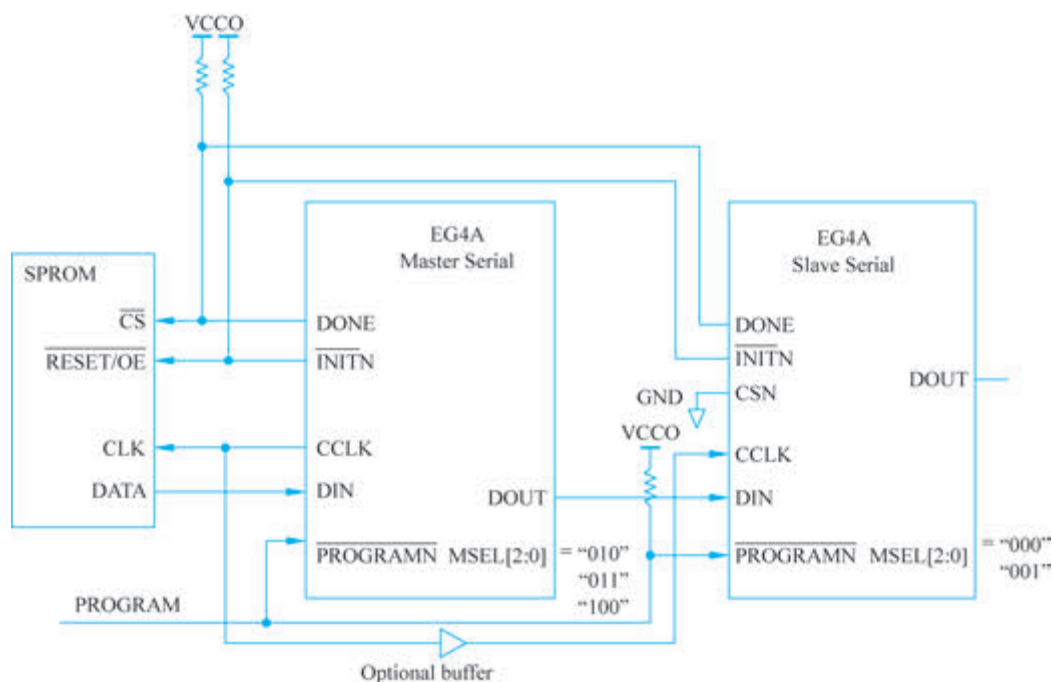


图 3-66 EG4A 主动、从动串行采用 Bypass 级联配置图

图 3-67 是 EG4X 主动、从动串行采用 Bypass 级联配置图。存储器可采用 SPI Flash 或 SPROM。

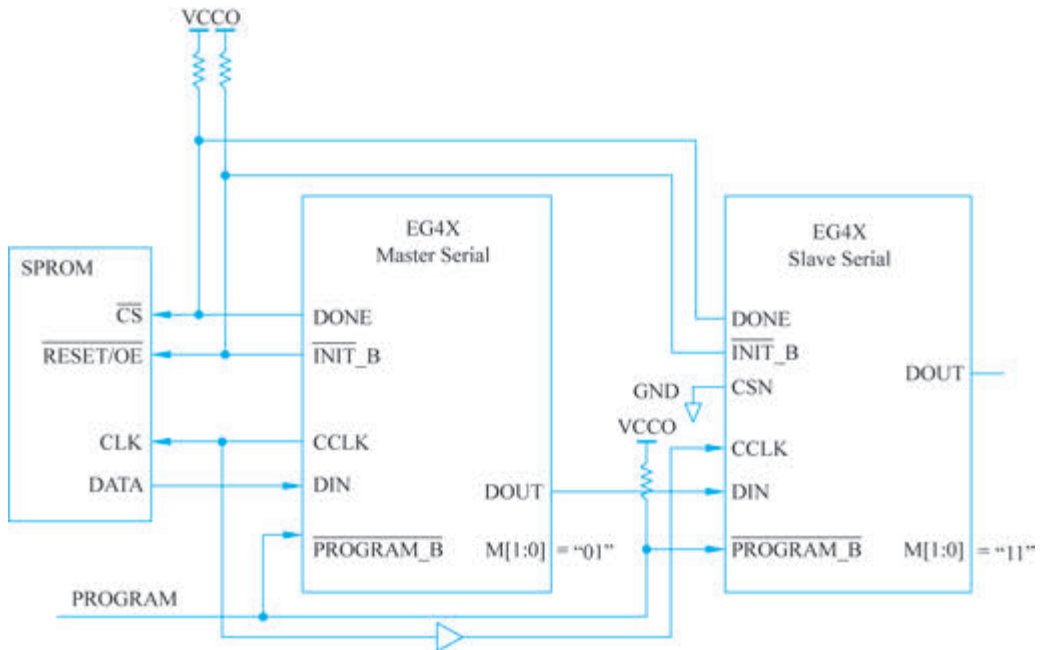


图 3-67 EG4X 主动、从动串行采用 Bypass 级联配置图

### 3.9.6 从动并行配置模式

从动并行配置适合通过 MCU 或者 CPU 等控制器使用。从动并行配置通过 8 位并行数据写入能够达到较快的配置速度。

EG4A 的从动并行配置模式 MSEL[2:0] 设置为 110/111, 如图 3-68 所示, 其中多个 CSN 信号可以选择多个配置芯片。

EG4A 从动并行配置模式时序图如图 3-69 所示。开始的初始化过程和串行配置一致, 初始化完成之后, 在片选 CSN 有效时, 在时钟的上升沿配置数据写入 EAGLE FPGA。同样, 配置完成后, DONE 信号会变为高电平。

EG4X 的从动并行配置模式 M[1:0] 设置为 10, 如图 3-70 所示, 其中多个 CSN 信号可以选择多个配置芯片。

EG4X 从动并行配置模式时序图如图 3-71 所示。开始的初始化过程和串行配置一致, 初始化完成之后, 在片选 CSI\_B 有效时, 在时钟的上升沿配置数据写入 EAGLE FPGA。同样, 配置完成后, DONE 信号会变为高电平。

### 3.9.7 主动并行配置模式

主动并行配置和从动并行配置类似, 区别在于 CCLK 时钟由 FPGA 提供。

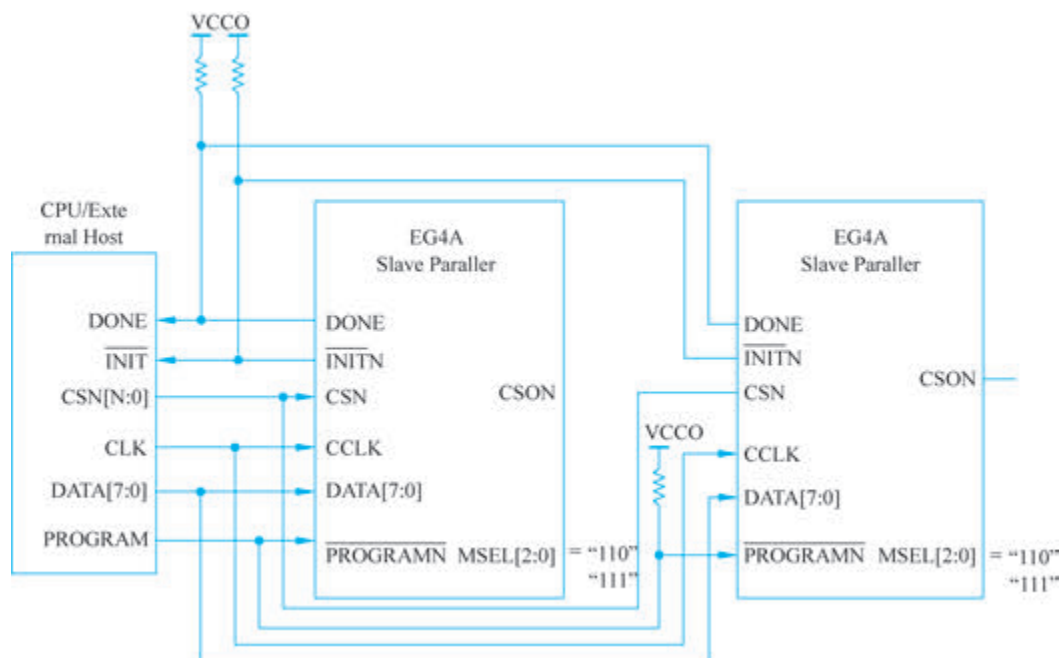


图 3-68 EG4A 从动并行配置模式连接图

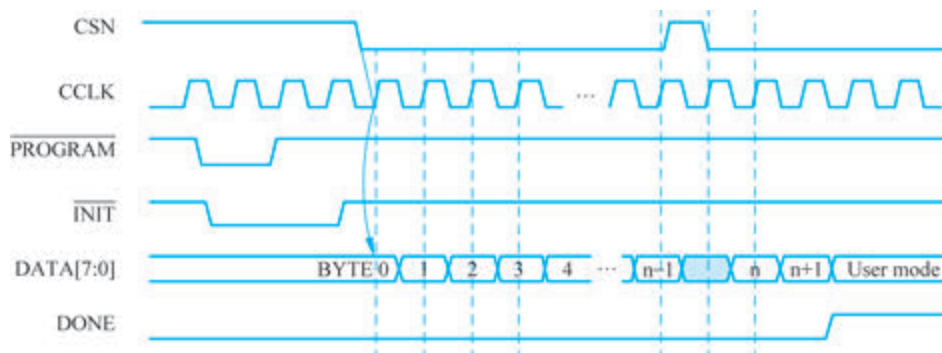


图 3-69 EG4A 从动并行配置模式时序图

### 3.9.8 JTAG 配置模式

EAGLE FPGA 还可以通过 JTAG 方式进行配置。JTAG 配置模式是通过 EAGLE FPGA 的配置引脚(TDI, TDO, TMS, TCK)进行的。JTAG 配置模式在 INITN/INIT\_B 信号变为高电平后, 不管模式选择引脚选择了何种模式, 或者其他模式正在配置过程中, JTAG 模式可以通过指令中断其他模式, 进入 JTAG 配置模式。

使用安路公司专用的 USB 下载线, 配合 TD 软件进行 JTAG 配置, 可以通过软件查看配置是否成功。

### 3.9.9 MSPI DUAL BOOT 功能

MSPI 模式下, 当采用的 SPI Flash 容量大于 12Mbit 时, EAGLE FPGA 支持 MSPI DUAL

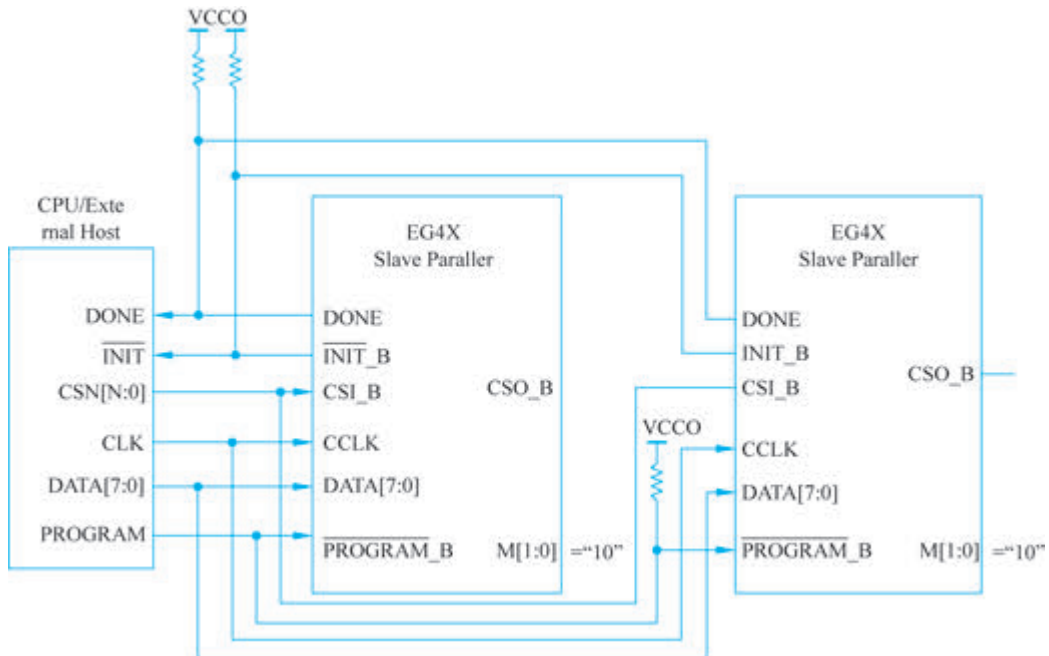


图 3-70 EG4X 从动并行配置模式连接图

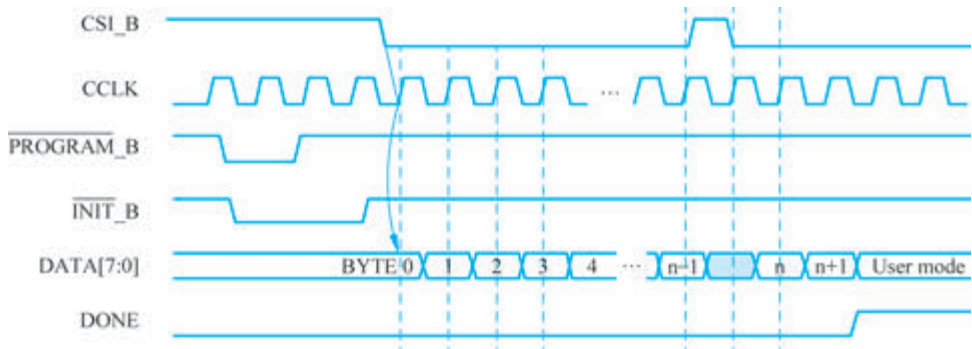


图 3-71 EG4X 从动并行配置模式时序图

BOOT 功能。当 Primary 位流下载失败后，EAGLE FPGA 自动跳转到用户设定的地址去读取 golden 位流。图 3-72 显示 EAGLE FPGA DUAL BOOT 下 SPI Flash 的数据空间分布。

### 3.9.10 MSPI MULT BOOT 功能

MSPI 模式下，用户可以使用 TD 软件设置 MULT BOOT 功能。当进入用户模式后，应用本身可以通过接口触发信号 `mult_bootn=0`，从指定的 SPI Flash 地址重新开始下载位流。这个指定的地址可以选择用户接口提供或 TD 软件提供。

### 3.9.11 FPGA DNA 安全功能

EAGLE FPGA 在生产过程中为每块芯片提供一个唯一的 64 位 DNA 数据，这个数据不能被修改和擦除，用户可以对 DNA 数据进行用户设计保护。TD 软件将提供 IP 接口，使用户读出 DNA 数据，如图 3-73 和图 3-74 所示。Usr\_dna\_in 为移位数据输入，用于接口测

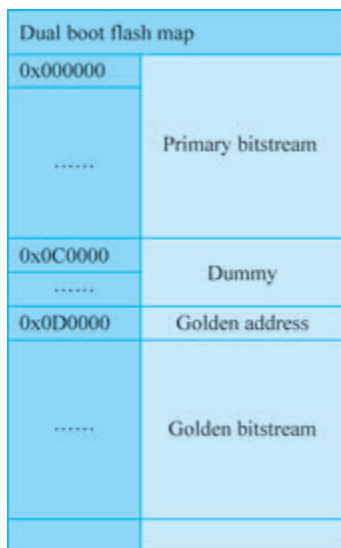


图 3-72 EAGLE FPGA DUAL BOOT 下 SPI Flash 的数据空间分布

试使用。

dna\_clk 时钟频率范围为 0~20MHz, 建议 dna\_shift 采用时钟下降沿送出, 方便满足时序要求。

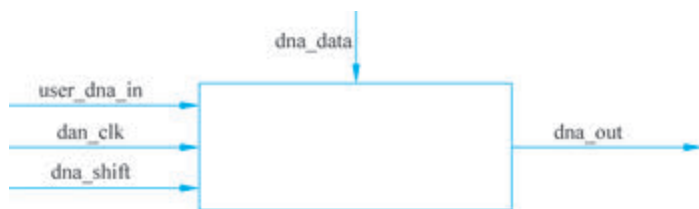


图 3-73 EAGLE FPGA DNA IP

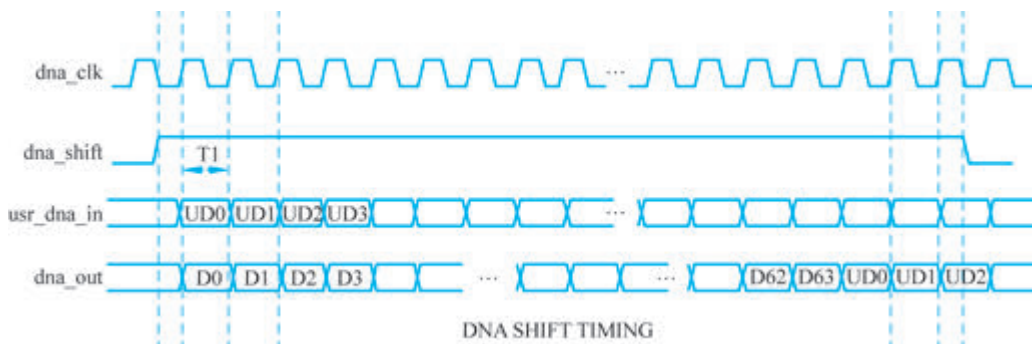


图 3-74 EAGLE FPGA DNA 时序图

### 3.9.12 FPGA I/O 引脚在配置阶段的设置

在配置阶段, 一些 FPGA 的引脚有专用的上拉/下拉电阻。然而, 大部分的用户 I/O 引脚在配置过程中有可选的上拉电阻。在配置过程中 EG4A 和 EG4X 分别有一个信号来决定 I/O 引脚上是否使能上拉电阻, 这个信号是 HSWAPEN。

在 EG4A 中, HSWAPEN 是一位控制寄存器 CTRL[31], 默认值为 1, 该寄存器为只能由位流改写。配置相关信号配置前后上下拉状态说明见表 3-22。

表 3-22 EG4A 引脚端配置

引 脚	配置成功前		配置成功后
	HSWAPEN=0(enable)	HSWAPEN=1(disable)	
MSEL[2:0]	Pull-up to Vccio	Pull-up to Vccio	User I/O
PROGRAMN	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置
INITN	Pull-up to Vccio	Pull-up to Vccio	软件 InitPin 设置
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
CCLK	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
CSN	Pull-down to Gnd	Pull-down to Gnd	User I/O
TMS TCK TDO TDI	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:2]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[1]/ MOSI	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
D[0]/DIN/MISO	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
SPICSN	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
CSON/DOUT	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
Others	Pull-up to Vccio	High-Z	User I/O

EG4X 中, HSWAPEN 是一个 I/O 引脚, 默认为弱上拉, 如表 3-23 所示。

表 3-23 EG4X 引脚端配置

引 脚	配置成功前		配置成功后
	HSWAPEN=0(enable)	HSWAPEN=1(disable)	
M[1:0]	Pull-up to Vccio	Pull-up to Vccio	User I/O
PROGRAM_B	Pull-up to Vccio	Pull-up to Vccio	软件 ProgPin 设置
INIT_B	Pull-up to Vccio	Pull-up to Vccio	User I/O
DONE	Pull-up to Vccio	Pull-up to Vccio	软件 DonePin 设置
CCLK	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
CSL_B/MOSI	Pull-down to Gnd	Pull-down to Gnd	软件 SpiPin 设置
TMS TCK TDO TDI	Pull-up to Vccio	Pull-up to Vccio	软件 JtagPin 设置
D[7:1]	Pull-up to Vccio	Pull-up to Vccio	User I/O
D[0]/DIN/MISO	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
CSO_B	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
DOUT	Pull-up to Vccio	Pull-up to Vccio	软件 SpiPin 设置
HSWAPEN	Pull-up to Vccio	Pull-up to Vccio	User I/O
Others	Pull-up to Vccio	High-Z	User I/O

### 3.10 内嵌 ADC 模块

EAGLE 内嵌有一个 8 通道 12 位 1MSPS ADC, 位于芯片的 BANK8。ADC 需要独立的 3.6V 模拟工作电压和模拟地以及一个独立的 VREF 电压输入。8 个通道输入和用户 I/O 复用, 当用户不需要 ADC 时可以作为普通用户 I/O 使用。当使用 ADC 时, BANK8 的 VCCIO 电压应不低于 ADC 模拟电源电压。ADC 外部/内部端口见表 3-24。EAGLE ADC

采样控制时序图如图 3-75 所示。

表 3-24 ADC 外部/内部端口

芯片端口名	端口类型	说明
ADC_VDDA	外部电源 PAD	3.6V 模拟电源输入
ADC_VSSA	外部电源 PAD	3.6V 模拟地
ADC_VREF	外部 PAD	独立输入, 采样参考模拟电位输入, 输入电压范围为 2.0~3.6V, 不大于 VDDA
ADC_HC < 7:0 >	外部 PAD	8 路采样信号输入, 和用户 I/O 复用
内部端口名	端口方向	说明
Channel_s < 2:0 >	输入(来自 FPGA)	ADC 通道选择信号输入
SOC	输入(来自 FPGA)	ADC 采样使能信号输入, 高有效
EOC	输出(到 FPGA)	ADC 转换完成输出, 高有效
B < 11:0 >	输出(到 FPGA)	对应通道的 ADC 转换结果

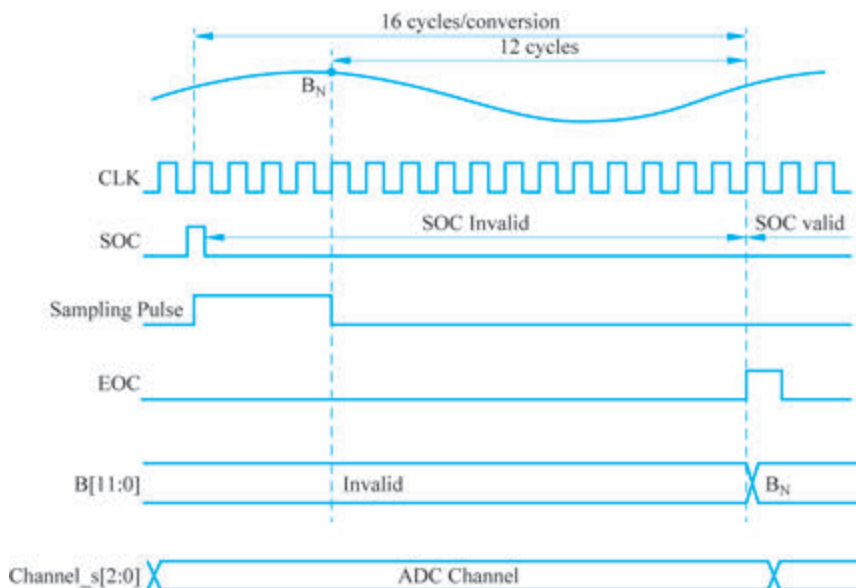


图 3-75 EAGLE ADC 采样控制时序