

第1章 基本概念

1.1 计算机接口技术的发展

20 世纪中期按照阿兰·图灵（Alan M. Turing）和冯·诺依曼（John von. Neumann）等人的理论和模型诞生的电子计算机发展到今天，经过了电子管、晶体管、集成电路、互联网和云计算的时代。计算机的系统结构在冯·诺依曼结构（von Neumann architecture）的基础上不断改进，出现了哈佛结构（Harvard architecture）以及作为目前最成功的业界技术标准之一的 x86 结构为代表的众多先进微处理器体系结构。随着科学技术的进步，计算机的软、硬件发展很快，例如作为计算机核心部件的处理器（Central Processing Unit, CPU）也由单核发展到多核，甚至集成了图形处理器（Graphic Processing Unit, GPU）和网络处理器（Network Processing Unit, NPU）的复杂异质多核处理器。计算机的应用领域也从科学计算、数据处理和过程控制拓展到处理文字、数据、声音、图像、图形等媒体数据，并朝着 3C——计算机（Computer）、通信（Communication）和消费电子产品（Consumer Electronic）的融合，以及实现人工智能（Artificial Intelligence, AI）的终极目标迈进。

现代的计算机分为服务器、工作站、台式机、笔记本式计算机、手持设备等类型。而不论哪种类型，在构建计算机及其应用系统时都离不开接口电路。在计算机中 CPU 与外部设备、存储器的连接和数据交换都通过接口设备来实现，前者被称为 I/O（Input/Output）接口，而后者则被称为存储器接口。I/O 接口的功能是实现 CPU 通过系统总线（Bus）把 I/O 电路和外围设备联系在一起，I/O 设备品种繁多，其相应的接口电路也各不相同。而存储器通常在 CPU 的同步控制下工作，接口电路比较规范。通常情况下，大多数用户并不是自己构建计算机，而是利用成品计算机配接外围接口的应用。因此，习惯上所说的接口是指 I/O 接口。

接口其实是一组电气联接和信号交换标准，系统中接口的选择直接影响着系统连接外设的能力和与外设间信息交换的速度。接口从传送信息的方式上可分为串行接口和并行接口，从硬件实现形式上可分为 I/O 接口芯片和接口控制卡。常见的接口芯片有定时/计数器（如 8253/8254）、中断控制器（如 8259）、DMA（Direct Memory Access，直接存储器存取）控制器（如 8237）、串行接口（如 8250/8251）、并行接口（如 8255）等。接口控制卡由若干个集成电路按照一定的逻辑组成部件，或直接与 CPU 同在主板（Mother Board）上，或是插在主机的系统总线扩展插槽（也称为 I/O 扩展插槽）上。接口电路需要占用主机的 I/O 地址与系统总线的资源，需要驱动程序与操作系统配合工作。

为了实现 CPU 与各种外设之间的数据交换，通常接口必须具备下列功能：

- （1）设置数据的寄存和缓冲逻辑，以适应 CPU 与外设之间的速度差异。
- （2）能够进行二者间信息格式的转换（如串并转换、二进制与十六进制或者 ACSII 码转换等）。
- （3）能够协调二者间信息的类型和电平的差异的变换（如电平转换及驱动、数/模或

模/数转换等)。

(4) 能够协调二者间的时序差异 (如同步或异步时序等)。

(5) 具备地址译码和设备选择功能。

(6) 设置中断和 DMA 控制逻辑。

对接口的控制可以按照程序查询方式、中断处理方式、DMA 传送方式等进行互联和信息传递。为了讲述的方便,我们以最普及的台式机——PC (Personal Computer) 为例介绍主要的接口。

1.1.1 PC 的外设接口

PC 常见的接口有: 并行接口 (主要用于将数据输出到打印机或绘图仪, 故常标为打印终端: Line Print Terminal, LPT)、串行接口 (RS232C 异步串行通信接口, 常简称 COM 口)、键盘与鼠标接口、磁盘/光盘 (CD-ROM/DVD 等) 接口、SCSI (Small Computer System Interface, 小型计算机系统接口) 接口、IEEE-1394/Fire wire (火线) 接口、USB (Universal Serial Bus, 通用串行总线) 接口、显示接口、MIDI (Musical Instrument Digital Interface, 乐器数码接口) 接口、音频接口、AMR (Audio/MODEM Riser, 音频调制解调器扩展) 接口、IrDA (Infrared Data Association, 红外式数据传输) 接口、网络接口等。在连接这些接口时, 要注意除了 USB 和 1394 接口能支持在系统运行情况下的插拔 (俗称 “热插拔” hot-plugging 或 hot swap) 外, 其他接口都必须在两个互连的设备断电的情况下进行插拔。

1981 年国际商业机器公司 (IBM) 推出的 IBM PC (采用 Intel 8088 和 DOS 操作系统) 开创了计算机的 PC 时代, 而且它对 CPU 和操作系统的选择促成了英特尔 (Intel) 与微软 (Microsoft) 公司的 Wintel 联盟, 奠定了它们在 IT 行业的霸主地位。早期 PC 的接口只有键盘接口、COM 接口 (两个端口: 一个接鼠标、一个供异步串行通信用)、LPT 接口、磁盘接口 (分软磁盘接口和硬磁盘接口)、显示接口 (为 CGA (Color Graphics Adaptor) 标准)。经过近 30 年的发展, 除 COM 接口基本没变外, 其他的接口有很大变化, 其间增加了一些类型的接口, 也适时淘汰了某些接口。其中:

键盘接口和鼠标接口从第二代 PC (采用 Intel 8386 处理器和 OS/2 操作系统) 起采用 PS/2 (Personal System/2) 标准接口。

LPT 接口的工作模式由 15KB/s 半双工单向传输的标准工作模式 (Standard Parallel Port, SPP) 扩展了 2MB/s 双向半双工数据传输的增强型工作模式 (Extended Parallel Port, EPP), 以及采用双向全双工数据传输, 并在多任务环境下可以使用 DMA 的扩充型工作模式 (Extended Capabilities Port, ECP)。

在磁盘接口中, 软磁盘 (Floppy Disk) 驱动器接口支持的软盘由 5.25in 双面低密度软盘 (360KB) 发展到兼容 5.25in 双面高密度软盘 (1.2MB), 以及 3.5in 双面高密度软盘 (1.44MB)。只是由于性能更好和更便携的 USB 接口闪存盘 (Flash Disk, 也称为 U 盘) 的普及, 软磁盘逐渐被淘汰。

从 IBM PC/XT 开始有的硬磁盘 (Hard Disk) 驱动器接口标准是在磁盘生产商把控制器与盘体集成在一起的 IDE (Integrated Drive Electronics) 硬盘后才有的, IDE 接口也称为 ATA (Advanced Technology Attachment) 接口。最初它的数据交换的方式只有通过 CPU 执行 I/O 端口指令来读写的 PIO 模式 (Programming Input/Output Model), 后来增加了 DMA

模式和能在时钟脉冲的上升和下降沿存取数据的 Ultra DMA 模式。至今先后有 7 个 ANSI (American National Standards Institute, 美国国家标准学会) 的 ATA 接口标准, 常用的是具有 Ultra DMA 模式的 ATA/ATAPI-4、5、6、7 四种, 它们又分别称为 Ultra ATA/33 (数据速率 33MB/s), Ultra ATA/66 (66MB/s), Ultra ATA/100 (100MB/s) 和 Ultra ATA/133 (133MB/s)。所有的 IDE 硬盘接口都使用 16 位并行的数据线, 故也称作 Parallel ATA, 所支持的设备除了硬盘, 还包括 CD-ROM/DVD 驱动器等。近年来随着 CPU 主频达到数千兆、数据位宽 64 位, 使得数据速率不断攀升, 此时并行的数据线已不适应要求, 需要改用线路相互之间干扰较小、布局更为简洁方便的串行线路来进行信号传输。因此, PC 的数据总线都在朝着易于光纤化的串行架构发展。作为最重要的存储部件的磁盘接口也出现了串行总线标准 (Serial-ATA, SATA), 目前的 SATA 1.0 标准可达到 150MB/s, SATA 2.0/3.0 更可提升到 300 以至 600MB/s。

SCSI 设备在数据传输过程中不需要 CPU 的介入, 在用做图形工作站和网络服务器的计算机中广泛采用 SCSI 接口的硬盘、光驱、扫描仪等。SCSI 的数据宽度为 8/16 (故也称 Parallel SCSI), 其单个通道支持 8/16 个设备, SCSI 起步是 8 位数据宽度的 SCSI-1 (5MB/s), 至今为止 8 位数据宽度最快的是 Ultra2 SCSI (40MB/s), 16 数据宽度 (称为 Wide) 最快的是 Ultra-320 SCSI (320MB/s) 和 Ultra-640 SCSI (640MB/s)。同样, SCSI 也向串行发展为 SAS (Serial Attached SCSI), SAS 采取与 SATA 兼容的直接点对点的串行传输方式, 单个通道支持 16 384 个设备, 第一代传输的速率为 150MB/s、第二代为 300MB/s、第三代为 600 MB/s。

IEEE-1394 是最初由苹果 (Apple) 公司开发的支持热插拔的一种高速串行总线, 理论上单个通道支持 64 个设备。它继承了成熟的 SCSI 指令体系, 曾经被期待替代 SCSI 设备, 但因为成本高, 不如 USB 普及, 是数码相机和 DV (Digital Video) 摄像机的常用输出接口。现有的 IEEE1394 标准支持 100Mbps、200Mbps、400Mbps 和 800Mbps 的传输速率, 已制定了 1.6Gbps 和 3.2Gbps 的规格。

USB 是由 Intel 和 Microsoft 公司倡导发起的支持热插拔、即插即用 (Plug-and-Play, PNP) 的一种通用串行总线, 它能够在不关闭主机电源的情况下动态地安装和删除 USB 设备。USB 的非对称式设计是由一个主机控制器和最多可以有 5 级的集线器 (Hub) 以树形连接的多达 127 个设备组成, 一个 Hub 可以向外提供 5V 的 500mA 电流, 且一台计算机可以同时有多个控制器。现在流行的 USB 有两个标准: USB 1.1 低速模式下传输速率最大为 1.5Mbps、全速模式下传输速率最大为 12Mbps; USB 2.0 兼容 1.1 的标准并增加最大传输速率为 480Mbps 的高速模式。近期推出的 USB 3.0 将最大传输速率提升到 4.8Gbps 以上。鉴于 USB 的优越性, 越来越多的外设选择采用 USB 接口, 例如鼠标、键盘、游戏手柄、游戏杆、扫描仪、数码相机、打印机、网络部件、移动硬盘和各种闪存、数据采集等。

IrDA 接口和 AMR 接口都是早期的 PC 为了与外部设备通信而设置的, 由于更优异的网络接口成为主要的通信手段, 现在它们都已被 PC 淘汰。其中 IrDA 是利用波长为 850~900nm 红外线的一种短距离无线连接技术, 红外传输距离在几厘米到几十米、发射角度通常在 0~15°, 以半双工异步收发方式进行红外通信。IrDA1.0 串行红外协议 (Serial Infrared, SIR) 最高通信速率为 115.2Kbps, IrDA1.1 快速红外协议 (Fast Infrared, FIR) 提高到 4Mbps。之后, IrDA 又推出了最高通信速率为 16Mbps 的特速红外协议 (Very Fast Infrared, VFIR)。现在少数笔记本电脑、掌上电脑、移动手机、遥控器等常常集成有编/

解码功能、38kHz 载波的 5 针红外接口。

AMR 是 Intel 公司发布的追加处理声音功能和调制解调器机能等模拟信号卡的特殊扩展插槽，后来被直接插在系统总线上的调制解调器 (Modem) 卡替代。PC 常用的利用电话线拨号上网的 Modem 卡是 PCI 插槽的 56Kbps Modem 卡，它执行 CCITT (Consultative Committee of International Telegraph and Telephone, 国际电报电话咨询委员会) 建议调制解调器的 V.42 标准，具有 56 000bps 信号速率、全双工通信方式、同步和拥有数据压缩及差错控制技术等功能。

网络接口通过俗称网卡的网络接口控制器 (Network Interface Controller, NIC) 实现 PC 与网络的通信。根据网络技术的不同，网卡分 ATM (Asynchronous Transfer Mode, 异步传输模式) 网卡、令牌环 (Token Ring) 网卡和以太网 (Ethernet) 网卡等，但是目前绝大多数的局域网采用以太网技术。按照网卡所支持带宽的不同又可分为 10Mbps 网卡、100Mbps 网卡、10/100Mbps 自适应网卡、1000Mbps 网卡等。它们可以作为扩展卡插在计算机扩展总线上，或者集成到主板上。网卡的接口类型根据传输介质的不同，有缆线和光纤 (千兆以上) 两种。缆线的接口有 AUI 接口 (粗缆接口)、BNC 接口 (细缆接口) 和 RJ-45 接口 (双绞线接口) 三种接口类型。

MIDI 接口是一个工业标准的电子通信协定，使得计算机、合成器、声卡以及电子鼓乐器能互相控制、交换信息。它传送音调和音乐强度的数码，音量、颤音和平滑音、休止等参数的控制信号，以及设定节奏的时钟信号等。在 PC 中它常与游戏杆接口和音频接口组成声卡 (Sound Card)，其中 MIDI 接口和游戏杆接口共用输出端口，端口中的两个针脚 (TXD 和 RXD) 用来传送 MIDI 信号，可连接电子琴键盘等各种 MIDI 设备，MIDI 可为某些视频游戏提供背景音乐。由于它们的信号是分离的，所以游戏杆和 MIDI 设备可以同时使用。

声卡是多媒体技术中最基本的组成部分，实现声波与数字信号的相互转换。基本功能是“软”声卡依靠 CPU、“硬”声卡依靠内置的数字信号处理器 (Digital Signal Processor, DSP) 完成：音乐合成发音 (Synthesizer) 功能、混音器 (Mixer) 功能、数字声音效果处理 (Digital sound effects processing) 功能以及模拟声音信号的输入和输出功能。普通立体声声卡的模拟音频接口有外接辅助音源输入 (标记为 Lin In，如影碟机、收音机、录像机及 VCD 回放卡等输出的音频)、话筒输入 (标记为 Mic In) 以及扬声器输出端口 (标记为 SPK) 3 个插孔。而 5.1 声道的声卡有 6 个插孔，可支持 2 通道 (左、右) 立体声、4 通道 (前置左和右、后置左和右) 立体声和 5.1 通道 (前置左和右、后置左和右、一个中置和一个重低音) 立体声。另外，还提供 SPDIF (Sony/Philips Digital Interconnect Format) 数字音频光纤接口或同轴电缆接口。目前的声卡符合 AC'97 (Audio CODEC'97) 音频电路系统标准或者高保真音频 (HD Audio) 规范。

显示屏是计算机最重要的人机交互界面。屏幕的扫描从电视的隔行扫描过渡到逐行扫描；每帧屏幕的刷新频率也从电视的 50Hz/60Hz 增加到 70~85Hz，对于 CRT (Cathode Ray Tube) 显像管来说，较高的刷新频率可以减轻高亮度图像显示时的闪烁感，有些特殊的场合 (如时分制双目立体显示) 需要 100 Hz/120 Hz 的刷新频率。屏幕的幅型比 (宽度与高度比) 从 4:3/5:3 扩展到宽屏 (例如 16:9 等)。显示分辨率经历了早期的低彩色深度：图形方式下 2 色 640×200 或 4 色 320×200 的 CGA (Color Graphics Adaptor)、图形方式下 16 色 640×350 的 EGA (Enhanced Graphics Adapter) 和 16 色 640×480 的 VGA (Video Graphics

Array), 并扩展到真彩色 (R/G/B 三基色均为 8b 以上), 例如 8b 基色的 $8 \times 3 = 24\text{b}$ 真彩色, 而通常采用的 32b 真彩色是在 R/G/B 各为 8b 通道的基础上增加一个 8b 的 Alpha 通道来储存图像中的重叠图层, 基色超出 8b 的被称为高动态范围影像 (High Dynamic Range Image)。目前常用的有 SVGA (Super Video Graphics Array, 800×600) 和 XGA (Extended Graphics Array, 1024×768) 等等; 对于宽屏幕的格式通常加以 Wide 标注, 例如宽屏扩展图形阵列 (Wide XGA 或 WXGA, 1280×720) 是近来笔记本电脑上流行的一种分辨率。显示器的接口有 RGB 视频模拟信号和行 (H)、场 (V) 同步信号的驱动方式。随着数字驱动方式的液晶显示器的出现和高清晰度视频的应用, DVI (Digital Visual Interface) 和 HDMI (High-Definition Multimedia Interface) 连接方式被越来越广泛使用, 它们都是利用基于最小化传输差分信号协议 (TMDS, Transition Minimized Differential Signaling) 的 3 个通道来进行图像数据的传输, 每个 TMDS 通道能够工作在 165MHz。这样一个 10 位的 TMDS 通道就可以提供 1.65Gb 带宽。两者的不同是: DVI 标准是为 PC 设计, 而 HDMI 则是在 DVI 基础上面向消费电子产品和支持更高的分辨率; 其次, DVI 必须分别传输视频和音频信号, 而 HDMI 能同时完成这两种信号的传输。

为显示接口提供视频信号与同步信号的是显示适配器 (Video adapter, 或者称显卡), CPU 将显示信息从总线送入显卡的 GPU 进行数据处理。处理好的数据被送到 Video RAM (俗称显存), 显卡控制器按照设定格式把显存读取出的数据送到 DVI 接口提供数字方式的输出, 或者读取出的数据再经过含有查找表 (Look Up Table, LUT) 存储器的 RAM DAC 转换成模拟信号提供模拟方式的输出。

此外, 计算机的许多应用都需要在系统扩展总线上插入相应的控制卡或者采用 USB 等接口方式接入, 例如在 PC 上收看电视的电视卡、安防领域的监控摄像机图像采集卡、各种工业控制中的 A/D 和 D/A 等。

1.1.2 PC 的系统总线

计算机中 CPU 需要与一定数量的部件和外围设备连接, 采用共用的被称为“总线”的连接线路结构可以便于部件和设备的扩充, 尤其是制定了统一的总线标准, 容易使不同设备间实现互连。总线一般有: CPU 与各外围芯片互连的内部总线、各插件板卡与系统主板互连的系统总线和计算机与外部设备之间进行信息与数据交换的外部总线。其中内部总线是主机内部芯片一级的互连, 例如 I^2C (Inter-IC) 总线等; 外部总线是设备一级的通信互连, 例如 RS-232C、USB 等。系统总线由数据总线 (Data Bus, DB)、地址总线 (Address Bus, AB) 和控制总线 (Control Bus, CB) 三种不同功能的总线组成。数据总线是双向三态形式的总线, 它的位数通常与 CPU 处理的字长相一致。地址总线是单向三态的, 它的位数决定了 CPU 可直接寻址的内存空间大小。控制总线传送控制信号和时序信号, 传送方向由具体控制信号而定。其中有 CPU 送往存储器和 I/O 接口电路的, 例如存储器读/写信号和 I/O 读/写信号、地址锁存信号、DMA 使能和响应信号、中断响应信号等; 也有其他部件反馈给 CPU 的, 例如中断申请信号、复位信号、总线请求信号、设备就绪信号等。

近三十年来, PC 的系统总线从 PC 总线到 ISA (Industry Standard Architecture) 总线和 PCI (Peripheral Component Interconnect) 总线, 再到 PCI Express 等总线体系, 这三次大的演变使得 PC 性能获得三次飞跃式的提升。

PC 总线在 1981 年出现在 IBM PC (8 位 CPU: 8088) 中, 并于 1983 年升级为 PC/XT 总线 (62 引脚), 是 4.77MHz 时钟的 8 位数据和 20 位地址的总线; 1984 年在 IBM PC/AT (16 位 CPU: 80286) 中扩充为 8MHz 时钟的 8 位/16 位数据兼容和 24 位地址的 PC/AT 总线 (98 引脚)。其中对应 PC/XT 总线位置的后 62 条引脚 (在扩展卡上称为“金手指”) 是 8 位模式, 全部 98 条引脚是 16 位模式, 总线传送一次数据所需时钟周期数是 2。随着众多 PC 厂商的加入, PC 总线规范也被逐渐标准化成 ISA 总线。期间某些 286 PC 兼容机的生厂商以提高 CPU 的时钟来竞争市场, 因此, ISA 总线的时钟频率达到了 10 MHz、12 MHz 甚至 16MHz。1988 年在 32 位 80386DX 处理器出现之后, 由 Compaq 等 9 家公司联合推出了完全兼容 ISA 总线的数据和地址都是 32 位宽度的 EISA (Extended Industry Standard Architecture) 总线, 为了保持兼容性, 总线时钟仍然为 8MHz (8.33MHz) 左右。它是在 ISA 总线的基础上使用双层引脚错开插座, 即原来 ISA 总线的 98 条引脚为上层, 下层在对应两个 ISA 引脚之间又增加了 99 条扩展引脚。在 PC 中 EISA 不如 ISA 普及, 用户在 ISA 总线上添加新设备时不得不了解一些关于硬件的特殊知识, 对 IRQ (中断请求)、I/O 地址和 DMA 信道等进行配置, 才能正常使用新设备。为了克服这个缺点, 1987 年 IBM 试图以会帮用户自动完成这些设定的“微通道体系” (Micro Channel Architecture, MCA) 取代 ISA, 虽然该总线因某些原因未能推广, 却最终导致了即插即用系统的诞生。

Microsoft 公司的 Windows 操作系统带来的 GUI (Graphical User Interface, 图形用户接口) 界面以及磁盘控制技术令 ISA 总线不堪重负, Intel 公司顺应时势提出了 32 位即插即用的 PCI 总线概念, 1992 年和 1993 年相继发表主板组件间的规范 PCI 1.0 和系统扩展总线插槽的 PCI 2.0 标准。PCI 是整合了 ISA、MCA 和 EISA 的优点, 但不兼容它们的扩展接口, 先是在服务器中采用, 1996 年开始在某些 486 机和随后的 Pentium 系列微机中应用。PCI 的第一个版本是 120 条引脚、32 位/33MHz 总线时钟和传输带宽达到 133MBps、支持 5V 供电。在其发布一年后, Intel 公司紧接着提出 64 位/33 MHz、传输速率达 266MBps、支持 3.3V 供电的 PCI 总线, 但主要用于企业服务器和 workstation 领域; 后来又升级为 64 位/66MHz、传输速率峰值可达 533MBps; PCI 3.0 是最后一个官方版本, 它彻底取消了支持使用 5V 的设备。

在 PC 领域一直使用 32 位/33MHz 的 PCI 总线。1996 年 3D 显卡的出现, 需要通过总线与 CPU 进行频繁的数据交换, PCI 总线已不能适应。为此 Intel 公司在 PCI 基础上专门研发出针对显卡的 AGP (Accelerated Graphics Port, 加速图形接口) 总线标准, 直到 2004 年 AGP 标准被 PCI Express 所取代。常规 AGP 有 3 个标准: AGP 1.0 标准的时钟频率达到 66MHz, 具有 1X 和 2X 倍频两种模式, 数据传输带宽分别达到 266MBps 和 533MBps, 信号电压为 3.3V。1998 年的 AGP 2.0 通过增加的 4X 倍频模式, 将带宽提升到 1.06GBps, 且信号电压降低到 1.5V。2000 年的 AGP 3.0 增加的 8X 倍频模式可以提供 2.1GBps 的带宽, 它的信号电压进一步降低到 0.8V。

AGP 使用类似 EISA 的双层引脚错开插座, 有 3 种插槽:

- (1) 132 脚的通用 (Universal) 插槽, 适于所有标准。
- (2) 位于前 1/3 处多了一个阻断 (3.3V Key) 的 124 脚插槽, 适于 AGP 1.0 标准。
- (3) 位于后 1/3 处多了一个阻断 (1.5V Key) 的 124 脚插槽, 适于 AGP 2.0 和 3.0 标准。

由于信号电压和插槽供电规范的不同, 在 PC 中插入 AGP 显卡要注意与主板芯片组所支持的 AGP 标准相适应。除了常规的 AGP 规范, 我们偶尔还能看到支持 AGP Pro 的主板。

AGP Pro 的插槽是在 AGP 插槽的前端延伸 20 引脚的插槽和在 AGP 插槽的后端再延伸 28 引脚的插槽，延伸部分可容纳更多的提供额外电能的引脚，以满足处理能力更强大的专业显卡所需日益加大的功耗（25~110W）。AGP Pro 接口其实是专为高端图形工作站而设计的，完全兼容 AGP 4X 标准。

随着千兆网卡、高速磁盘阵列在 PC 与服务器的应用，开发彻底代替 PCI 的新一代总线势在必行。为此，服务器厂商采用平滑升级的方式推出高性能的 PCI-X（PCI eXtended）；PC 厂商则彻底变革，推出革命性的高速串行总线 PCI Express（PCI-E 或 PCIe）。1998 年 IBM 等 3 家公司发起，PCI-SIG（PCI Special Interest Group，PCI 特别兴趣组）于 2000 年正式发布 PCI-X 1.0 标准。PCI-X 1.0 标准仍为 64 位，但频率由 66MHz 提高到 133MHz，获得高达 1.06GBps 的总带宽，150 个引脚。2002 年推出更快的 PCI-X 2.0，它包含较低速的 PCI-X 266 及高速的 PCI-X 533 标准，分别针对不同的应用。PCI-X 266 标准的工作频率为 266MHz，可提供 2.1GBps 共享带宽；PCI-X 533 标准的工作频率为 533MHz，达到 4.2GBps 的共享带宽，它们最多都可以同时支持 8 组并行设备。PCI-X 2.0 的接口与 PCI-X 1.0 完全相同，可无缝兼容之前所有的 PCI-X 1.0 设备和 PCI 扩展设备。2004 年 PCI-X 标准被高速串行的 PCI Express 标准替代。

在未来总线频率不断提高的趋势下，总线的数据位宽在达到 64 位以后，由于并行信号之间的串扰和成本上的原因已不能再依靠加宽位数来获得更高的码率。2001 年 Intel 公司提出以串行、高频率运作的方式获得高性能 3GIO（Third Generation I/O Architecture，第三代 I/O 体系）总线，PCI-SIG 于 2002 年推出 PCI Express 1.0 标准，2007 年 1 月公布 PCI Express 2.0 标准，目前正在紧张开发 PCI Express 3.0 标准。PCI Express 是全双工、点对点（Peer to Peer，P2P）连接的 1b 序列传输，遵守一个由对话层、数据交换层和物理层构成的多层协议。最基本的一组传输通道（称为 X1）拥有 4 根线组成 2 对单向低电压差分信号（Low Voltage Differential Signaling，LVDS）线路，分别用于数据发送和数据接收，并使用 8b/10b 编码的数据流内嵌时钟技术（每 8b 数据编成 10b），节省了通道并提高了效率。PCI Express 的目标是替代计算机内部所有的总线，因此可以将几个基本的传输通道捆绑，通常组成的频宽有 X1、X2、X4、X8、X16、X32 等多种不同规格标准，其中 X16 主要是用来取代 AGP。PCI Express 1.0 的工作频率是 2.5GHz，一对线路的码率是 $2.5\text{GHz} \div 10 \text{ (b/B)} = 250\text{MBps}$ ，因此 PCI Express 1.0 的 X16 模式可达到双工码率为 4.0 GBps。2.0 版本的工作频率提高到 5GHz，基本通道双工码率是 500MBps。未来的 3.0 版本的工作频率又提高一倍而达到 10GHz，基本通道双工码率将是 1GBps。注意实际上总线的时钟频率是工作频率的一半，因为可以在时钟的上升沿和下降沿传送数据。

此外，与 PCI Express 竞争的还有很多基于串行高速序列传输标准，包括 Hyper Transport，Infini Band，Rapid IO 和 Star Fabric 等。

1.1.3 PC 的主板芯片组

在早期的 80386 和 80486 PC 中，除 CPU 外的控制逻辑（例如时钟发生器、总线控制器、中断控制器、DMA 控制器、I/O 接口电路等）是由一些具有独立功能的芯片组成的。1986 年 Chip and Technologies (C&T) 公司率先推出了一组由 5 片（82C201、82C202、82A203、82A204、82A205）组成的、内部囊括了 PC/AT 机主板上所有主要芯片功能的 CS8220 芯片

组（Chipset），芯片组的诞生使主板的设计和测试简单化和标准化，不仅大幅度降低了 PC 的制造成本，更重要的是为将来扩展主板的功能、增强对外部设备的支持留下了空间。芯片组是主板的核心组成部分，几乎决定着主板的全部功能。

随着 PCI 总线的引入，为了进一步提高系统的整体性能，Intel 公司开始在 800 系列芯片组中采用了 Hub 体系结构，现在采用这一结构的微机已成为 PC 的主流。图 1.1 是 Intel 公司在 2007 年推出的 Bearlake 3 系列芯片组家族中 P31 芯片组的功能方框图。

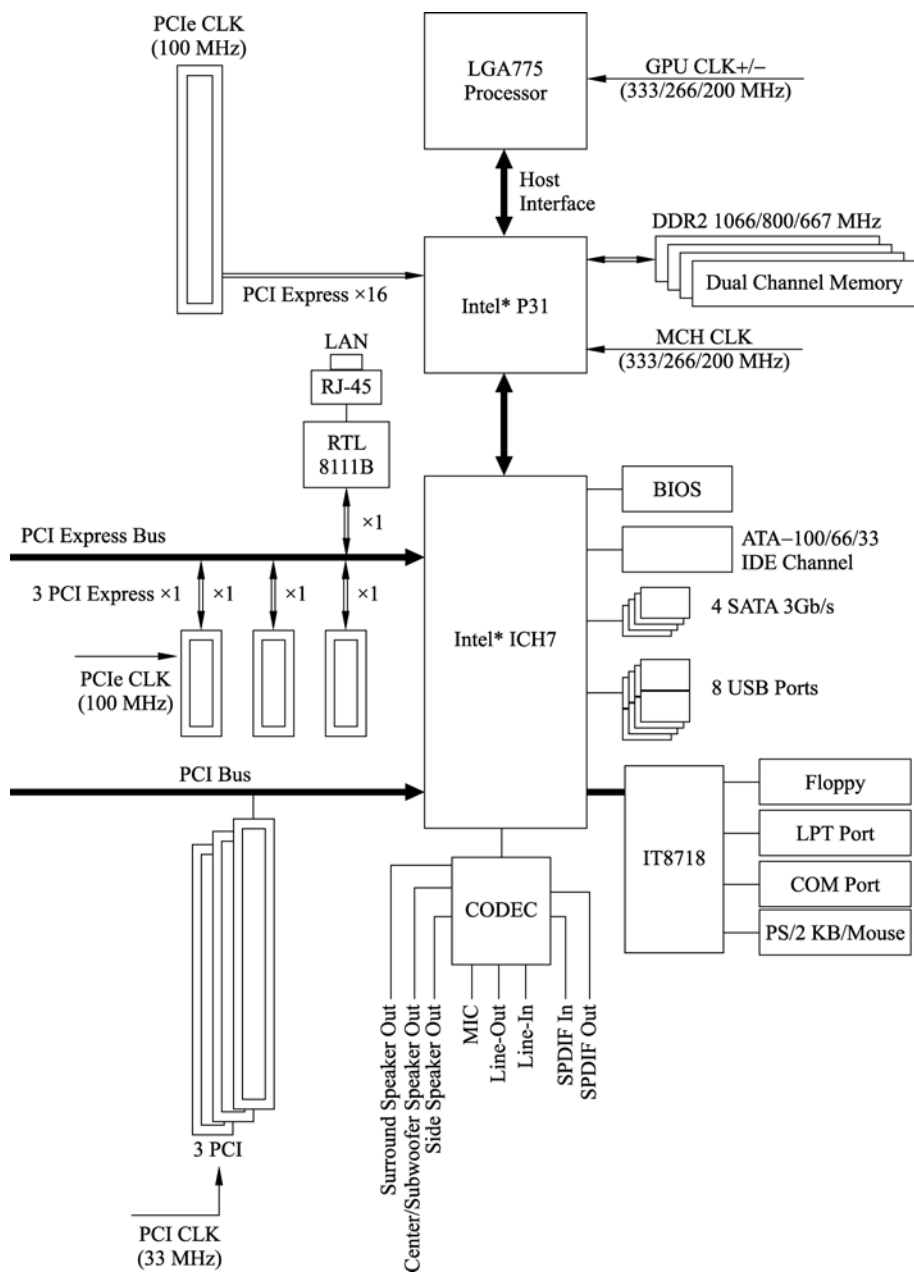


图 1.1 PC 芯片组的 Hub 体系结构

芯片组主要有被称为南桥（South Bridge）和北桥（North Bridge）的两块芯片。其中北桥的芯片是起主导作用的最重要的部分，也称为主桥（Host Bridge）。通常主板以及芯片组就是以北桥芯片的名称来命名的，例如 Intel P31 主板的北桥芯片是 P31。北桥芯片负责与 CPU 的联系并控制内存，因此也有把北桥芯片称为存储器控制器 Hub（MCH）的，它还控制 AGP 显示数据在北桥内部的传输。它决定了 CPU 的类型和主频、系统的前端总线频率、内存类型（SDRAM, DDR SDRAM 以及 RDRAM 等等）、最大容量和性能、AGP 显卡插槽规格（图 1.1 中用 PCI Express X16 替代 AGP）、ECC 纠错等支持。另外，整合型芯片组的北桥芯片还集成了内置显示核心。因为位于 CPU 和北桥之间的是速度最快的处理器高速前端总线（Front Side BUS, FSB），所以北桥芯片是主板上离 CPU 最近的一块芯片。由于北桥芯片数据处理量大，电源消耗功率大，常常需要加装散热片。

南桥芯片负责外设接口的控制和 I/O 总线之间的通信，例如 PCI Express 或 PCI 总线、USB、LAN、ATA、SATA、音频控制器、键盘控制器、实时时钟控制器、高级电源管理等，现在被称为 I/O 控制器 Hub（ICH）。它决定了扩展槽的种类与数量、扩展接口的类型和数量（如 USB 2.0/1.1、IEEE 1394、串口、并口）等。南桥芯片的发展方向主要是集成更多的功能，例如网卡、RAID、IEEE 1394，甚至 WI-FI 无线网络等等。南桥芯片不与 CPU 直接相连，而是通过一定的方式与北桥连接。南桥芯片是芯片组的低速部件，它在主板的位置相对于北桥要靠下方。

总之，配合系统总线和 I/O 总线技术的发展，从 ISA、PCI、AGP 到 PCI-Express，从 ATA 到 SATA、Ultra DMA 技术、双通道内存技术、高速前端总线等，芯片组的技术也是突飞猛进，每一次新技术的进步都带来计算机的层次结构更加清晰和性能的提高。另一方面，CPU 技术也在向着高整合性方向发展，北桥的功能被弱化，芯片组将趋于单芯片设计。例如由于 AMD 公司 Athlon 64 CPU 的内部已经整合了内存控制器，nVidia 公司在其 NF3250、NF4 等芯片组中去掉了南桥，而在北桥中则加入千兆网络、串口硬盘控制等功能。

1.2 集成电路技术的发展

在 21 世纪以电子信息产业为主导的知识经济时代，集成电路产品是几乎所有技术的最终载体，是检验技术转化为生产力的最终标志。当前集成电路产业正在利用 CPU 技术开发与之相关的微处理器（Microprocessor Unit, MPU）、微控制器（Micro Controller Unit, MCU）、数字信号处理器（Digital Signal Processor, DSP）等系列产品；利用 3C 芯片组的技术开发与之相关的 DVD（Digital Versatile Disc）、HDTV（High Definition Television）、数码相机、数码音响等专用集成电路系列产品，以满足人类不断增长的对信息量的需求。

集成电路发展经历了电路集成、功能集成、技术集成，直至今天基于计算机软、硬件的知识集成，这标志着传统的电子系统已经全面进入现代电子系统的阶段。

1.2.1 硅基微电子技术的发展趋势

如今 90%以上的电子器件和电路都是以硅（Si）为基础制造的，从 1947 年美国 Bell 实验室的 William B. Shockley、John Bardeen 和 Walter H. Brattain 创造出了世界上第一只晶体管，1958 年美国 TI（Texas Instruments）公司的工程师 J. Kilby 制成了世界上第一片集成

电路以来，以硅为基础的微电子技术经过半个多世纪的发展，从晶体管、中小规模集成电路到超大规模集成电路（Very Large Scale Integration, VLSI），现在仍然继续遵循“集成电路的集成度每 18 个月增加一倍，每三年器件尺寸缩小 0.7 倍的速度”（Moore 定律和 ITRS 的技术节点概念），保持着强劲的发展态势。

超大规模集成电路技术的发展主要针对集成度、工作频率、功耗和成品率等几个方面。集成度的提高取决于减小工艺线宽，目前产品已经做到深亚微米和纳米，例如 45nm 的 Intel Core 2 Duo 双核处理器 Wolfdale、Altera 公司 40nm 的 Stratix IV FPGA 等。根据国际半导体技术蓝图（International Technology Roadmap for Semiconductors, ITRS）发布的未来半导体工艺技术预测，到 2016 年世界集成电路主流工艺线宽为 22nm，2022 年将达到 10nm（接近 9nm 的成本极限和 4nm 的制造极限）。

工作频率的提高也依赖于缩短内部连线，通常在片内（on-chip）通信比片外（off-chip）更可取；但更重要的是半导体材料的能带间隙（Band Gap）和电子迁移率（Mobility）等主要特性。常用的硅材料工作频率限制在几个 GHz，而且它的导通电阻比较大，很费电。而一些由两种Ⅲ—Ⅴ族元素制备的复合材料，它们的带隙窄，电子迁移率高，适于光电、微波等高频应用，其中主要有砷化镓（GaAs）、硅锗（SiGe）和磷化铟（InP）等。例如 IBM 公司发明的硅锗材料的工作频率可达到 100GHz。另外，采用 IBM 的 SOI（Silicon-on-Insulator，硅绝缘）技术结构的超晶格应变硅材料 Si/SiGe/SiO₂ 可以提高数字电路的开关速度，降低功耗，并且抗辐射和耐高温。

通过降低芯片的工作电压来压低波形跳变的幅度，以减小干扰、降低功耗以及有利于依靠电池供电的移动设备，例如从早期的 12~15V MOS（Metal-Oxide-Semiconductor）的工作电压、TTL（Transistor-Transistor Logic）的 5V 到 CMOS（Complementary Metal Oxide Semiconductor）的 3.3V、2.5V、1.8V、1.475V、1.1V 直到 0.8~0.9V。

降低集成电路的价格和提高成品率要依靠故障容限（例如给存储单元增加备份，在测试过程中用电气或激光手段把不合格单元的连线割去）、冗余和自动恢复技术，以及增大晶体圆片（wafer）的尺寸。目前常用的最大圆片直径如下：硅为 12in（300mm），硅锗为 8in（200mm），砷化镓为 6in（150mm），磷化铟为 4in（100mm）。预计 2016 年以后，将逐步向 22nm 线宽的 18in（450mm）的硅片过渡，直径 27in（675mm）的硅单晶研制也正在积极筹划中。

硅集成电路的特征线宽进入 90nm 以下时，硅微电子技术将受到来自物理的（短沟场效应、绝缘氧化物量子隧穿效应、沟道掺杂原子统计涨落、功耗等）、技术的（寄生电阻和电容、互连延迟、光刻技术等）和经济的（制造成本难以承受）三个方面的限制和挑战。这迫使电路设计师要更深入地理解工艺的能力，避免设计出不能生产的器件。例如在设计处理器时往往通过采用新的架构（增加流水线长度、采用多核芯、冗余结构、睡眠机制等）使之形成更为有效的晶体管组织结构，达到提高指令执行速度、提高可靠性以及减少能耗的目的。在特征线宽进入 65nm 以下时，将不同功能的器件或电路集成在一个芯片上，使其功能得到显著提升的片上系统（System on a Chip, SoC）集成技术将成为主流。

1.2.2 可编程逻辑器件的发展

随着可编程半导体器件技术的迅速发展，设计与制造集成电路的任务已不完全由半导

体厂商来独立承担，电子系统设计师们更愿意自己设计专用集成电路（Application Specific Integrated Circuit, ASIC）芯片，而且希望 ASIC 的设计周期尽可能短，最好在自己的实验室里就能设计并制造出实用的 ASIC 芯片。它作为集成电路技术与特定用户的整机或系统技术紧密结合的产物，与通用集成电路构成的整机或系统相比，具有体积更小、重量更轻、功耗更低、性能和可靠性提高、保密性增强、成本降低等优点。通常设计 ASIC 的方法可以分为全定制、半定制和可编程逻辑器件（Programmable Logic Device, PLD）设计三种方式，其中 PLD 的设计主要是利用可编程的集成电路，如 PROM（Programmable Read-Only Memory）、PAL（Programmable Array Logic）、GAL（Generic Array Logic）、CPLD（Complex Programmable Logic Device, 复杂可编程逻辑器件）、FPGA（Field Programmable Gate Array, 现场可编程门阵列）等，直接使用厂商或者第三方提供的软件进行设计和在线编程（In-System Programmable, ISP）或者现场编程（Field Programmable），完成 ASIC 电路的功能，而不需要再通过集成电路工艺线加工。现在 PLD 是半导体行业中增长最快的领域之一，主要生产商有 Altera、Xilinx、Lattice 等。根据半导体行业联盟（Semiconductor Industry Association, SIA）提供的数据，PLD 的销售增长速度在过去几年里已超过了整个半导体行业的平均销售增长速度。

PROM 通常是指 1956 年在美国发明的熔丝（fuse）型的双极性（bipolar）可编程只读存储器，它是依靠对熔丝一次性烧断来编程，后来又发展了分别依靠紫外光擦除和电擦除的可以重复编程 EPROM（ultraviolet-Erasable PROM）和 EEPROM（Electrically Erasable PROM）等。它们常作为存储器用于存储函数值的查找表，如果把它们当成 PLD 使用，它们的每一位输出（即每根输出引脚）是相互独立的各输入地址线的可编程组合逻辑函数。但是碍于 ROM 自身的电路结构，存储单元是由地址全译码选择的，因此，电路设计使用中仅有小部分的记忆储存空间能被有效地使用；而且由于内部缺乏时序（Sequential Logic）电路设计所需要的触发器（Flip-Flop），它们不能独立地用于时序电路设计，只能用于组合逻辑（Combinatorial Logic）电路设计。20 世纪 70 年代，根据能用“与-或”表达式来描述任意组合逻辑，以及采用反熔丝（Antifuse，即与熔丝工作状态相反，未经编程为断开，编程后为短路）技术、EPROM 技术和 EEPROM 技术等工艺来实现它，先后发展出用可编程的“与”阵列和固定的“或”阵列构成，其中或门的输出可以通过触发器有选择地被置为寄存状态的 PAL，以及“与”和“或”阵列都能编程且输出结构是可编程的逻辑宏单元（Output Logic Macro Cell, OLMC）的 GAL。这些早期的 PLD 因规模小，仅适用于数百个逻辑门所构成的小型电路。为了弥补这一缺陷，在 20 世纪 80 年代中期 Altera 公司和 Xilinx 公司分别推出了类似 PAL 结构的基于乘积项技术和 Flash/EEPROM 工艺的电可编程逻辑器件（Electrically Programmable Logic Device, EPLD）及其改进的 CPLD，以及与 GAL 结构类似的基于查找表技术和 SRAM 工艺的 FPGA。这些器件的规模远远大于 PAL 和 GAL，仅一片就能实现数十万甚至数百万个逻辑单元（Logic Element, LE）才能构成的电路。

CPLD 大多采用粗粒结构，由多个可以实现组合或时序逻辑的宏单元（每个 MC 相当于一块 PAL/GAL）组成一个逻辑阵列块（Logic Array Block, LAB），每个 LAB 还与相应的 I/O 控制模块（I/O Control Blocks）相连；多个 LAB 以群阵列（array of clusters）的形式排列，并通过可编程互连阵列（Programmable Interconnect Array, PIA）由水平和垂直路由通道连接起来，这些路由通道也把信号送到器件的引脚上或者传进来。由于 CPLD 的结构

特点是触发器有限而乘积项丰富,故用在组合逻辑设计上它比FPGA优越。同时,因为CPLD的集中式路由布线简单,相应地延迟也小且固定,所以对大型复杂设计的运行速度可以预测,也可以工作在更高的频率。另外,CPLD在编程方式上具有编程次数可达1万次和系统断电后编程信息也不丢失的优点。

CPLD的主要产品有Altera公司的MAX和MAXII系列、Xilinx公司的XC9500和CoolRunner系列、Lattice公司的ispLSI和ispMACH4000系列等。

FPGA的逻辑单元(LE)多采用4输入RAM查找表的细粒结构,它比CPLD有更多的寄存器和更复杂的分段式路由布线结构,主要通过改变内部连线的布线,在逻辑门下编程;多数芯片还含有高层次的加法器和乘法器以及存储器等内置模块,一些先进的芯片(如Xilinx Virtex™系列等)还提供诸如嵌入式硬核处理器(如IBM Power PC、DSP等)、嵌入式内存、专用锁相环(Phase Lock Loop, PLL)和高速的通信收发器等部件。FPGA的容量一般比CPLD或EPLD的容量要大得多,相对逻辑密度目前可达数百万门以上,更适合做逻辑复杂、信息量大的系统设计。另外,FPGA的功能由存放在片内SRAM中逻辑结构的配置数据决定,数据在系统断电时会丢失,每次上电时需从器件外部将配置数据重新写入现场编程。针对SRAM可以反复写入这一特点,很多FPGA支持完全的或者部分的系统内重新配置,即允许电路的设计在随着系统升级或者动态重新配置时而改变;一些FPGA还可以在系统中其他部分继续正常运行下,让一部分电路结构重新编辑和动态重配置。如今,更多的用户选择用FPGA进行设计的一个重要原因,是市场上存在着大量以IP(Intellectual Property, 知识产权)形式呈现的预定义和预测试的软件模块IP核(IP core),设计工程师可以取得使用许可证后将其集成到自己的系统中。这些核心技术(IP)库中包括从复杂数字信号处理算法和存储器控制器直到总线接口和软核处理器(例如Altera公司的Nios、Xilinx公司的Microblaze)等等。

全球生产FPGA的厂家很多,但影响力最大的是Xilinx公司和Altera公司。主要产品有Xilinx公司的Spartan和Virtex系列等;Altera公司的FLEX10K、APEX20K、ACEX1K、Stratix和Cyclone系列等。要注意,不同厂家生产的FPGA在可编程逻辑块的规模、内部互连线结构以及所采用的可编程配置元件和装载电缆线上存在较大差异,实际使用时应注意区分。

随着微电子技术和加工工艺的不断发展,芯片的集成度和引脚增多,而印制电路板面积却在减小,装配密度越来越大,复杂程度越来越高,难于沿用传统的外探针测试法对芯片和电路板进行全面彻底的测试。为了解决PLD器件芯片的测试问题,20世纪80年代,联合测试行动组(Joint Test Action Group, JTAG)开发了IEEE 1149.1—1990边界扫描测试(Boundary Scan Testing, BST)技术规范,它可以在器件正常工作时捕获功能数据。因此,现在PLD器件都内置了BST结构,提供5根信号线:TDI(测试数据输入)、TDO(测试数据输出)、TMS(测试模式选择)、TCK(测试时钟输入)和TRST(测试复位输入)。边界扫描单元能够从引脚或器件核心逻辑信号中捕获数据,外部输入的测试数据和捕获的数据都以串行方式通信,完成在线测试或调试工作。

1.2.3 CPLD和FPGA的结构

CPLD和FPGA是目前最广泛应用的PLD,其中FPGA提供了最高的逻辑密度、最丰富的特性和最高的性能;虽然CPLD提供的逻辑资源不如FPGA,但是它在速度与时序特

性可预测、价格和使用方便上具有一定的优势。因此，在电路设计时就会产生这样一些需要思考的问题：应该选择哪种器件才能获得更高的性价比？为什么有时同样的设计在分别下载到 CPLD 和 FPGA 时会出现不同的问题和结果？为此，我们还必须进一步了解各种器件的内部电路结构，选择更适合电路结构的器件类型，或者在满足所需功能的条件下修改电路结构来满足已选定的器件。

1. CPLD 的结构

下面的介绍以本书实验中使用的 Altera 公司的 MAX7000 系列 CPLD 为例，这种芯片的内部结构如图 1.2 所示。

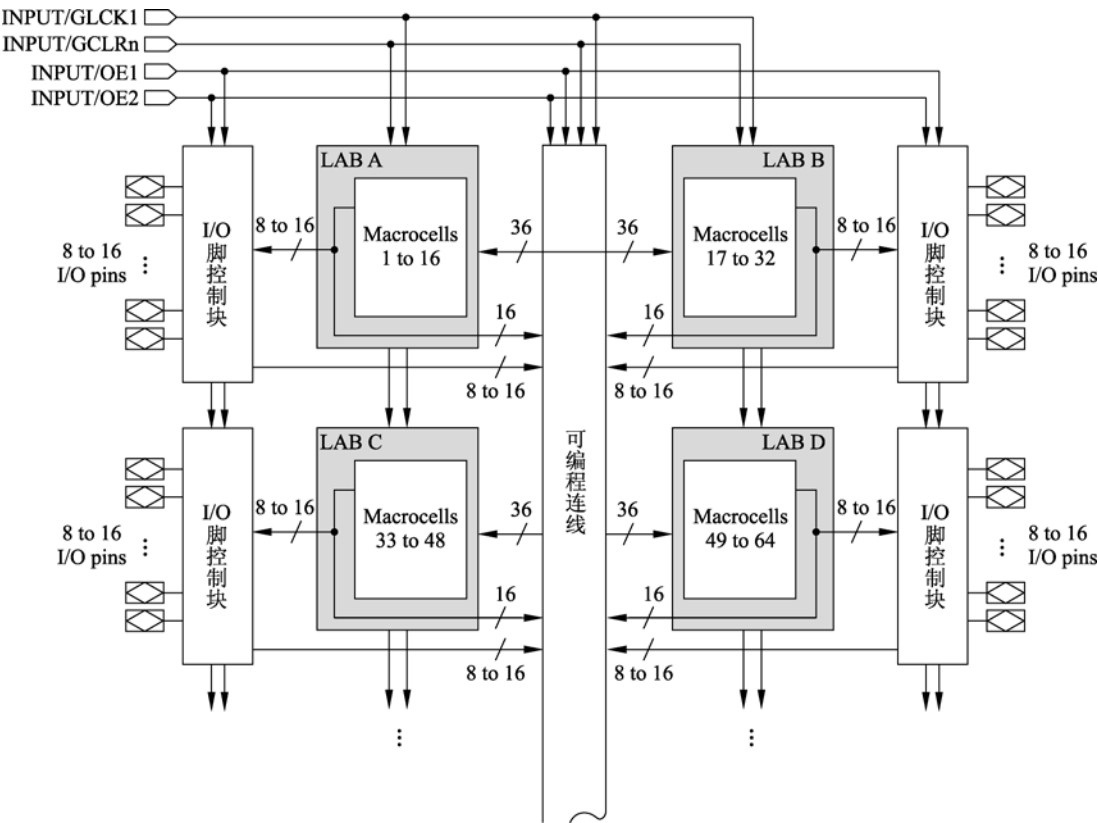


图 1.2 MAX7000 系列 CPLD 芯片的内部结构

它主要包括逻辑阵列块 (LAB)、可编程连线阵列 (PIA) 和 I/O 引脚控制块等。

(1) 编程逻辑宏单元 (MC) 和逻辑阵列块 (LAB)

宏单元 (MC) 是 PLD 的基本结构，如图 1.3 所示。每个 MC 是由可编程的乘积项和扩展乘积项 (Expander Product Term, EPT) 逻辑阵列、乘积项选择矩阵和可编程寄存器三个功能块组成的。其中乘积项阵列实际上是一个“与”阵列，每一个交叉点都可编程为导通实现“与”逻辑。后面的乘积项选择矩阵是一个“或”阵列，另外每个 MC 提供一个未投入使用的乘积项，并将它反相后反馈到逻辑阵列中作为共享扩展项。每 16 个 MC 为一组，构成一个灵活的逻辑阵列块 LAB。于是每个 LAB 就有 16 个共享扩展项，由此产生的共享扩展乘积项可被所在的 LAB 内任意或全部 MC 使用和共享，与或阵列一起完成组合逻辑。

可编程寄存器是一个具有独立可编程时钟、时钟使能、清除和置位功能的可配置 D 触发器。它可以使用专用的全局清零和全局时钟，也可以使用内部逻辑（乘积项阵列）产生的时钟和清零，它提供了时序逻辑的设计能力。如果不需要触发器，也可以将此触发器旁路，信号直接输出到 I/O 脚。MC 还具有复杂的 I/O 单元互连结构，可以根据用户的设计单独地配置成组合逻辑或时序逻辑等特定的电路结构。不同规模的 CPLD 有不同数量的宏单元，例如，MAX7128 是有 64 个宏单元的 4 个逻辑阵列块结构。

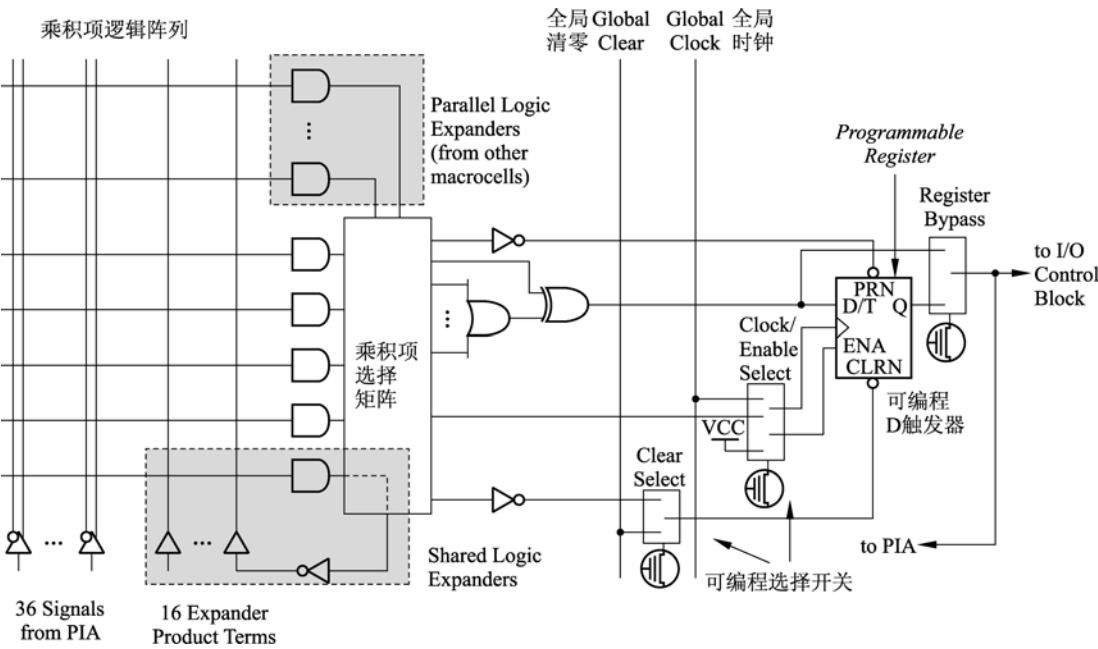


图 1.3 MAX7000 系列 CPLD 芯片的宏单元 (MC)

(2) 可编程连线阵列 (PIA)

器件的所有专用输入、I/O 和 MC 的输出均馈送到逻辑阵列块，通过在它上面布线，把各个逻辑阵列块互相连接而构成所需的逻辑。再将这些信号送到器件内的各个地方，起到全局总线的作用。

(3) I/O 引脚控制块

它是由可选择的一个全局输出使能信号控制的三态缓冲器。当三态缓冲器的控制端接地时，输出为高阻态。此时，I/O 引脚可用做专用输入引脚。控制端接高电平时输出有效。I/O 控制块被用于输入/输出的电气特性控制，允许每个 I/O 引脚单独地配置为输入、输出和双向工作方式以及输出模式为集电极开路或者三态输出等。

另外，图 1.2 中左上角的 4 个专用输入引脚既可用作通用输入，也可作为每个宏单元和 I/O 引脚的高速的全局控制信号：全局时钟 GCLK1、全局清零 GCLRn 以及两个输出使能 (Output Enable) 信号 OE1 和 OE2。由于是通过专用连线与 PLD 中每个 MC 相连，信号到每个 MC 的延时相同且延时最短。

2006 年 Altera 公司采用了全新的 CPLD 体系结构的 MAX II 器件面世，它模糊了 CPLD 和 FPGA 的区别。它是在查找表 (LUT) 体系上采用 0.18 μ m 嵌入 Flash 工艺，本质上它就

是一种容量和传统 PLD 类似，但在内部集成了配置芯片的 FPGA。新系列和前一代相比，成本降低了一半，容量增加了 4 倍，性能提升了一倍，功耗却是原来的 1/10。例如 Altera 公司的 144 管脚 TQFP 封装的 MAX II EPM570 芯片的逻辑单元 (LE) 为 570 个，典型等效宏单元为 440 个，用户 Flash 存储量为 8K（可用于存储配置文件）。

2. FPGA 的结构

下面的介绍以本书实验中使用的 Altera 公司 FLEX/ACEX 系列 FPGA 为例，如图 1.4 所示。

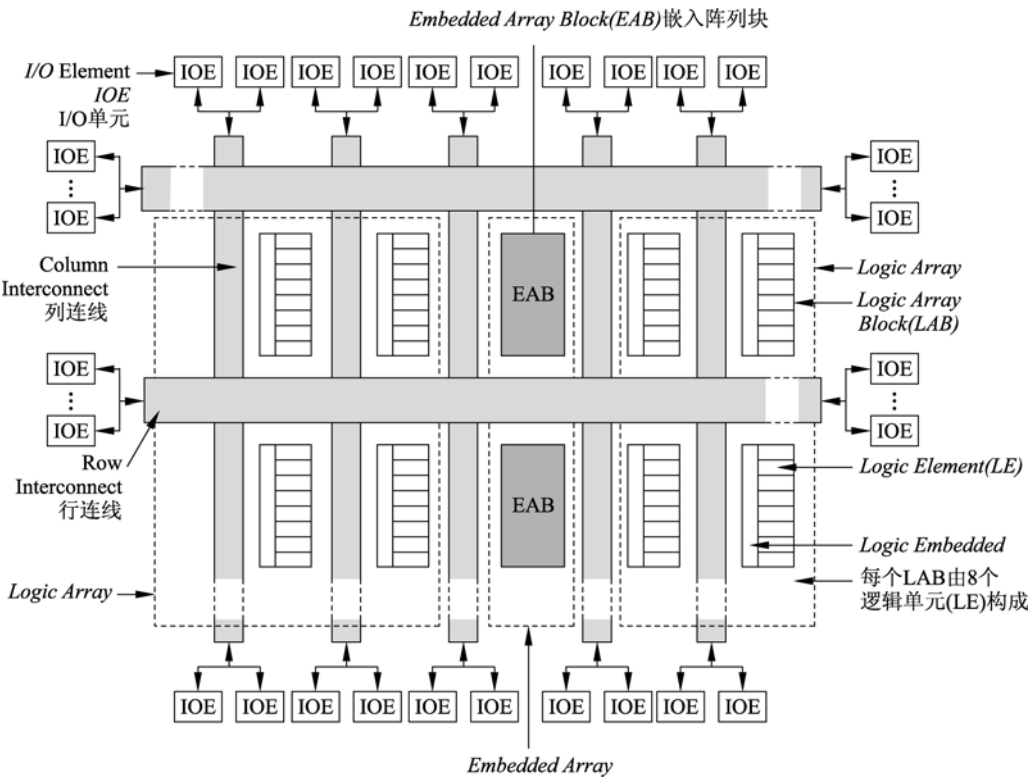


图 1.4 FLEX/ACEX 系列 FPGA 芯片的内部结构

它主要包括逻辑阵列块 (LAB)、嵌入阵列块 (Embedded Array Block, EAB)、I/O 单元 (I/O Element, IOE) 和可编程快速通道连线 (Fast Track)。

(1) 逻辑阵列

由分布在芯片中的很多 LAB 组成逻辑阵列。每个 LAB 是由 8 个逻辑单元 (LE) 组成的阵列块，其中每个 LE 如图 1.5 所示，它包括一个由 4 输入的 SRAM 构成的查找表 (LUT)、一个可编程 D 触发器和相关的逻辑组成。它是实现自定义逻辑功能的基本单元，散布于整个芯片。逻辑变量从芯片的管脚输入后进入可编程连线，然后作为 LUT 的地址查找到地址对应的存储单元中已经事先写入的逻辑结果数据，输出就实现了预计的组合逻辑。如果设计是一个 LUT 无法完成的复杂逻辑电路，就需要通过进位逻辑和级连线将多个单元相连。LE 中的可编程 D 触发器及其清零与置位逻辑提供了时序逻辑设计的能力，如果设计中不需要触发器，也可以将此触发器旁路，信号直接输出到 I/O 引脚。

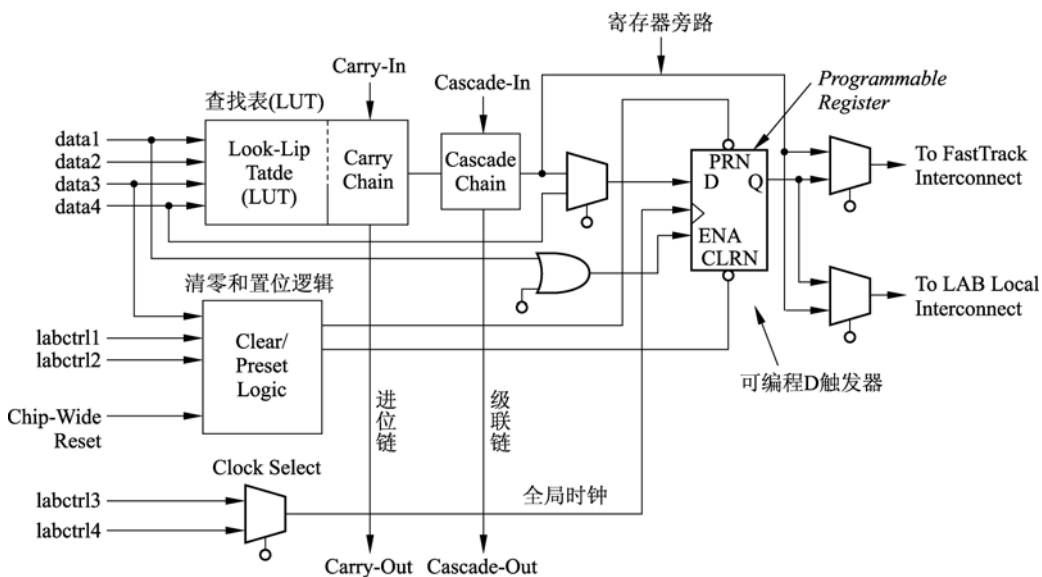


图 1.5 FLEX/ACEX 系列 FPGA 芯片的逻辑单元 (LE)

(2) 嵌入阵列

嵌入式阵列是由一系列 EAB 构成的。嵌入式阵列既可以实现逻辑功能，又可以实现存储功能，由它们实现专用的功能可以减少芯片的体积，使其运行速度更快，使用更加灵活。

(3) 可编程快速通道

它是由行和列连线构成可编程的互连资源 (Interconnect Resource, IR)，包括不同长度的连线线段以及可编程的连接开关。其功能是将各个可编程逻辑块或 I/O 块连接起来，构成特定功能的电路。由于内部资源是分段互联的，因而延时不可预测，只有编程完毕后才能实际测量。

(4) I/O 单元 (IOE)

它通常排列于芯片四周，为内部逻辑与器件封装引脚之间提供可编程的输入输出接口驱动。IOE 位于快速通道的行和列的末端，每个 IOE 有一个双向 I/O 缓冲器和一个触发器。这些寄存器在 IOE 作为专用时钟引脚时提供了特殊的性能。当它作为输入时，可提供少于 4.2ns 的建立时间和 0ns 的保持时间；而作为输出时，这些寄存器的时钟到输出的时间少于 5.7ns。

基于 LUT 的 FPGA 器件由于 SRAM 的易失性，需要外加一片专用配置芯片 EPROM，不同型号的芯片要求的配置芯片略有不同。也有少数 FPGA 采用反熔丝或 Flash 工艺，对这种 FPGA 不需要外加专用的配置芯片。

反熔丝控制的 FPGA 器件是用反熔丝单元来控制可编程器件内的可编程节点的通断，使芯片中每一部分具有应有的逻辑功能，以实现器件的设计功能。反熔丝单元是一个被动的两端器件，通常情况下处于开路状态，在施加充足的电压后，能够永久地导通。用于现场可编程器件的反熔丝其占用芯片面积非常小，速度也很高，这方面的性能几乎可以与门阵列相比。但这种 FPGA 在编程时需要专用的编程设备，而且芯片功能一经编程确定后，不能再修改，反熔丝控制的 FPGA 器件价格最低。

Flash 控制的 FPGA 器件是用快闪烁存储器（Flash）的数值来控制可编程节点的通断，实现现场可编程目的。这种 FPGA 的工作特性与 SRAM-FPGA 相似，但是它的单元面积小。由于 Flash 也具有不挥发性，不必在每次上电时重新进行功能加载，因此使用很方便。

1.3 电子电路的设计与仿真

在电子设计自动化（Electronic Design Automation, EDA）出现以前，电子系统的设计方法采用传统的手工自底向上（Bottom-Up）的方式。一般是根据系统的要求，首先画出系统的硬件流程图，再根据功能划分成不同的基本单元模块；设计过程从底层开始，先要选择具体的元器件进行各功能模块的逻辑电路设计，并手动画出一张张的电路原理图；根据原理图制作印刷电路板（Printed Circuit Board, PCB）和装焊，然后对每个功能模块调试，最后把各个模块连接起来进行系统的联调。当然为了提高设计的效率，基本单元模块尽可能采用标准化的模块设计。但是无论如何，对整个系统的仿真与调试只能在完成硬件设计以后才能进行，才能发现设计中的问题。如果出现设计中没有考虑到的问题，就要再从底层重新设计，这样的设计周期一般较长。设计结果是若干张的电路原理图和信号的连接表，如果是一个大的系统，以后系统出现问题要查找和修改起来都不直观。

EDA 是电子设计领域的一场革命，它源于计算机辅助设计（Computer Aided Design, CAD）、计算机辅助制造（Computer Aided Made, CAM）、计算机辅助测试（Computer Aided Test, CAT）和计算机辅助工程（Computer Aided Engineering, CAE），按主要功能分为电路设计与仿真工具、PCB 设计软件、IC 设计软件、PLD 设计工具及其他 EDA 软件等。

1.3.1 EDA 工具软件

EDA 经历了三个发展阶段：计算机辅助设计阶段、计算机辅助工程阶段、电子设计自动化阶段。最早的电子 CAD 软件仅仅是一些绘图软件，包括绘制电路原理图、绘制印刷电路版图和绘制集成电路芯片版图，以及一些简单的数值计算等。在出现了自动设计、验证和自动布局布线工具后，这类软件称为第一代的 EDA 软件。后来又出现了第二代的 EDA 软件，它包括逻辑综合、仿真以及“自顶向下”（Top-Down）的设计等。近年来又出现了被称为电子系统设计自动化的第三代 EDA 软件，它可以通过概念输入（框图、公式等）自动生成各种设计结果：包括 ASIC 芯片设计结果、电路原理图、PCB 版图以及软件等，并且可以进行机电一体化设计。

与传统的设计方法不同，现代电子工程师们设计系统的过程是以计算机为工具，按照自顶向下的设计方法，对整个系统进行方案设计和功能划分（即描述系统）；由硬件描述语言（Hardware Description Language, HDL）完成系统行为级设计，利用先进的开发工具自动完成逻辑编译、化简、分割、综合、优化、布局布线（Place And Route, PAR）、仿真以及特定目标芯片的适配编译和编程下载，设计出自己适用的 ASIC 芯片。然后用通用和专用芯片构成系统，进行功能模拟和带时延的仿真，布 PCB 板，对 PCB 板进行仿真，最终生产调试成功。下面简要介绍一些常用的设计工具软件。

1. 电子电路设计与仿真工具

电子电路设计与仿真工具包括 SPICE/PSPICE、multiSIM7、Matlab、SystemView、MMICAD LiveWire、Edison、Tina Pro Bright Spark 等。其中，20 世纪 80 年代世界上应用最广的电路设计软件 SPICE（Simulation Program with Integrated Circuit Emphasis）是 1975 年由美国加州大学 Berkeley 分校推出的电路分析仿真软件，1998 年被定为美国国家标准。1984 年，美国 MicroSim 公司推出了基于 SPICE 的微机版 PSPICE（Personal-SPICE）。它是功能最为强大的模拟和数字电路混合仿真 EDA 软件，可以进行各种各样的电路仿真、激励建立、温度与噪声分析、模拟控制、波形输出和数据输出，并能在同一窗口内同时显示模拟与数字的仿真结果，还可以自行建立元器件及元器件库。

Multisim 软件是加拿大图像交互技术公司（Interactive Image Technologies Ltd, IIT）在 20 世纪末推出的以 Windows 为基础的电路仿真软件。它提炼了 SPICE 仿真的复杂内容，包含了电路原理图的图形输入、电路硬件描述语言输入方式等。相对于其他 EDA 软件，它具有更加形象直观的人机交互界面，特别是虚拟仪器技术。在其仪器仪表库中的各仪器仪表与实际工作中的完全相同，例如万用表、瓦特表、信号发生器、扫频仪、多踪示波器、逻辑分析仪、失真度分析仪、频谱分析仪、网络分析仪等。它还提供了各种常见的建模精确的元器件，如电阻、电容、电感、三极管、二极管、继电器、可控硅、数码管等，以及模拟集成电路方面的各种运算放大器和其他常用集成电路。数字电路方面有 74 系列集成电路、4000 系列集成电路等，同时还支持自制元器件。

MATLAB（MATrix LABoratory）是 20 世纪 70 年代美国新墨西哥大学用 FORTRAN 语言编写的，1984 年由美国 MathWorks 公司正式推向市场。它是一种数值计算环境和编程语言，主要包括 MATLAB 和 Simulink 两大部分。MATLAB 基于矩阵（Matrix）运算，它的一大特性是有众多的面向具体应用的工具箱和仿真块，包含了完整的函数集用来对图像信号处理、控制系统设计、神经网络等特殊应用进行分析和设计。它具有数据采集、报告生成和 MATLAB 语言编程产生独立 C/C++ 代码等功能，它的开放式的结构使 MATLAB 产品很容易针对特定的需求进行扩充。到 20 世纪 90 年代，MATLAB 已成为国际控制界的标准计算软件。

2. PCB 设计软件

PCB 设计软件种类很多，例如 Protel、OrCAD、Viewlogic、PowerPCB、Cadence PSD、Mentor Graphics 公司的 Expedition PCB、Zuken CadStart、PCB Studio、TANGO、Winboard/Windraft/Ivex-SPICE、PCBWizard（与 LiveWire 配套）、ultiBOARD7（与 multiSIM2001 配套）等。下面以广泛使用的 Protel 为例对 PCB 软件做简单介绍。

20 世纪 80 年代美国 ACCEL Technologies Inc 推出了第一个应用于电子线路设计软件包——TANGO，开创了电子设计自动化（EDA）的先河。此后作为 TANGO 的升级版本，由 1985 年在澳大利亚成立的 Altium 公司（2001 年以前称为 Protel）发布了世界上第一个基于 Windows 的电子设计系统 Protel，由于它较早在国内使用，普及率最高，因此是国内 PCB 设计者的首选软件。Protel 的诞生与发展经过了 Protel PCB，Protel 98 和 99，Protel DXP 2002 和 2004，Altium Designer 6，Altium Designer Summer08 和 Altium Designer Winter09。早期的 Protel 主要作为印刷板自动布线工具使用，而现在它已经是个完整的全方位电路设计系统，包含了电原理图绘制、模拟电路与数字电路混合信号仿真、多层印

刷电路板设计（包含自动布局布线）、可编程逻辑器件设计、图表生成、电路表格生成、支持宏操作等功能，并具有客户/服务（Client/Server）体系结构，同时还兼容一些其他设计软件的文件格式，如 OrCAD、PSPICE、EXCEL 等。此外，它还具有电路仿真功能和 PLD 开发功能，界面友好，使用方便。

3. IC 设计软件

目前 IC 设计工具按市场所占份额排行主要为 Cadence、Mentor Graphics 和 Synopsys，它们都是 ASIC 设计领域著名的软件供应商。下面按照用途对 IC 设计软件作简要的介绍。

设计输入工具是任何一种 EDA 软件必备的基本功能，例如 Cadence 的 composer、viewlogic 的 viewdraw、硬件描述语言（Very High Speed Integrated Circuit Hardware Description Language, VHDL）、Verilog HDL 都是主要的设计语言，许多设计输入工具都支持 HDL（例如 multiSIM 等）。另外像 Active-HDL 和其他的设计输入方法，包括原理和状态机输入方法，设计 FPGA/CPLD 的工具等都可以作为 IC 设计的输入手段，如 Xilinx、Altera 等公司提供的开发工具 Modelsim FPGA 等。

设计仿真工具用来验证设计是否正确，几乎每个公司的 EDA 产品都有仿真工具，例如 Verilog-XL、NC-Verilog 用于 Verilog 仿真，Leapfrog 用于 VHDL 仿真，Analog Artist 用于模拟电路仿真。其中 Viewlogic 的仿真器有：viewsim 门级电路仿真器、speedwaveVHDL 仿真器、VCS-Verilog 仿真器。另外，Mentor Graphics 的子公司 Model Tech 出品的 VHDL 和 Verilog 双仿真器为 Model Sim。Cadence、Synopsys 用的是 VSS（VHDL 仿真器）等。发展的趋势是逐渐都用 HDL 仿真器作为电路验证的工具。除了这些主要针对数字电路的仿真器，对于模拟电路的仿真工具还是普遍使用 SPICE，如 MicroSim 的 PSPICE、Meta Soft 的 HSPICE 等。其中 HSPICE 作为 IC 设计软件，其模型多，仿真的精度也高。

综合工具可以把 HDL 变成门级的网表（Netlist），在这方面 Synopsys 工具占有较大的优势。它的 Design Compile 是作为一个综合的工业标准，它的另外一个产品 Behavior Compiler 可以提供更高级的综合。随着 FPGA 设计的规模越来越大，各 EDA 公司又开发了用于 FPGA 设计的综合软件，比较有名的有：Synopsys 公司的 FPGA Express、Cadence 公司的 Synplity、Mentor 公司的 Leonardo 等。

在 IC 设计的工具中，Cadence 软件布局和布线功能是比较强的。它有很多产品用于标准单元，门阵列已可实现交互布线。最有名的是原来用于 PCB 布线，后来用作 IC 布线的 Cadence spectra。其主要工具有：Cell3、Silicon Ensemble（标准单元布线器）、Gate Ensemble（门阵列布线器）、Design Planner（布局工具）等。另外，其他各 EDA 软件开发公司也提供各自的布局布线工具。

物理验证工具包括版图设计工具、版图验证工具、版图提取工具等。Cadence 在这方面也是很强的，它的 Dracula、Virtuso、Vampire 等物理验证工具被广泛使用。

1.3.2 PLD 的设计工具

目前 PLD 主要有 CPLD 和 FPGA 两大类型，它们的基本设计方法是借助于 EDA 软件，用原理图、状态机、布尔表达式、硬件描述语言等方法，生成相应的目标文件，最后用编程器或下载电缆对目标器件编程实现。最主要的 PLD 厂家为 Altera、Xilinx 和 Lattice 公司，

其中 Altera 和 Xilinx 公司提供了全球 60% 以上的 PLD 产品。总的来说,在欧洲用 Xilinx 的人多,在日本和亚太地区用 Altera 的人多,而在美国则是平分秋色。Intel 和 TI 等著名的半导体公司拥有资产巨大的工厂生产线资源,而像 Altera 和 Xilinx 公司这样的全球主要的 PLD 生产商都是无工厂生产模式的半导体设计公司,它们把除产品设计、营销和技术支持以外的所有工作均外包出去。PLD 的开发工具一般由器件供应厂商提供,但是随着器件规模的不断增加,软件的复杂性也随之提高。仅靠器件供应厂商提供的开发工具在设计大型复杂系统时已经力不从心,还要借助第三方的软件,目前业界倾向由专门的 EDA 软件公司与器件厂家联合推出功能强大的设计软件。

Altera 公司于 1983 年成立,总部在美国加州。1984 年推出世界上第一个易抹除可编程逻辑器件 EP300 系列,成为世界上第一个 PLD 器件供应商。主要产品包括: CPLD 器件有 MAX3000/7000/9000、MAX II; FPGA 器件有 FELX6K/10K、APEX20K、ACEX1K、Cyclone、Stratix 等系列。其开发工具 MAX+PLUS II 是较成功的 PLD 开发平台,之后又推出了 Quartus II 开发软件。Altera 公司提供形式较多的设计输入手段,绑定第三方 VHDL 综合工具,如综合软件 FPGA Express、Leonard Spectrum、仿真软件 ModelSim 等。

Xilinx 公司成立于 1984 年,总部也设在美国加州。1985 年推出世界上第一个 FPGA 器件 XC2064。产品主要包括: CPLD 器件有 XC9500/5200/4000/3000、CoolRunner (XPLA3); FPGA 器件有 Spartan、Vertex 等系列。开发软件为 Foundation 和 ISE 等。

Lattice-Vantis 成立于 1983 年,总部设在美国俄勒冈州。1999 年收购 AMD 的子公司 Vantis,2001 年收购 Lucent 微电子的 FPGA 部门,成为世界第三大可编程逻辑器件供应商。1991 年 Lattice 发明了第一个在系统可编程 (ISP) PLD,ISP 技术极大地促进了 PLD 产品的发展,1999 年推出了可编程模拟器件。与 Altera 和 Xilinx 相比,Lattice 的中小规模 PLD 比较有特色,大规模 PLD 的竞争力还不够强。主要产品包括: CPLD 器件有 ispLSI 2000/5000/8000、ispMACH4/5; FPGA 器件有 LatticeXP、LatticeECP、LatticeSC 等系列。开发工具是 ispDesignExpert / ispEXPERT、ispLEVER 等,其开发工具比 Altera 和 Xilinx 略逊一筹。

1.3.3 层次化设计与 VHDL 的应用

EDA 已经逐渐成为电子系统的主要设计手段,尤其是采用可编程器件和软件仿真模拟方法的使用,给传统的电路设计方法带来了重大的变革。其中模拟硬件电路在实际工作时的时序关系是相当重要的,因为通过仿真模拟波形时就可以发现系统设计上的错误,这样,即使是在电路板生产调试时又发现错误,也不必改变电路板连线,而只要对内部的软件设计进行改进,就可以方便地修改设计方案。

一般来说,EDA 解决方案是一种采用计算机自顶向下的分层次设计方式,这里的“顶”指的是设计系统树的根节点。设计者按照数字系统的功能描述,把系统划分为若干个功能模块,再把每个模块划分为不同的层次,由高层次到低层次逐步细化。在底层设计时对逻辑进行必要的描述,并依赖特定的软件执行逻辑优化 (Logic Optimization) 与器件映射 (Device Mapping)。自顶向下的设计特点是每一层次划分时都要对某些目标进行优化,这些目标包括工作速度、芯片面积、芯片功耗以及芯片的成本等。最后再使用由各芯片生产厂商提供的编译器执行布线 (Route) 和网表优化 (Netlist Optimization)。如果直接

采用原始逻辑图或者布尔方程输入进行电路设计，虽然对于简单的逻辑可以获得非常有效的结果，但是对于复杂的系统设计就很容易产生错误。因此，必须依靠一种高层的逻辑输入方式，能够把复杂的电路设计用形象化的语言方式表示出来，这样就产生了硬件描述语言（HDL）。所谓硬件描述语言，是用高级语言的方式来描述所对应的具体的硬件设计，用硬件描述语言编程来表示逻辑器件及系统硬件的功能和行为，例如：可以描述硬件电路的功能、信号连接关系以及时序关系等，这种描述方法比电路原理图更能有效地表示电路的特征。

硬件描述语言有 HDL、AHDL、Verilog 和 VHDL 等，目前通用的是 Verilog 和 VHDL，其中符合 IEEE STD 1076 标准的 VHDL 的应用已成为 EDA 解决方案的首选，更是整个电子逻辑系统的核心。本书将以 VHDL 为例来讲述。

VHDL 语言源于美国政府于 1980 年开始启动的超高速集成电路（Very High Speed Integrated Circuits, VHSIC）计划。在这一计划的执行过程中，专家们认识到需要有一种标准的语言来描述集成电路的结构和功能。这样 VHSIC 的硬件描述语言（VHDL）便诞生了，并很快被美国电气和电子工程师协会（Institute of Electrical and Electronics Engineers, IEEE）所承认，在 1987 年成为 ANSI/IEEE 的标准（IEEE STD 1076—1987），1993 年又进一步修订，变得更加完备，成为 ANSI/IEEE 的 ANSI/IEEE STD 1076—1993 标准。目前，大多数的 CAD 厂商出品的 EDA 软件都兼容了这种标准。

VHDL 语言作为高级硬件行为描述型语言，是为了满足逻辑设计过程中的各种需求而设计的，是一种用来描述数字逻辑系统的“编程语言”，它具有如下几个优点。

（1）VHDL 可以用来描述逻辑设计的结构，例如：逻辑设计中有多少个子逻辑，以及这些子逻辑又是如何连接的。除此之外，VHDL 并不十分关心一个具体逻辑依靠何种方式实现，而是把开发者的精力集中到逻辑所实现的功能上。

（2）VHDL 具有更强的行为描述能力，可以避开具体的器件结构，为从逻辑行为上描述和设计大规模电子系统提供了重要保证。VHDL 采用类似高级语言的语句格式来完成对硬件行为的描述，这也是我们把 VHDL 称为“编程语言”的原因。VHDL 淡化状态机、与或表达式等早一代硬件描述语言中的元素，用更类似于软件的高级语言的表达式取代。

（3）VHDL 有丰富的仿真语句和库函数，对于任何大的系统设计，在早期就能查验出该系统功能的可行性和正确性，随时可对设计方案进行仿真模拟并修改，为设计工作提供了最大的空间。调试的过程是相当灵活的。一方面可以使用传统的调试方法，采用传统的波形激励或编写测试向量；另一方面，可以使用一些 VHDL 源码调试器，这类调试器可以大大加快 VHDL 程序调试的速度。因为它可以像调试软件一样地单步跟踪调试每一条语句，并且可以设置断点，观察内部变量等，这些功能是传统的调试仿真方法所不具备的。这种调试器有 Active-HDL 等，它们都拥有高效率的生成代码，能够节省大量的资源，用户甚至不必编写任何测试向量便可以进行源代码级的调试。而且，设计者可以非常方便地比较各种方案之间的可行性及其优劣，而不需做任何实际的电路实验。

鉴于 VHDL 具有以上诸多优点，只要开发者具备一定的高级语言程序设计基础，例如会用 C++ 或其他语言进行计算机编程，同时又了解一些基本数字电路知识，学习 VHDL 程序设计是比较容易的。VHDL 在语言形式、描述风格以及句法等方面都十分类似于软件的

计算机高级语言，但是在使用时要注意所描述对象的不同。表 1.1 简要地列出了学习 VHDL 与 C++的不同之处。

表 1.1 VHDL 与 C++的对比

VHDL	C++
编程描述的是具体硬件	编写软件
考虑硬件具体行为	考虑程序执行流程
综合结果为基本硬件单元间的连接关系	编译结果为可执行机器码
考虑程序是否可综合	正确代码均可编译
考虑时序、同步、尖峰等	没有幕后的种种危险

另外，在应用 VHDL 时还应该注意，除了靠编写 VHDL 程序简化逻辑之外，还需要选择合理的综合工具 HDL synthesis，不同公司的 HDL synthesis 所支持的语法并不相同，而且生成的代码效率也不同。经实验比对，相同的程序经过不同的编译器编译，芯片资源的消耗相差竟高达 10%。

现在即使是硬件设计也在逐步向软件化发展，这些都离不开 VHDL（或 Verilog）。利用 EDA 工具与硬件描述语言（VHDL 或 Verilog），根据产品的特定要求设计性能价格比高的片上系统（SoC），是目前国际上广泛使用的方法。

由于知识产权和专利保护问题，目前国际上尚无统一的集成化开发软件来适用于不同公司的芯片完成从逻辑输入到下载所需的全部工作，这也给 VHDL 在 EDA 解决方案中的广泛应用带来了一定的困难。但是总的来讲，目前各厂商均遵循兼容 VHDL 的 ANSI/IEEE 标准，并互相提供良好的软件接口，在某种程度上可以缓解该矛盾。

1.4 PLD 与微机接口电路的实验平台

EDA 促进了电子系统设计方法的进步，在计算机技术的推广应用与工程中越来越多地采用可编程器件，并已经渗透到机械、电子、通信、航空航天、化工、矿产、生物、医学、军事等各个领域。为了培养这方面的人才，几乎所有理工科（特别是电子信息）类的高校都开设了微型计算机和 EDA 方面的课程。对于这类课程，在理论学习的同时，适时开设有利于培养学生的动手能力和创新能力、与当前技术发展紧密结合的实验课程尤为重要。为此，除了要有高质量的实验辅助教材外，还必须有先进的便于教学的实验平台。

1.4.1 FPGA 的实验平台

XUPV2P 是 Xilinx 公司基于 Virtex-II Pro 系列 XC2VP30 FPGA 的开发系统，也是 Xilinx 实施的全球大学计划所采用的板卡，如图 1.6 所示。由于它是专门为教育机构和领先的学术机构设计的，因而它选择了众多的创新特性，支持从大学本科生到研究生的有关数字逻辑课程和工程研究项目，设计者可以利用 EDK 的 Base System Builder 通过各种开发板特性迅速构建系统。例如美国加州大学 Berkeley 分校电气工程与计算机科学系（EECS）的 RAD Lab（Reliable Adaptive Distributed Systems Laboratory）在 2006 年初的

Internet in a Box 项目中，就利用 3 块 XUPV2P 板组成了一个 12 个节点的 IIAB 小型集群机，其中每块板的一个 FPGA 中构造了 4 个 32b 的 Xilinx MicroBlaze 处理器，并通过 TCP/IP 点对点的网络连接各处理器。为了提高多核处理器的性能，在后来升级的 V0.1 版中又将处理器改为 Leon3（SPARCV8）。该项目的资料参见 <http://radlab.cs.berkeley.edu/wiki/InternetInABox>。

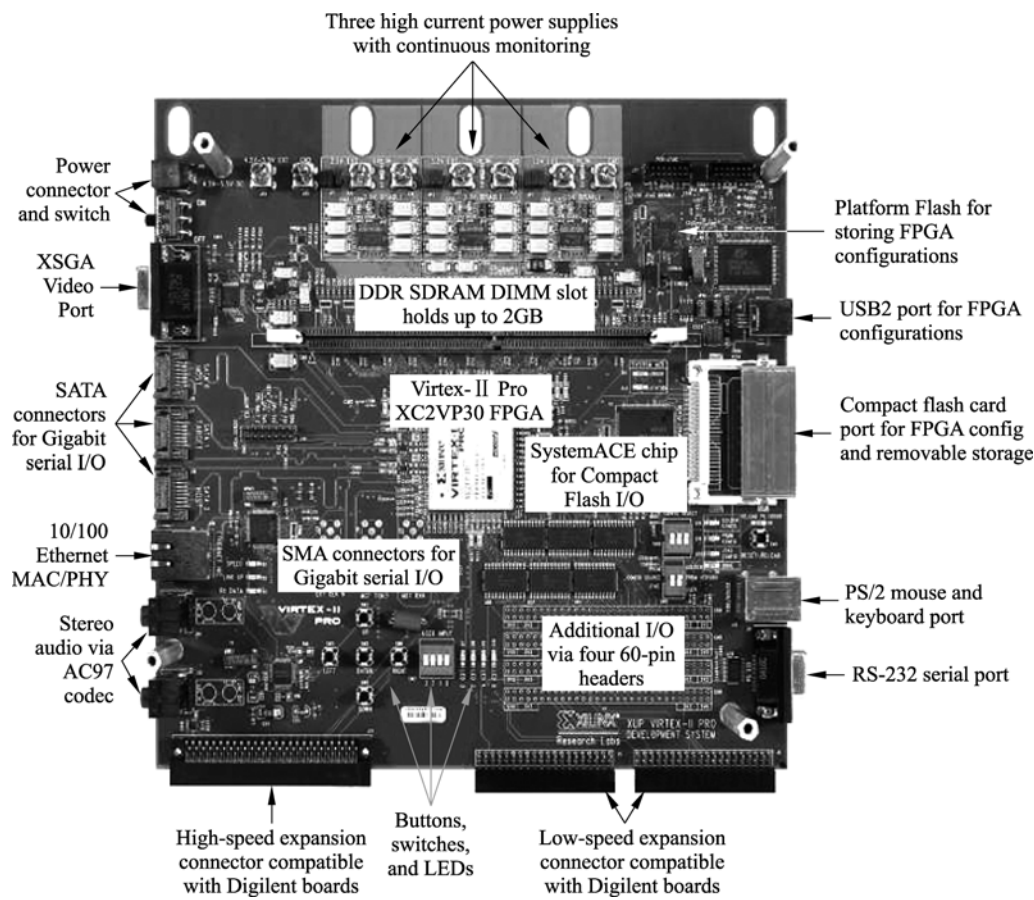


图 1.6 XUPV2P 大学计划开发板

XUPV2P 的系统框图参见图 1.7。其主要特性如下。

FPGA 内含有 2 个 IBM Power PC 硬核 RISC（Reduced Instruction Set Computer）处理器；30 816 个逻辑单元（Logic Cell，LC），每个 LC 是由 1 个 4 输入 LUT 和 1 个触发器以及进位逻辑组成；136 个 18b 的乘法器模块；2448 Kb 的 RAM 模块；8 个速率在千兆以上（Multi-Gigabit，MG）的收发器。为了扩展应用，利用 FPGA 的 4 个 MG 收发器在板上连接了 3 个 SATA 标准高速串口，以及 1 个由用户提供的超小型的接口；FPGA 的 80 个 I/O 引脚引出到板上的 4 个由用户自行安装的 60 引脚的双排插槽上，以及 2 个安装好的 40 引脚肘状插头连接器（Right angle connector），其中一个规划为高速扩展连接端口；另一个分成 2 个各 20 引脚的端口，用于低速扩展连接端口。

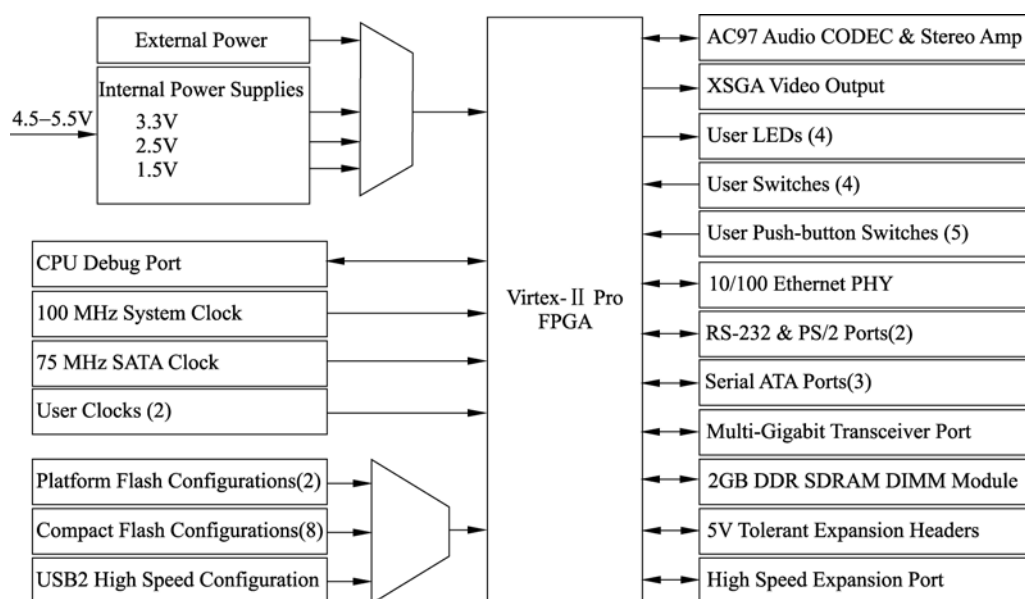


图 1.7 XUPV2P 开发系统的框图

板上用户 GPIO（General Purpose I/O）提供 4 只双列直插（Dual In-line Package, DIP）开关和 5 个按键，以及 4 个发光二极管（Light Emitting Diode, LED）灯的连接。

FPGA 提供 3 种配置方式：USB 2.0 接口、板上 Flash 存储器、由系统 ACE（Advanced Configuration Environment）控制器芯片管理的 Flash 插卡。其中 Flash 插卡除了完成配置 FPGA 外，还可以作为数据的外存储器。

板上 DDR1 的 SDRAM DIMM 插槽可以支持 2GB 的容量。

它还具有丰富的计算机外设接口，例如 PS/2 接口、RS232 串行接口、10M/100M 以太网的物理接口（由 FPGA 完成 MAC）、AC97 标准编解码器的立体声音频接口和 XSGA 标准（像素时钟 180MHz，屏幕分辨率最高 1600 × 1200、刷新率 70Hz）的视频接口。

最近，Xilinx 公司推出了采用更大规模 FPGA 芯片 Virtex-5 XC5VLX110T 的开发系统，提供的可用资源更加丰富了，但价格也昂贵。

1.4.2 基于 PLD 的微机接口实验平台

前述的 XUPV2P 平台虽然提供了强大的实验资源，但是也存在不适应以 PC 为经典的微机技术及其应用的教學的问题，例如它与 PC 的系统总线没有联系，因此对于总线上的地址译码、中断、I/O 操作、DMA、内存读写，以及基于 PC 的外设接口等不能提供实验环境。它比较适合本身具有 CPU 的嵌入式系统及其应用的教學。如图 1.8 所示的平台是我们自主开发的在 PC 环境下兼顾 CPLD 和 FPGA 学习的 TU-F/C 微机接口电路教学实验平台。

TU-F/C 微机接口电路教学实验平台的系统框图参见图 1.9，主要特性如下。

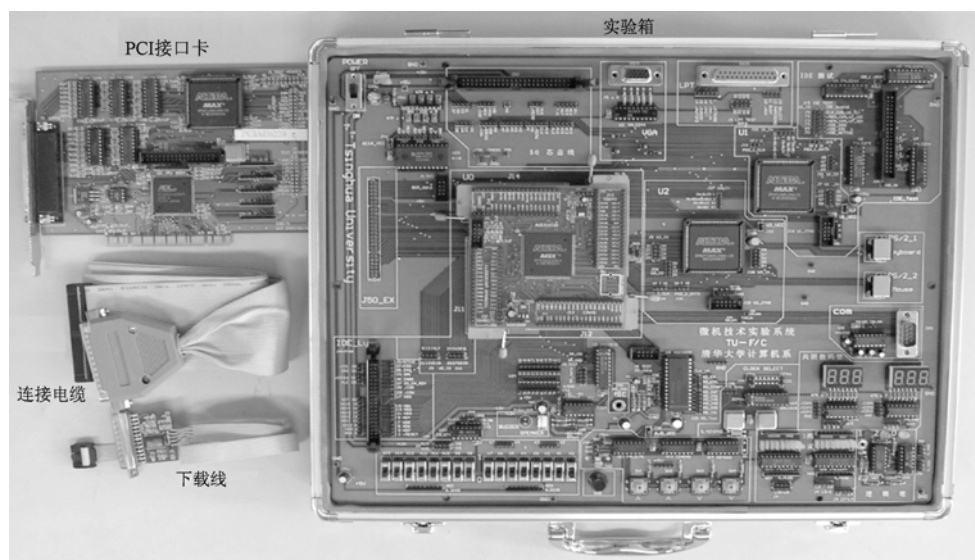


图 1.8 TU-F/C 微机接口电路教学实验平台

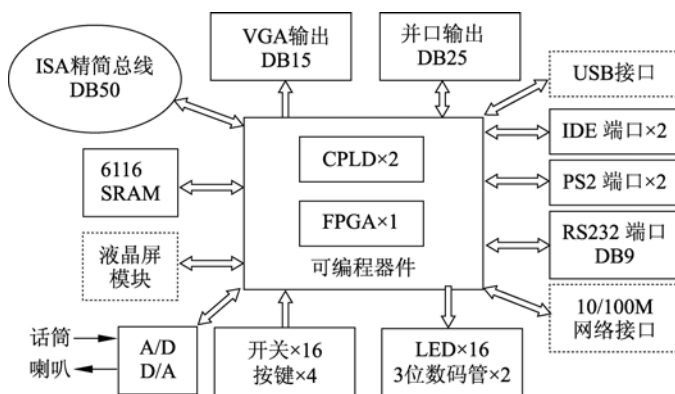


图 1.9 TU-F/C 教学实验平台的系统框图

板上的可编程器件安排有 2 片 CPLD，选用 Altera 公司的 EPM7128SIC84-15；以及 1 片 FPGA，选用 Altera 公司的 ACEX1K100QC208-3，参见图 1.10。为了维修时替换方便，2 片 CPLD 采用可插拔的管座，而且每片芯片的电源都用跳线插头控制，这样可以控制接入系统的 CPLD 的数量。FPGA 则采用可插拔的模块板的插座，这是因为 FPGA 规模较大，大多采用直接焊接的封装，既便于维修替换，也便于用模板方式扩展新的接口电路，例如 USB 和网络等。平台有丰富的接口，用于打印机的并口、RS232 串口、PS/2 的鼠标和键盘接口、VGA 显示接口，还有光驱和硬盘的 IDE 接口等。另外，板上还提供 A/D 和 D/A 以及 $2K \times 8$ 静态存储器，可以作语音等模拟信号的采样以及数字音频经 D/A 和放大器输出到喇叭。板上有 16 个拨动开关可以作为二进制的输入，4 个按键分别独立提供 2 个正极性与 2 个负极性的单脉冲。16 个 LED 灯和 2 个 3 位的数码管可以提供数码输出显示。板内有 20MHz 和 10MHz 的晶体振荡器各一个，负责提供系统的时钟。TU-F/C 微机接口电路教学实验平台通过 50 线扁平电缆与 PC 的内置 ISA 精简总线驱动板卡连接，它是一块 PCI 板卡，负责 PCI 总线与经过精简的 ISA 总线的信号转换。

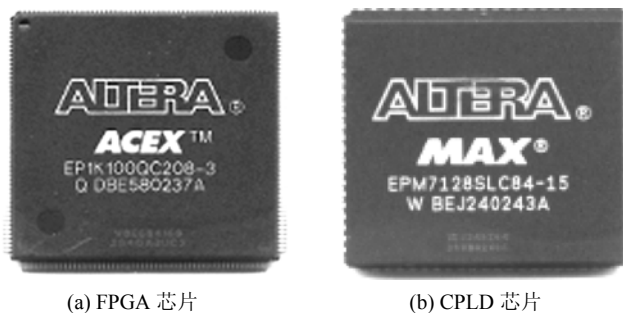


图 1.10 实验用的 FPGA 与 CPLD 芯片

利用 TU-F/C 平台的微机接口电路教学实验流程可以分成三个部分，如图 1.11 所示。
 第一部分（学生实验程序 Part1）是学习的重点，要求在学习微机接口电路的理论基础上，用 VHDL 语言设计微机的某个接口电路，同时学习用 EDA 软件编程来设计硬件电路的基础知识，最后将设计的电路装载到实验平台的目的 PLD 中。

第二部分（学生实验程序 Part2）是对设计好的接口电路进行测试，要用高级语言编写接口应用程序进行测试，检验其接口的功能是否正确，同时也为巩固与加深高级编程语言的学习提供实践的环节。

第三部分（学生实验程序 Part3）是可以灵活选择的内容，主要是针对 PC 的 PCI 总线知识的学习，理解即插即用总线的枚举过程和地址配置空间等。

图 1.11 中连接的外设都是我们在该实验平台上成功实现过的实验项目，本书中给出了一些实例。在实现了单个接口的实验后，可以将几个单项综合成实用的系统实验，例如将 PS/2 接口实验的鼠标与键盘、VGA 显示接口和 D/A 的音频输出结合在一起，通过编写游戏程序实现简单的有背景音乐的屏幕动画电子游戏等。

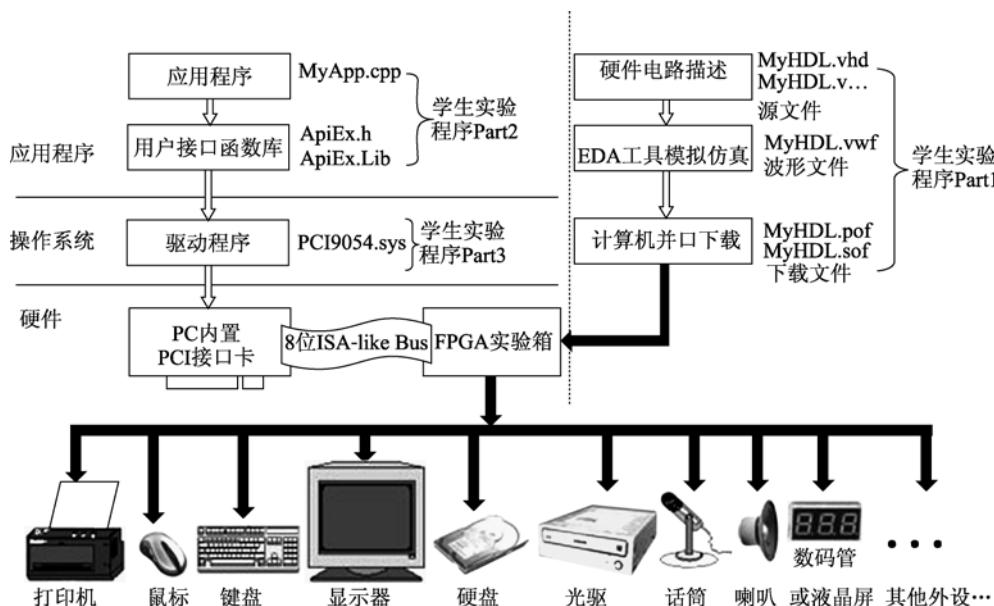


图 1.11 TU-F/C 微机接口电路教学实验的流程

习题与思考题

1.1 习惯上认为多位数据并行的总线比只有一位数据线的串行总线传输的速度高，为什么现代的总线结构反而趋向采用串行总线？

1.2 PC 的芯片组中南北桥芯片各负责哪些系统功能？同一档次的 AMD 和 Intel 的 CPU 能适用同一组芯片组吗？

1.3 PC 的 ISA 总线是以什么信号来区分地址总线上的地址是内存地址还是 I/O 设备地址的？如果只用 $A_9 \sim A_0$ 译码作为外设地址，在 PC 的内存读写和 DMA 操作时有可能选中外设吗？

1.4 CPLD 与 FPGA 在实现组合逻辑功能时的电路原理与实现方法相同吗？

1.5 比较 CPLD 与 FPGA 在实现时序逻辑方面的优缺点。

1.6 了解 FPGA 的配置方式和注意事项。