

FPGA 器件基于 SRAM 结构来实现可编程特性,具有集成度高、逻辑功能强等特点,但掉电后编程信息立即丢失,芯片在每次加电时,都必须重新下载设计文件所生成的配置数据。正是这一特性使得用 FPGA 来实现数字系统时,不但能减小电路板的面积、缩短开发周期、提高系统运行的可靠性,而且还可无限次重复擦写,能够完成数字系统的在线重配置,易于设备功能的更改和升级。因此,如何快速、高效地将配置数据写入目标器件,并且保证其在掉电后再次上电能自动可靠地恢复配置,就成为整个系统的关键所在。目前,配置 FPGA 的方式有多种,可以通过 JTAG 口配置(一般用在调试过程),可以通过 PROM、Flash 来配置,也可以通过 CPU 或者 CPLD 进行配置。本章主要介绍 Xilinx FPGA 常用配置电路的原理以及相应的软件操作。

3.1 FPGA 配置电路

FPGA 配置电路可看成用户设计和硬件电路之间的连接纽带。随着制造工艺的发展和应用范围的扩展,FPGA 配置电路呈现多元化发展,最终目的都是在一定的外部条件下,准确、快速地实现 FPGA 系统配置。只有正确地理解了配置电路,才能在实际开发中选择最优的解决方案。本节主要从宏观上介绍 FPGA 配置电路的组成、工作流程以及不同方式之间的差异。

3.1.1 Xilinx FPGA 配置电路

FPGA 芯片是基于 SRAM 工艺的,不具备非易失特性,因此断电后将丢失内部逻辑配置。在每次上电后,都需要从外部非易失存储器中导入配置比特流。硬件配置是 FPGA 开发的最关键的一步,只有将 HDL 代码下载到 FPGA 芯片中,才能进而调试并最终实现相应的功能。完成 FPGA 配置,必须要有类似于单片机仿真器的下载电缆才能完成,典型的 FPGA 配置系统如图 3-1 所示。

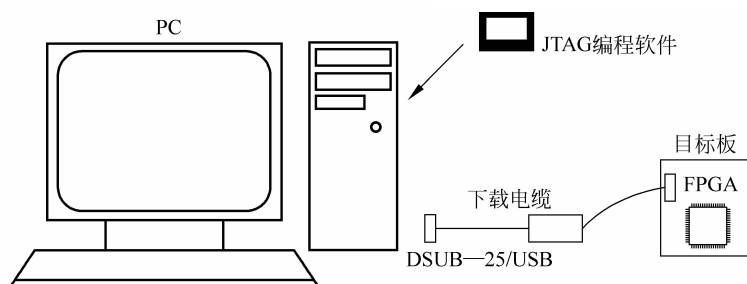


图 3-1 FPGA 配置系统组成

在FPGA配置系统中,编程软件由FPGA提供商提供,设计人员要掌握其操作方法;下载电缆是固定的JTAG电路,只要将其连接在PC上以及目标板上即可;只有目标板上的配置电路需要设计人员设计。其中,JTAG链路是器件编程的关键传输枢纽。因此JTAG链路的工作原理、FPGA的各种配置电路以及编程软件的操作是本章的重点内容。

将配置数据从PC上加载到Xilinx FPGA芯片中的整个配置过程,可分为以下步骤。

1. 初始化

通上电后,如果FPGA满足以下条件:Bank2的I/O输出驱动电压 V_{cc0_2} 大于1V;器件内部的供电电压 V_{ccint} 为2.5V,器件便会自动进行初始化。在系统上电的情况下,通过对PROG引脚置低电平,便可以对FPGA进行重新配置。初始化过程完成后,DONE信号将会变低。

2. 清空配置存储器

在完成初始化过程后,器件会将INIT信号置低电平,同时开始清空配置存储器。在清空完配置存储器后,INIT信号将会重新被置为高电平。用户可以通过将PROG或INIT信号(INIT为双向信号)置为低电平,从而达到延长清空配置存储器的时间,以确保存储器被清空。

3. 加载配置数据

配置存储器的清空完成后,器件对配置模式脚 $M[2:0]/M[1:0]$ 进行采样,以确定用何种方式来加载配置数据。

4. CRC 错误检查

器件在加载配置数据的同时,会根据一定的算法产生一个CRC值,这个值将会和配置文件中内置的CRC值进行比较,如果两者不一致,则说明加载发生错误,INIT引脚将会被置低电平,加载过程被中断。此时若要进行重新配置,只需将PROG置为低电平即可。

5. START-UP

START-UP 阶段是 FPGA 由配置状态过渡到用户状态的过程。在 START-UP 完成后, FPGA 便可实现用户编程的功能。在 START-UP 阶段中, FPGA 会进行以下操作:

- (1) 将 DONE 信号置高电平, 若 DONE 信号没有置高, 则说明数据加载过程失败;
- (2) 在配置过程中, 器件的所有 I/O 引脚均为三态, 此时, 全局三态信号 GTS 置低电平, 这些 I/O 脚将会从三态切换到用户设置的状态;
- (3) 全局复位信号 GSR 置低电平, 所有触发器进入工作状态;
- (4) 全局写允许信号 GWE 置低电平, 所有内部 RAM 有效。

整个过程需要 8 个时钟周期 C0~C7。在默认的情况下, 这些操作都和配置时钟 CCLK 同步。在 DONE 信号置高电平之前, GTS、GSR、GWE 都保持高电平。如果选用 JTAG 配置电路, 则所有操作都和 JTAG 电路的 TCK 保持同步。

3.1.2 Xilinx FPGA 常用的配置引脚

对于 FPGA 芯片而言, 无论何种配置方式, 都必须通过 FPGA 相应的引脚把设计加载到 FPGA 芯片中。和配置有关的引脚可以分为专用引脚和复用引脚两类, 前者只能用于 FPGA 配置, 而后者在配置过程结束后, 还可当作普通 I/O 使用。

专用的配置引脚有: 配置模式脚 M[2:0]或者 M[1:0]; 配置时钟 CCLK; 配置逻辑异步复位 PROG; 启动控制 DONE 及边界扫描 TDI、TDO、TMS、TCK。非专用配置引脚有: Din、D0; D7、CS、WRITE、BUSY、INIT。

当然, 部分专用配置引脚在配置结束后也可作为普通引脚使用。例如, 在 Spartan-3A 系列 FPGA 中, 3 个 FPGA 引脚 M2、M1 和 M0 用于选择配置模式, 其配置说明如表 3-1 所示, M[2:0]的值在 INIT_B 输出变高后才有效。在 FPGA 配置完成后, M[2:0]可以作为普通 I/O 使用。

表 3-1 Spartan-3A 配置模式选择以及特性

	主串模式	SPI 模式	BPI 模式	从并模式	从串模式	JTAG
模式配置引脚 M[2:0]	<0:0:0>	<0:0:1>	<0:0:0>=UP <0:0:0>=DOWN	<0:0:0>	<0:0:0>	<0:0:0>
数据宽度	单比特	单比特	字节宽度	字节宽度	单比特	单比特
配置数据存储 器类型	Xilinx 系列 PROM	标准 SPI 串 行 FLASH	Xilinx 系列 PROM 或 并行 NOR FLASH	外部 CPU、MCU 或 Xilinx 并行 PROM	外部 CPU、 MCU	
配置时钟源	FPGA 提供	FPGA 提供	FPGA 提供	CCLK 引脚上的外部时钟		TCK 信号
配置所需引 脚数	8	13	46	21	8	0
配置菊花链 中的 FPGA	从串	从串	从并	从并	从串	JTAG
是否需要额 外配置主机	否	否	否	使用 Xilinx 并行 PROM 不需 要, 否则需要外部主机		否

在 Spartan-6 系列 FPGA 中,配置模式引脚为 M[1:0]的形式,只有 M1 和 M0 两个引脚。其基本原理和 Spartan-3A 系列 FPGA 中的 M[2:0]完全一致,只是在具体选择内容上不同,如表 3-2 所示。

表 3-2 Spartan-6 配置模式选择以及特性

配置模式	M[1:0]	总线宽度	CCLK 方向
主 Serial/SPI	01	1, 2, 4	输出
主 SelectMAP/BPI	00	8, 16	输出
JTAG	xx	1	输入(TCK)
从 SelectMAP	10	8, 16	输入
从 Serial	11	1	输入

3.1.3 Xilinx FPGA 配置电路分类

FPGA 配置方式灵活多样,根据 FPGA 芯片是否能够主动加载配置数据分为主模式、从模式以及 JTAG 模式。典型的主模式都是加载片外非易失(断电不丢数据)性存储器中的配置比特流,读取配置数据所需的时钟信号(称为 CCLK,通过 FPGA 芯片的 CCLK 引脚发出)由 FPGA 内部产生,且 FPGA 控制整个配置过程。从模式需要外部的主智能终端(如处理器、微控制器或者 DSP 等)将数据下载到 FPGA 中,写入数据的时钟(仍然通过 CCLK 引脚进入 FPGA)由外围器件产生,其最大的优点就是 FPGA 的配置数据可以放在系统的任何存储部位,包括 Flash、硬盘、网络,甚至在其余处理器的运行代码中。JTAG 模式为调试模式,可将 PC 中的比特文件流下载到 FPGA 中,断电即丢失。此外,目前 Xilinx 还有基于 Internet 的、成熟的、可重构逻辑技术 System ACE 解决方案。

1. 主模式

在主模式下,FPGA 上电后,自动将配置数据从相应的外存储器读入到 SRAM 中,实现内部结构映射;主模式根据比特流的位宽又可以分为:串行模式(单比特流)和并行模式(字节宽度比特流)两大类。例如,主串行模式、主 SPI Flash 串行模式、内部主 SPI Flash 串行模式、主 BPI 并行模式以及主并行模式,如图 3-2 所示。

2. 从模式

在从模式下,FPGA 作为从属器件,由相应的控制电路或微处理器提供配置所需的时序,实现配置数据的下载。从模式也根据比特流的位宽不同分为串、并模式两类,具体包括从串行模式、JTAG 模式和从并行模式 3 大类,其概要说明如图 3-3 所示。

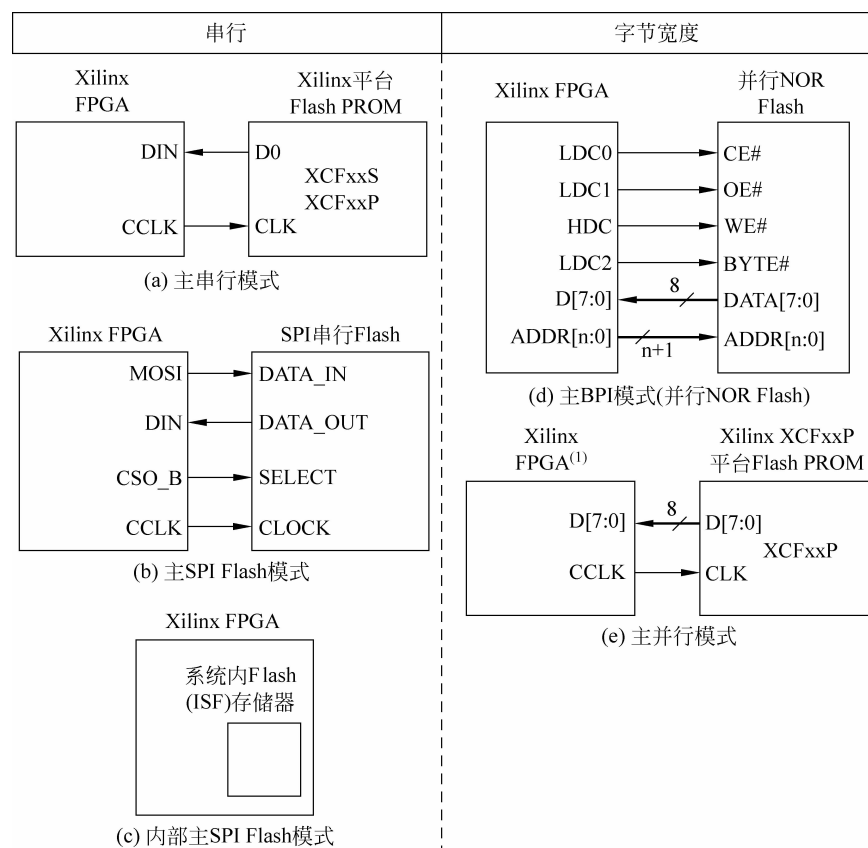


图 3-2 常用主模式下下载方式示意图

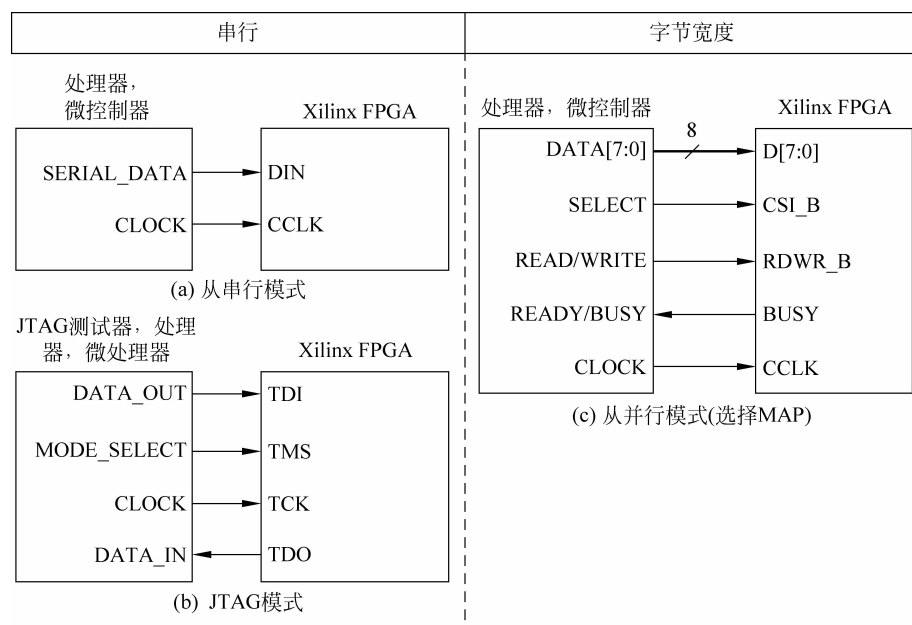


图 3-3 常用的从模式下下载方式示意图

3. JTAG 模式

在 JTAG 模式中,PC 和 FPGA 通信的时钟为 JTAG 接口的 TCLK,数据直接从 TDI 进入 FPGA,完成相应功能的配置。

目前,主流的 FPGA 芯片都支持各类常用的主、从配置模式以及 JTAG,以减少配置电路失配性对整体系统的影响。在主配置模式中,FPGA 自己产生时钟,并从外部存储器中加载配置数据,其位宽可以为单比特或者字节;在从模式中,外部的处理器通过同步串行接口,按照比特或字节宽度将配置数据送入 FPGA 芯片。此外,多片 FPGA 可以通过 JTAG 菊花链的形式共享同一块外部存储器,同样一片/多片 FPGA 也可以从多片外部存储器中读取配置数据以及用户自定义数据。

3.2 JTAG 电路的原理与设计

3.2.1 JTAG 电路的工作原理

1. JTAG 电路简介

JTAG(Joint Test Action Group)即联合测试行动小组。目前,JTAG 已成为一种国际标准测试协议,主要用于各类芯片的内部测试。现在大多数高级器件(包括 FPGA、MCU、DSP 以及 CPU 等)都支持 JTAG 协议。标准的 JTAG 接口是 4 线接口:TMS、TCK、TDI 以及 TDO,分别为模式选择、时钟、数据输入和数据输出信号线。JTAG 电路的功能模块如图 3-4 所示。

JTAG 最初是用来对芯片进行测试的,基本原理是在器件内部定义一个 TAP(Test Access Port,测试访问口)端口,通过专用的 JTAG 测试工具对内部节点进行测试。此外,JTAG 协议允许多个器件通过 JTAG 接口串联在一起,形成一个 JTAG 链,能实现对各个器件分别测试。此外,JTAG 接口还常用于实现 ISP(In-System Programmable,在线编程),对 Flash 等器件进行编程。JTAG 在线编程的特征也改变了传统生产流程,将以前先对芯片进行预编程再装到板上的工艺简化为:先固定器件到电路板上,再用 JTAG 编程,从而大大加快工程进度。

2. JTAG 边界扫描电路

边界扫描测试(Boundary Scan Test,BST)一般采用 4 线接口(在 5 线接口中,有一条为主复位信号),也可以通过 PC 的 RS-232 接口就能模拟 BST 的功能。BST 标准接口是用来对电路板进行测试的,可在器件正常工作时捕获功能数据。器件的边界扫描单元能够迫使逻辑追踪引脚信号,或从器件核心逻辑信号中捕获数据,和预期的结果进行比较,根据比较结果给出扫描状态,以提示用户电路设计是否正确。典型边界扫描测试电路的结构如图 3-5 所示。

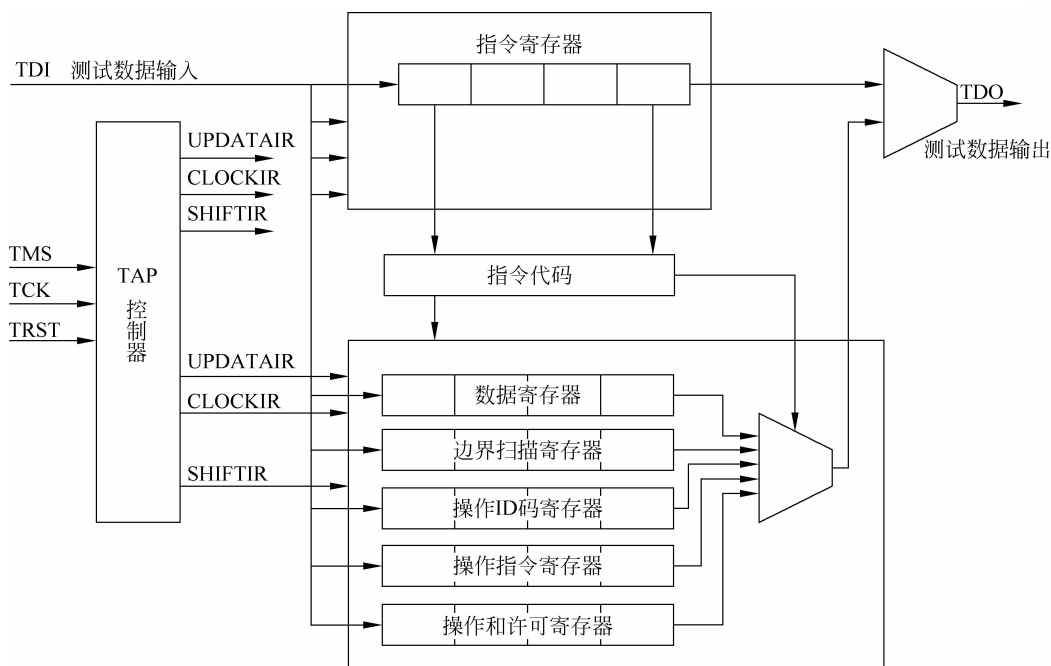


图 3-4 JTAG 电路的内部结构示意图

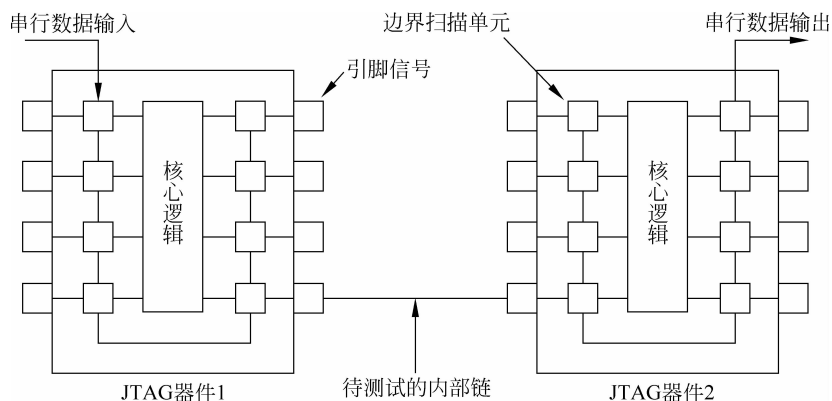


图 3-5 JTAG 链扫描结构示意图

边界扫描测试提供了一个串行扫描路径,遵守 IEEE 规范的器件之间的引脚连接情况。IEEE 1149.1 标准所规定的 BST 结构为:当器件工作在 JTAG BST 模式时,使用 4 个专用的 I/O 引脚和一个可选引脚 TRST 作为 JTAG 引脚。这 4 个专用 I/O 引脚为 TDI、TDO、TMS 和 TCK。所有 JTAG 引脚的核心功能如表 3-3 所示。

3. JTAG 电路时序

JTAG 电路的时序如图 3-6 所示,所有基于 JTAG 的操作都必须同步于 JTAG 时钟信号 TCK。在 TCK 的上升沿读取或输出有效数据,有严格的建立、保持时间要求,且 JTAG 电路追求稳定性,因此一般情况下 JTAG 的时钟不会太高。

表 3-3 JTAG 引脚说明

引脚名	名 称	功 能 描 述
TDI	测试数据输入引脚	JTAG 指令和测试编程数据的输入引脚,数据在 TCK 信号的上升沿时刻读入
TDO	测试数据输出引脚	JTAG 指令和测试编程数据的串行输出引脚,数据在 TCK 信号的下降沿时刻读出;如果数据没有输出,则处于三态
TMS	测试模式选择引脚	该数据引脚是控制信号,它决定了 TAP 控制器的转换;TMS 信号必须在 TCK 上升沿之前建立,在用户状态下 TMS 信号应是高电平
TCK	测试时钟输入引脚	JTAG 链路的时钟信号,直接输入到边界扫描电路;所有操作都在其上升沿或下降沿时刻发生
TRST	测试复位输入引脚	用于异步初始化或复位 JTAG 边界扫描电路,低电平有效

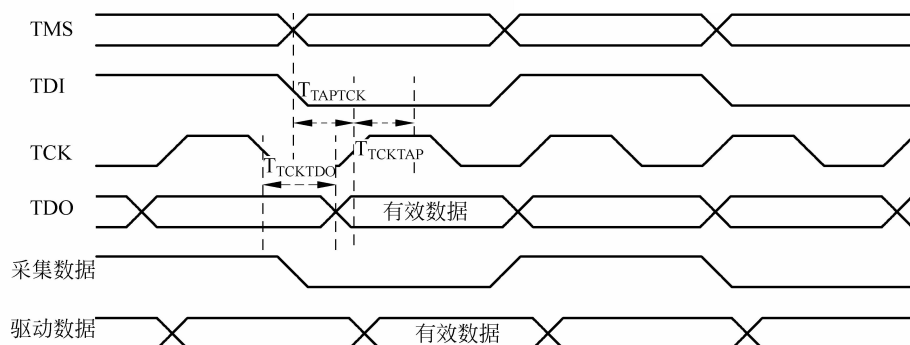


图 3-6 JTAG 电路的时序关系示意图

4. FPGA 芯片中 JTAG 扫描电路的工作流程

JTAG 边界扫描测试由测试访问端口的控制器管理,只要 FPGA 上电后电压正确,且 JTAG 链路完整,则 JTAG 电路可立即正常工作,清空 JTAG 配置寄存器等待外界响应,整体流程如图 3-7 所示。

TMS、TRST 和 TCK 引脚管理 TAP 控制器的操作,TDI 和 TDO 为数据寄存器提供串行通道。TDI 也为指令寄存器提供数据,然后为数据寄存器产生控制逻辑。对于选择寄存器、装载数据、检测和将结果移出的控制信号,由测试时钟(TCK)和测试模式(TMS)选择两个控制信号决定。在 4 线接口标准中,利用 TDI、TDO、TCK、TMS 4 个信号,它们合成为 TAP 测试处理端口(Test Access Port);测试复位信号(TRST,一般以低电平有效)一般作为可选的第 5 个端口信号。

3.2.2 Xilinx JTAG 下载线

下载线一端以 JTAG 的方式和 FPGA/PROM 芯片相连,另一端则通过 USB/并口和计算机相连,为设计人员提供了由 PC 配置 FPGA/PROM 芯片的数据链路。本节介绍

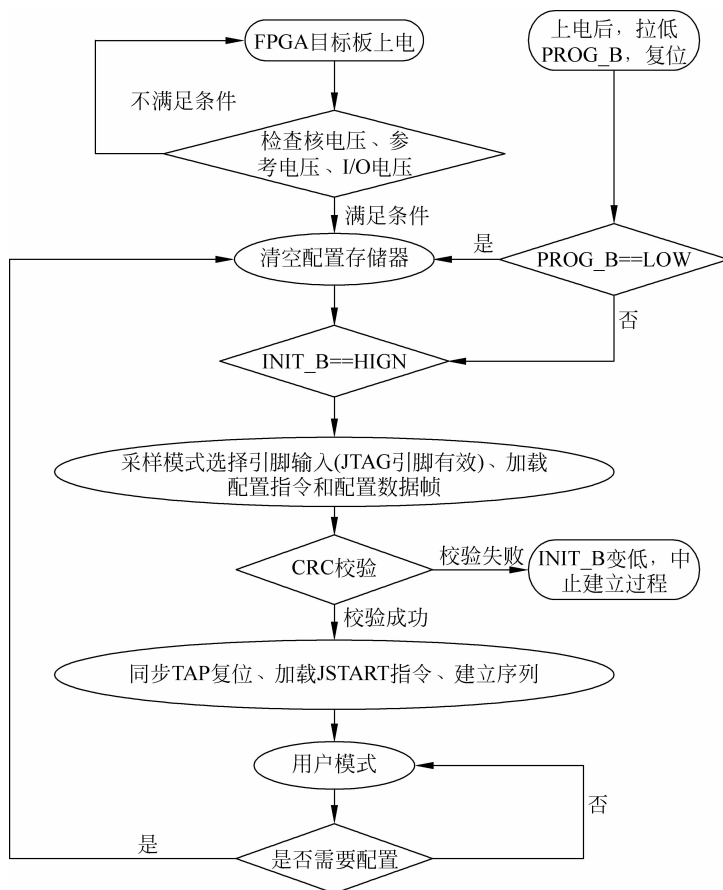


图 3-7 JTAG 边界扫描流程示意图

目前常用的 Xilinx 下载线,以及简易下载线的制作方法。

1. Xilinx 下载线介绍

根据下载线和 PC 连接方式的不同,可以将其分为 USB 下载线和并口下载线两大类。USB 下载线速度快,稳定度高,当然价格也比较昂贵,目前 Xilinx 公司提供的 USB 下载线分为 USB I 和 USB II。并口下载线根据下载速度的不同,可分为 Parallel Cable IV (简称为 PC4)和 Parallel Cable III 两类(简称为 PC3): PC4 可适用于 Xilinx 公司所有芯片,速度比 PC3 快 8 倍,价格大约为 USB I 下载线的 1/3; PC3 采用简单的 EPP 模式,透传式实现,成本低廉,但下载速度缓慢,且不具备配置电压自适应的功能,已经不能用于 Xilinx 公司新型 FPGA 的开发,存在一定的应用局限性。

无论哪种下载线,在 FPGA 端都具有标准的 4 根 JTAG 接口、电源引脚以及地(VCC、GND、TCK、TMS、TDI 和 TDO),共 6 个信号端口,也被称为 JTAG 连接器。也有一种常见的 10 脚 JTAG 连接器,其中多了 1 个 GND 信号以及 3 根悬空信号(NC)。

在实际工程中,有一条性能稳定的下载线,不仅能避免配置错误(如利用 PC3 并口下

载线配置 Spartan-6、Virtex-6 等容量较大的芯片时失败概率非常高),还能提高配置的成功率和时间(在实际中,完整正确的配置电路也不能保证每次配置都成功)。下面对 Xilinx 各种下载线的特点和性能进行简要总结,如表 3-4 所示,供读者参考。

表 3-4 Xilinx 下载线性能的简要总结

	USB 下载线	Parallel Cable IV 下载线	Parallel Cable III 下载线
器件编号	HW-USB-G	HW-PC4	HW-PC3
连接目标	USB 1.1 或 USB 2.0 接口	PC 并口(DB25)	PC 并口(DB25)
支持的 I/O 电压	1.5V、1.8V、2.5V、3.3V、5V	1.5V、1.8V、2.5V、3.3V、5V	3.3V、5V
工作电压需求	USB 总线供电	总线供电或使用外部电源	总线供电
硬件配置模式	支持 Xilinx 全系列配置模式	支持 Xilinx 全系列配置模式	支持 Xilinx 全系列配置模式
支持的操作系统	Windows 2000/XP/Vista/7 Red Hat Enterprise Linux Workstation 3.0&4.0 SUSE Linux 9&10		
支持的芯片	所有的 Xilinx FPGA、CPLD、PROM		
目标最大时钟速率	24Mb/s	5Mb/s	
是否支持在系统编程	支持	支持	支持

2. PC3 并行下载的电路原理图

首先对 PC 的打印接口进行简单介绍。PC 上的打印接口共有 25 根连线(一般也称为 DB25),如图 3-8 所示。其中 18~25 都是地线,因此实际共有 17 根线,分成 3 类: 8 根数据线,可进行数据输出; 5 根状态线,作为输入; 4 根控制线,作为输出。这 3 组线分别由打印口的 3 个寄存控制器控制,即数据口、状态口和控制口。只要对这 3 个寄存器读或写,就可以输入或输出数据。并口下载线主要完成 PC 并口和 FPGA 芯片 JTAG 接口之间的数据适配。Xilinx 公司 PC3 并口下载电缆的原理图是公开的,结构简单,成本低廉,有兴趣的读者完全可以自己动手制作,在电子市场上则一般需要数十元。

下载电缆的接口电路比较简单,简易连接关系见图 3-8,制作时间非常短,半天时间即可。接口电路只完成了电平转换和简单的译码工作,不涉及信号时序的改变。

其中 74HC125 为 Philips 公司生产的 4 输入三态驱动器,用来增强信号强度; LED 用来给出下载信息指示。详细的元件清单如表 3-5 所示。

下载线的供电由电路板供电,即由 JTAG 连接器的 V_{CC} 提供,因此和电路板的距离不能太长,一般为 20cm 左右;和并口连接端可以适当延长,但也不应当超过 1m,一般选择 50cm 左右,否则容易发生下载错误。此外,肖特基二极管应选取低压降的管子,以保证下载线正常工作。