

第5章

时序逻辑电路

本章学习要点

【知识要点】 时序逻辑电路的结构特点、功能特点；时序逻辑电路的分析方法；时序逻辑电路的设计方法；计数器、基本寄存器和移位寄存器等常用时序逻辑电路。

【基本要求】 掌握时序逻辑电路的逻辑表达式(驱动方程、状态方程、输出方程)、状态表、状态图、时序图等功能描述方法；同步时序逻辑电路的分析方法；基于触发器的同步计数器设计、MSI 计数器的逻辑功能及构成任意进制计数器的应用。理解时序逻辑电路的结构特点、功能特点；计数器自启动的概念；异步时序逻辑电路的分析方法；基于逻辑函数修改技术的 N 进制同步计数器设计；基于触发器的移位寄存器型计数器自启动设计。了解计数器的分频、定时等应用；寄存器的分析方法及应用；基于触发器及 MSI 计数器的一般同步时序逻辑电路设计。

【相关知识】 逻辑表达式、真值表及相互转换；逻辑函数的卡诺图化简；时钟触发器的动作特点及特性方程。

5.1 时序逻辑电路概述

5.1.1 时序逻辑电路的特点

时序逻辑电路简称时序电路,结构示意图如图 5.1.1 所示。



图 5.1.1 时序逻辑电路结构示意图

1. 时序逻辑电路的结构特点

在结构上,时序逻辑电路必含有由触发器组成的存储电路,组合逻辑电路部分根据需要设置。

2. 时序逻辑电路的功能特点

在功能上,时序逻辑电路任时刻的输出信号不仅取决于该时刻的输入信号,而且还取决于输入信号作用前电路所处的状态。

5.1.2 时序逻辑电路逻辑功能的描述方法

1. 逻辑表达式

一般有以下三组方程:

① 输出方程 各输出函数的逻辑表达式。向量函数表示为

$$Y = F[X, Q^n] \quad (5.1.1)$$

② 驱动方程 各触发器的驱动输入函数逻辑表达式。向量函数表示为

$$Z = G[X, Q^n] \quad (5.1.2)$$

③ 状态方程 各触发器的次态函数逻辑表达式。向量函数表示为

$$Q^{n+1} = H[Z, Q^n] \quad (5.1.3)$$

式(5.1.1)~式(5.1.3)中, Q^n 为触发器的现态即时序逻辑电路的现态, Q^{n+1} 为触发器的次态即时序逻辑电路的次态。

2. 状态转换表

反映时序逻辑电路由现态到次态的状态转换关系、实现转换所需输入条件及现态输出的真值表,简称状态表。

3. 状态转换图

反映时序逻辑电路由现态到次态的状态转换关系、实现转换所需输入条件及现态输出的图形,简称状态图。

4. 时序图

反映时序逻辑电路在时钟序列脉冲作用下,由现态到次态的状态转换关系、实现转换所需输入条件及现态输出的波形。

5.1.3 时序逻辑电路的分类

1. 按电路中触发器状态变化是否同步划分

① 同步时序逻辑电路 设置统一的时钟,即所有触发器的时钟端都接在同一个时钟脉冲 CP 信号上,各触发器的状态变化发生在同一时刻。

② 异步时序逻辑电路 不设置统一的时钟,即所有触发器的时钟端不都接在同一个时钟脉冲 CP 信号上,各触发器的状态变化有先有后。

2. 按电路中输出信号的特性划分

① Mealy 型时序逻辑电路 输出信号取决于电路的现态和输入信号,其输出方程为 $Y = F[X, Q^n]$ 。

② Moore 型时序逻辑电路 输出信号仅取决于电路的现态,其输出方程为 $Y = F[Q^n]$ 。Moore 型时序逻辑电路是 Mealy 型时序逻辑电路的特例。

3. 按电路的逻辑功能划分

时序逻辑电路有计数器、寄存器及特定功能电路。

5.2 时序逻辑电路的分析方法

5.2.1 时序逻辑电路的分析步骤

求解所给定时序逻辑电路逻辑功能的过程,称为时序逻辑电路的分析。

时序逻辑电路分析的一般步骤如图 5.2.1 所示。

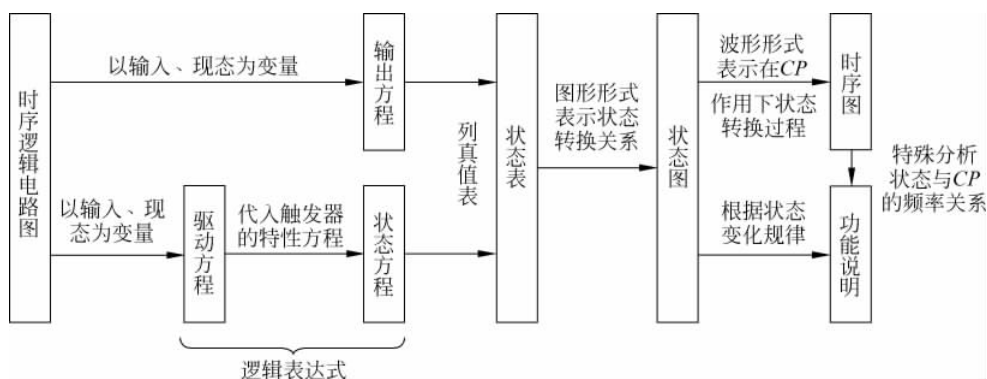


图 5.2.1 时序逻辑电路分析的一般步骤

- 分析的关键是各种功能描述方法的转换及根据状态变化规律进行功能的正确说明。
- 同步时序逻辑电路设置统一的时钟,分析时不需考虑各触发器状态转换的时钟条件,仅在画时序图时画出时钟脉冲 CP 信号的波形。
- 异步时序逻辑电路不设置统一的时钟,分析时需考虑各触发器状态转换的时钟条件。

5.2.2 同步时序逻辑电路分析举例

【例 5.2.1】 试分析图 5.2.2 所示时序逻辑电路的逻辑功能,写出输出方程、驱动方程和状态方程,列出状态表,画出状态图及时序图,说明逻辑功能。 FF_0 、 FF_1 和 FF_2 为三个下

降沿 TTL 触发器,下降沿动作。

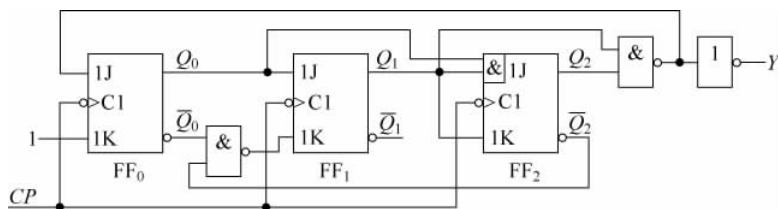


图 5.2.2 例 5.2.1 的时序逻辑电路

【解】 图 5.2.2 所示时序逻辑电路中, FF_0 、 FF_1 和 FF_2 三个触发器从左至右按序排列, 时钟端都接在同一个时钟脉冲 CP 上, 没有外部输入变量, 输出函数 Y 只与状态变量 Q_2 、 Q_1 有关, 为 Moore 型同步时序逻辑电路。

(1) 由给定的时序逻辑电路图写出逻辑表达式:

输出方程

$$Y = \overline{\overline{Q_2 Q_1}} = Q_2 Q_1 \quad (5.2.1)$$

驱动方程

$$\begin{cases} J_2 = Q_1^n Q_0^n, & K_2 = Q_1^n \\ J_1 = Q_0^n, & K_1 = \overline{Q_2^n Q_0^n} \\ J_0 = \overline{Q_2^n Q_1^n}, & K_0 = 1 \end{cases} \quad (5.2.2)$$

将驱动方程代入 JK 触发器的特性方程得状态方程

$$\begin{cases} Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = \overline{Q_2^n} Q_1^n Q_0^n + Q_2^n \overline{Q_1^n} \\ Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_1^n} Q_0^n + Q_2^n Q_1^n \overline{Q_0^n} \\ Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_2^n} \overline{Q_1^n} + \overline{Q_1^n} \overline{Q_0^n} \end{cases} \quad (5.2.3)$$

【注意】 输出方程、状态方程变形为与或式, 便于列写状态表。

(2) 由状态方程及输出方程列出状态表, 如表 5.2.1 所示。

表 5.2.1 例 5.2.1 的状态表

现 态			次 态			输 出
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	0	0	1

列表方法：以输出方程、状态方程中的现态为状态表中的变量、次态及输出为状态表中的函数，据各方程式在每个与项所覆盖的行填写 1 值，重复时只填写一次 1 值，剩余行填写 0 值。

【注意】 状态表中现态、次态等状态量的排列顺序为下标大的高位量在前、下标小的低位量在后。

【理解说明】 表中的每一行表示了电路由现态到次态的状态转换关系以及现态输出情况；在时钟脉冲 CP 作用下进行状态转换， CP 下降沿有效，表中没表示出 CP 。

(3) 由状态表画出状态图，如图 5.2.3 所示。

画图方法：将状态表中每行所表示的状态转换关系用图形形式表示。

(4) 由状态图画出时序图，如图 5.2.4 所示。

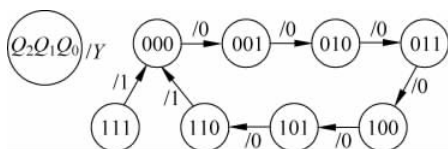


图 5.2.3 例 5.2.1 的状态图

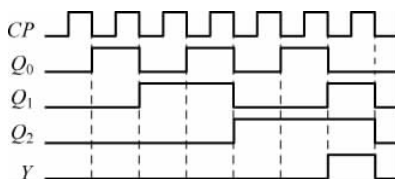


图 5.2.4 例 5.2.1 的时序图

画图方法：画出形成循环的状态在 CP 作用下一个循环周期的波形，由时序逻辑图中触发器的符号确定在时钟脉冲信号 CP 的下降沿改变状态。

(5) 有效状态、有效循环、无效状态、无效循环及自启动功能的概念：

① 有效状态

时序电路中被利用了的状态称为有效状态。如图 5.2.3 所示状态图中 000、001、010、011、100、101、110 等 7 个状态都是被利用了的有效状态。

② 有效状态循环

时序电路中由有效状态形成的循环称为有效循环。如图 5.2.3 所示状态图中的 000、001、010、011、100、101、110 等 7 个状态形成有效循环。

③ 无效状态

时序电路中没被利用的状态称为无效状态。如图 5.2.3 所示状态图中的 111 状态为无效状态。

④ 无效状态循环

时序电路中由无效状态形成的循环称为无效循环。

⑤ 自启动功能

时序电路中的无效状态在时钟脉冲 CP 作用下能直接或间接进入有效状态，称时序电路有自启动功能或能自启动；否则称时序电路没有自启动功能或不能自启动。

如图 5.2.3 所示的状态图中，111 无效状态在时钟脉冲 CP 作用下进入 000 有效状态，因此例 5.2.1 的时序逻辑电路有自启动功能。

(6) 功能说明。

由图 5.2.3 所示的状态图可知，所分析时序逻辑电路有效状态变化的规律为

$$\text{次态} = \text{现态} + 1 (CP \text{ 作用一次})$$

即用状态变化对时钟脉冲 CP 出现的个数进行计数，经历 7 个状态完成一个计数周期

的循环,并产生进位输出信号。

电路为同步七进制加法计数器,有自启动功能。

【例 5.2.2】 试分析图 5.2.5 所示时序逻辑电路的逻辑功能,写出输出方程、驱动方程和状态方程,列出状态表,画出状态图,说明逻辑功能。 FF_0 、 FF_1 为两个维持阻塞 TTL 触发器,上升沿动作。

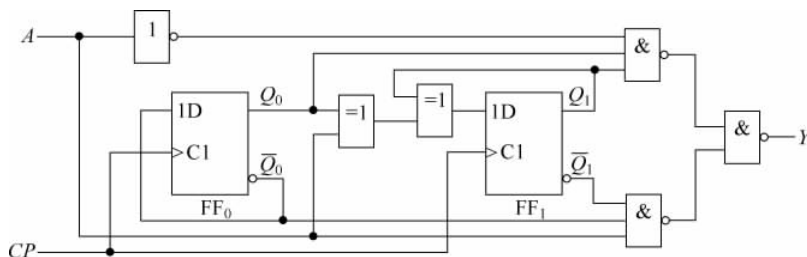


图 5.2.5 例 5.2.2 的时序逻辑电路

【解】 图 5.2.5 所示时序逻辑电路中, FF_0 、 FF_1 两个触发器从左至右按序排列,时钟端都接在同一个时钟脉冲 CP 上,有一个外部输入变量 A ,输出函数 Y 与输入变量 A 及状态变量 Q_1 、 Q_0 有关,为 Mealy 型同步时序逻辑电路。

(1) 由给定的时序逻辑电路图写出逻辑表达式。

输出方程

$$Y = \overline{\overline{A}Q_1^0Q_0^0} \cdot \overline{\overline{A}Q_1^0Q_0^0} = \overline{A}Q_1^0Q_0^0 + A\overline{Q}_1^0\overline{Q}_0^0 \quad (5.2.4)$$

驱动方程

$$\begin{cases} D_1 = A \oplus Q_1^n \oplus Q_0^n \\ D_0 = \overline{Q}_0^n \end{cases} \quad (5.2.5)$$

将驱动方程代入 D 触发器的特性方程得状态方程

$$\begin{cases} Q_1^{n+1} = D_1 = A \oplus Q_1^n \oplus Q_0^n = \overline{A}Q_1^nQ_0^n + \overline{A}Q_1^n\overline{Q}_0^n + A\overline{Q}_1^nQ_0^n + A\overline{Q}_1^n\overline{Q}_0^n \\ Q_0^{n+1} = D_0 = \overline{Q}_0^n \end{cases} \quad (5.2.6)$$

(2) 由状态方程及输出方程列出状态表,如表 5.2.2 所示。

表 5.2.2 例 5.2.2 的状态表

输 入	现 态		次 态		输 出
A	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	1	0	0

【注意】 状态表中输入变量在前、现态变量在后,下标大的高位状态变量在前。

(3) 由状态表画出状态图,如图 5.2.6 所示。

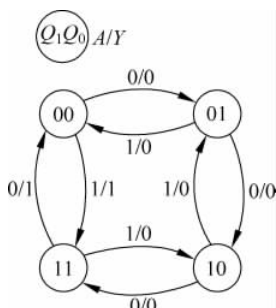


图 5.2.6 例 5.2.2 的状态图

(4) 功能说明:

由图 5.2.6 所示的状态图可知,所分析时序逻辑电路状态变化的规律为

$A=0$ 时,次态 = 现态 + 1 (CP 作用一次)

$A=1$ 时,次态 = 现态 - 1 (CP 作用一次)

$2^2=4$ 个全部状态均用于对时钟脉冲 CP 出现的个数进行加、减法计数,经历 $2^2=4$ 个状态完成一个计数周期的循环,并产生进、借位输出信号。

所分析的时序逻辑电路为同步 2 位二进制可逆计数器, $A=0$ 时进行加法计数, $A=1$ 时进行减法计数。

5.2.3 异步时序逻辑电路分析举例

【例 5.2.3】 试分析图 5.2.7 所示时序逻辑电路的逻辑功能,写出输出方程、驱动方程和状态方程,列出状态表,画出状态图及时序图,说明逻辑功能。

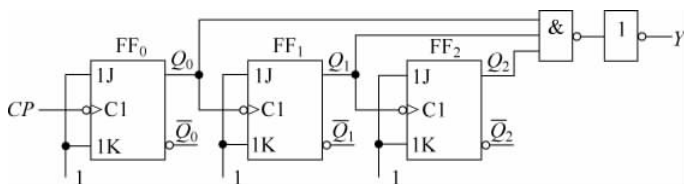


图 5.2.7 例 5.2.3 的时序逻辑电路

【解】 图 5.2.7 所示时序逻辑电路中, FF_0 、 FF_1 和 FF_2 三个触发器从左至右按序排列,时钟端不都接在同一个时钟脉冲 CP 上,没有外部输入变量,输出函数 Y 只与状态变量 Q_2 、 Q_1 、 Q_0 有关,为 Moore 型异步时序逻辑电路。

(1) 由给定的时序逻辑电路图写出逻辑表达式。

输出方程

$$Y = \overline{Q_2 Q_1 Q_0} = \overline{Q_2} \overline{Q_1} \overline{Q_0} \quad (5.2.7)$$

驱动方程

$$\begin{cases} J_2 = K_2 = 1 \\ J_1 = K_1 = 1 \\ J_0 = K_0 = 1 \end{cases} \quad (5.2.8)$$

将驱动方程代入 JK 触发器的特性方程得状态方程,并标注时钟条件有

$$\begin{cases} Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = \overline{Q_2^n} & CP_2 \downarrow = Q_1 \downarrow \text{有效} \\ Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_1^n} & CP_1 \downarrow = Q_0 \downarrow \text{有效} \\ Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_0^n} & CP_0 \downarrow = CP \downarrow \text{有效} \end{cases} \quad (5.2.9)$$

(2) 由状态方程及输出方程列出状态表,如表 5.2.3 所示。

表 5.2.3 例 5.2.3 的状态表

现 态			次 态			输 出	时 钟 条 件		
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y	CP_2	CP_1	CP_0
0	0	0	0	0	1	0	0	↑	↓
0	0	1	0	1	0	0	↑	↓	↓
0	1	0	0	1	1	0	1	↑	↓
0	1	1	1	0	0	0	↓	↓	↓
1	0	0	1	0	1	0	0	↑	↓
1	0	1	1	1	0	0	↑	↓	↓
1	1	0	1	1	1	0	1	↑	↓
1	1	1	0	0	0	1	↓	↓	↓

【说明】 状态表中需列出各触发器的时钟条件；两种方式填表中的次态值：具备时钟条件的触发器按式(5.2.9)所示的状态方程填写次态值，不具备时钟条件的触发器按 $Q_i^{n+1} = Q_i^n$ 的不变关系填写次态值。

(3) 由状态表画出状态图，如图 5.2.8 所示。

(4) 功能说明。

由图 5.2.8 所示的状态图可知，所分析时序逻辑电路状态变化的规律为

次态 = 现态 + 1 (CP 作用一次)

$2^3 = 8$ 个全部状态均用于对时钟脉冲 CP 出现的个数进行加法计数，经历 $2^3 = 8$ 个状态完成一个计数周期的循环，并产生进位输出信号。

所分析的时序逻辑电路为异步 3 位二进制加法计数器。

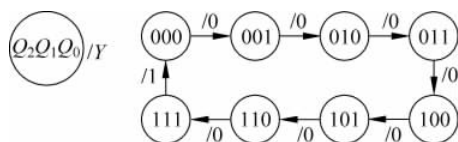


图 5.2.8 例 5.2.3 的状态图

5.3 常用时序逻辑电路

5.3.1 寄存器和移位寄存器

寄存器是用来暂时存放二进制数据信息的逻辑记忆电路，是计算机及接口技术的一种重要部件。

寄存器由具有存储记忆功能的触发器和控制接收数据的控制门构成，触发器的个数等于所存储二进制数据信息的位数。

按寄存功能不同，寄存器分为基本寄存器和移位寄存器。

1. 基本寄存器

基本寄存器只有数据信息并行输入、并行输出功能。

图 5.3.1 所示为 D 触发器构成的 4 位基本寄存器 74LS175 的逻辑图。其中， $D_0 \sim D_3$ 为数据并行输入端， $Q_0 \sim Q_3$ 为数据并行输出端， $\bar{Q}_0 \sim \bar{Q}_3$ 为反码数据并行输出端，CP 为时

钟脉冲输入端, $\overline{CR}$ 为异步清零端。

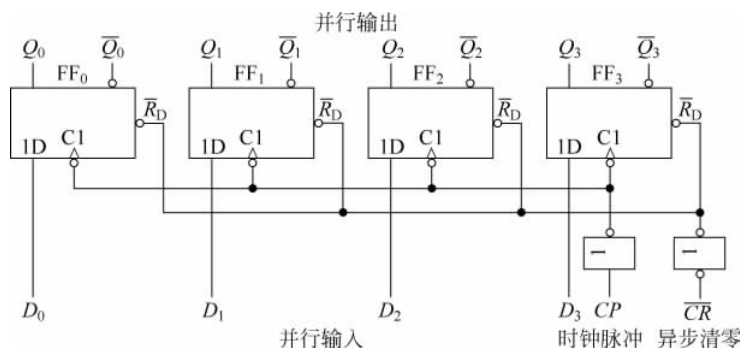


图 5.3.1 4 位基本寄存器 74LS175 的逻辑图

工作原理如下。

$\overline{CR}=0$ 时, 进行异步清零, 使 4 个触发器都复位为 0 状态。

$\overline{CR}=1$ 时, 一个 CP 上升沿作用下接收并行输入的数据, 使

$$\begin{cases} Q_0^{n+1} = D_0 \\ Q_1^{n+1} = D_1 \\ Q_2^{n+1} = D_2 \\ Q_3^{n+1} = D_3 \end{cases} \quad (5.3.1)$$

将数据 $D_0 \sim D_3$ 存入寄存器。

$\overline{CR}=1$ 、CP 上升沿以外期间, 寄存器保持所存储的内容不变。

基本寄存器还可由其他类型的触发器构成。

2. 移位寄存器

移位寄存器可以串行输入、输出及并行输入、输出数据信息, 在移位脉冲 CP 的作用下可使数据依次逐位右移或左移。

具有单向移位功能的寄存器称为单向移位寄存器, 既可右移又可左移的寄存器称为双向移位寄存器。

1) 单向移位寄存器

图 5.3.2 所示为由 D 触发器构成的 4 位右移移位寄存器的逻辑图, 前级触发器的状态输出端 Q 接到相邻下一级触发器的数据输入端 D。

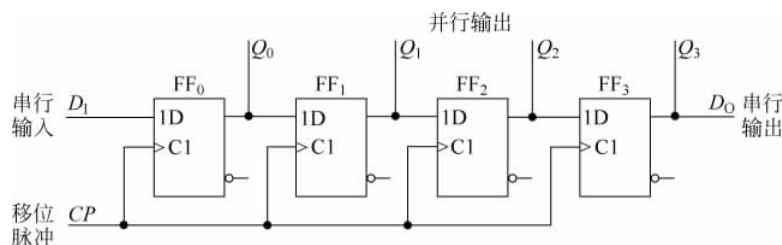


图 5.3.2 D 触发器构成 4 位右移移位寄存器的逻辑图

D_1 为数据串行输入端, $Q_0 \sim Q_3$ 为数据并行输出端, D_0 为数据串行输出端。

工作原理如下。

驱动方程

$$\begin{cases} D_0 = D_1 \\ D_1 = Q_0^n \\ D_2 = Q_1^n \\ D_3 = Q_2^n \end{cases} \quad (5.3.2)$$

状态方程

$$\begin{cases} Q_0^{n+1} = D_0 = D_1 \\ Q_1^{n+1} = D_1 = Q_0^n \\ Q_2^{n+1} = D_2 = Q_1^n \\ Q_3^{n+1} = D_3 = Q_2^n \end{cases} \quad (5.3.3)$$

由状态方程可知,每作用一个时钟脉冲 CP 接收一位数据代码并依次右移一位,4 个时钟脉冲 CP 作用后完成串行输入,可从 $Q_0 \sim Q_3$ 端并行输出,再继续作用时钟脉冲 CP 可从 Q_3 端即 D_0 端串行输出。

图 5.3.3 所示为由 JK 触发器构成 4 位右移移位寄存器的逻辑图。图中每个 JK 触发器的 J 与 K 输入端相反都接成 D 触发器的形式,该电路与图 5.3.2 电路具有相同的功能。

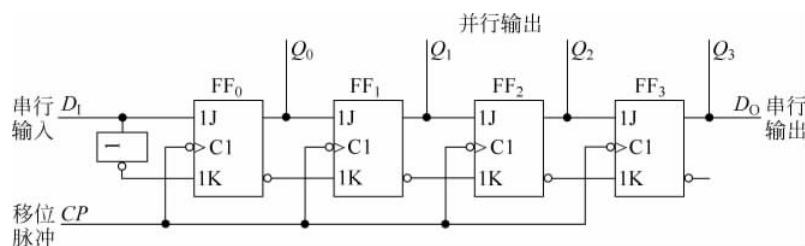


图 5.3.3 JK 触发器构成 4 位右移移位寄存器的逻辑图

2) 集成双向移位寄存器

图 5.3.4 所示为集成 4 位双向移位寄存器 74LS194 的图形符号。

其中: S_1 、 S_0 为工作方式控制端, $D_0 \sim D_3$ 为数据并行输入端, D_{IL} 为数据左移串行输入端, D_{IR} 为数据右移串行输入端, $Q_0 \sim Q_3$ 为数据并行输出端, CP 为时钟脉冲输入端, $\overline{CR}$ 为异步清零端。

74LS194 移位寄存器芯片有下述特点。

- ① 具有 4 位并行输入、串行输入和并行输出结构;
- ② 有直接清零端 $\overline{CR}$, 当 $\overline{CR}=0$ 时寄存器清零;
- ③ 具有保持、右移、左移和并行输入等 4 种功能;
- ④ 时钟脉冲上升沿触发。

74LS194 的状态表如表 5.3.1 所示。

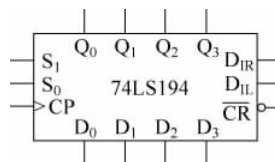


图 5.3.4 74LS194 的图形符号

表 5.3.1 集成 4 位双向移位寄存器 74LS194 的状态表

输 入										输 出				逻辑 功能
$\overline{CR}$	S_1	S_0	CP	D_{IL}	D_{IR}	D_0	D_1	D_2	D_3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	
0	×	×	×	×	×	×	×	×	×	0	0	0	0	置 零
1	0	0	×	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n	保 持
1	0	1	↑	×	d_{IR}	×	×	×	×	d_{IR}	Q_0^n	Q_1^n	Q_2^n	右 移
1	1	0	↑	d_{IL}	×	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	d_{IL}	左 移
1	1	1	↑	×	×	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3	并行输入

5.3.2 计数器

计数器是用电路的状态变化累计时钟脉冲 CP 作用个数的时序逻辑电路,此外还有定时、分频及数字运算等功能,是数字系统中用途最广泛的基本部件。

计数器由具有存储记忆功能的触发器构成, n 个触发器共有 2^n 个状态,可用其中的部分状态或全部状态进行计数。

计数器有如下几种类型。

(1) 按计数时钟脉冲输入方式分类

① 同步计数器 计数时钟脉冲 CP 接至所有触发器的时钟端,使应改变状态的触发器同时改变状态;

② 异步计数器 计数时钟脉冲 CP 不接至所有触发器的时钟端,使应改变状态的触发器不同时改变状态。

(2) 按模数 N 分类

计数器计数时所经历循环变化的有效状态数称为模数 N 。

① 二进制计数器 由 n 个触发器组成,模数 $N=2^n$,没有无效状态;

② 十进制计数器 由 4 个触发器组成,模数 $N=10$,有 6 个无效状态;

③ 非二进制计数器 由 n 个触发器组成,模数 $N < 2^n$,有 $2^n - N$ 个无效状态。

(3) 按计数增减规律分类

① 加法计数器 递增规律计数;

② 减法计数器 递减规律计数;

③ 可逆计数器 可加可减计数;

④ 特殊编码规律计数器。

(4) 按电路的集成度分类

① 小规模计数器 由若干个集成触发器和门电路经外部连接构成某种类型的计数器;

② 中规模集成计数器 一般由 4 个触发器和若干个门电路经内部连接集成在一块硅片上,计数功能比较完善并能扩展。

1. 同步计数器

1) 同步二进制计数器

(1) 由 JK 触发器构成的 3 位同步二进制加法计数器如图 5.3.5 所示。

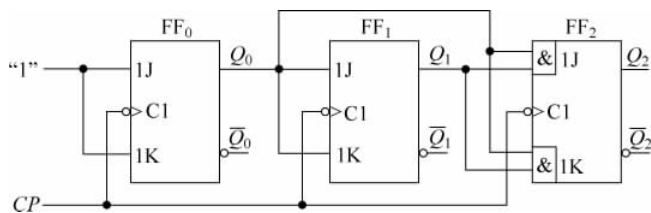


图 5.3.5 3 位同步二进制加法计数器的逻辑图

各触发器的时钟端接至同一个时钟脉冲 CP 上,驱动方程表明了触发器之间的连接规律为

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0^n \\ J_2 = K_2 = Q_1^n Q_0^n \end{cases} \quad (5.3.4)$$

可推论得到

$$J_i = K_i = Q_{i-1}^n Q_{i-2}^n \cdots Q_1^n Q_0^n = \prod_{j=0}^{i-1} Q_j^n \quad (5.3.5)$$

按时序逻辑电路的分析方法,可得如表 5.3.2 所示的状态表、如图 5.3.6 所示的时序图。

表 5.3.2 3 位同步二进制加法计数器的状态表

现 态			次 态		
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

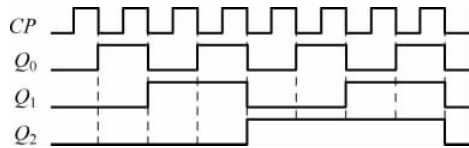


图 5.3.6 3 位同步二进制加法计数器的时序图

(2) 由 JK 触发器构成的 3 位同步二进制减法计数器如图 5.3.7 所示。

各触发器的时钟端接至同一个时钟脉冲 CP 上,驱动方程表明了触发器之间的连接规律为

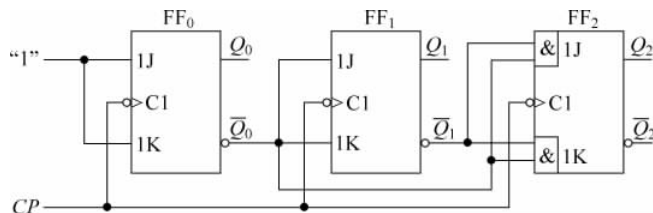


图 5.3.7 3 位同步二进制减法计数器的逻辑图

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = \bar{Q}_0^n \\ J_2 = K_2 = \bar{Q}_1^n \bar{Q}_0^n \end{cases} \quad (5.3.6)$$

可推论得到

$$J_i = K_i = \bar{Q}_{i-1}^n \bar{Q}_{i-2}^n \cdots \bar{Q}_1^n \bar{Q}_0^n = \prod_{j=0}^{i-1} \bar{Q}_j^n \quad (5.3.7)$$

按时序逻辑电路的分析方法,可得如表 5.3.3 所示的状态表、如图 5.3.8 所示的时序图。

表 5.3.3 3 位同步二进制减法计数器的状态表

现 态			次 态		
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	1	1	1
0	0	1	0	0	0
0	1	0	0	0	1
0	1	1	0	1	0
1	0	0	0	1	1
1	0	1	1	0	0
1	1	0	1	0	1
1	1	1	1	1	0

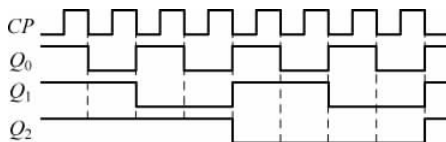


图 5.3.8 3 位同步二进制减法计数器的时序图

由图 5.3.6、图 5.3.8 所示的时序图可知, Q_0 的频率为时钟 CP 频率的 $1/2$ (二分频), Q_1 的频率为时钟 CP 频率的 $1/4$ (四分频), Q_2 的频率为时钟 CP 频率的 $1/8$ (八分频)。表明二进制计数器具有分频功能。

2. 同步十进制计数器

由 JK 触发器构成的同步十进制加法计数器如图 5.3.9 所示。

3) 集成同步可预置数 4 位二进制/十进制计数器 74LS161/160

集成同步可预置数 4 位二进制/十进制计数器 74LS161/160 是典型的常用中规模集成计数器。

图 5.3.11 所示为 74LS161/160 的图形符号。其中: EP 、 ET 为工作方式控制端, $\overline{LD}$ 为预置数控制端, $D_3 \sim D_0$ 为预置数输入端, CP 为计数时钟脉冲输入端, $\overline{CR}$ 为异步清零端, $Q_3 \sim Q_0$ 为状态输出端, C 为进位输出端。

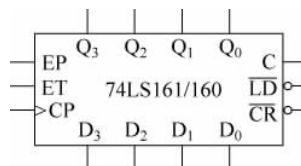


图 5.3.11 集成计数器 74LS161/160 的图形符号

对 4 位二进制计数器 74LS161 而言, $C=1$ 出现在 1111 状态, 在返回 0000 状态时消失; 对十进制计数器 74LS160 而言, $C=1$ 出现在 1001 状态, 在返回 0000 状态时消失。

表 5.3.5 所示为 74LS161/160 的状态表。

表 5.3.5 集成计数器 74LS161/160 的状态表

输 入									输 出				逻辑 功能
$\overline{CR}$	$\overline{LD}$	EP	ET	CP	D_3	D_2	D_1	D_0	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	
0	×	×	×	×	×	×	×	×	0	0	0	0	置 零
1	0	×	×	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	预置数
1	1	1	1	↑	×	×	×	×	计		数		计 数
1	1	0	×	×	×	×	×	×	保		持		保 持
1	1	×	0	×	×	×	×	×	保		持		保 持

由表 5.3.5 可知, 集成计数器 74LS161/160 具有下列功能。

① 异步清零功能

当 $\overline{CR}=0$ 时, 使 $Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}=0000$, 计数器清零。

② 同步并行预置数功能

当 $\overline{CR}=1$ 、 $\overline{LD}=0$ 时, CP 上升作用下并行预置输入数据 $d_3d_2d_1d_0$ 进入计数器, 使 $Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}=d_3d_2d_1d_0$ 。

③ 加法计数功能

当 $\overline{CR}=1$ 、 $\overline{LD}=1$ 、 $EP=ET=1$ 时, CP 作用下计数器按二进制数/十进制数规律加法计数。

④ 保持功能

当 $\overline{CR}=1$ 、 $\overline{LD}=1$ 时, 计数器保持原状态不变。若 $ET=0$, 则进位输出 $C=0$; 若 $ET=1$, 则进位输出 $C=Q_3^nQ_2^nQ_1^nQ_0^n/Q_3^nQ_0^n$ 。

2. 异步计数器

1) 异步二进制计数器

异步二进制计数器必须满足下列构成条件。

- 最低位触发器, 每接收一个输入计数脉冲翻转一次。

- 最低位以外的触发器,每当接收相邻低位触发器送来的进位或借位信号就翻转一次。

加法计数器:当触发器由 1 态变 0 态时向高位进位,该触发器 Q 端的负向脉冲(或 $\bar{Q}$ 端的正向脉冲)作为进位信号。对于上升沿触发器,其 CP 端应接相邻低位触发器的 $\bar{Q}$ 端;对于下降沿触发器,其 CP 端应接相邻低位触发器的 Q 端。

减法计数器:当触发器由 0 态变 1 态时向高位借位,该触发器 Q 端的正向脉冲(或 $\bar{Q}$ 端的负向脉冲)作为借位信号。对于上升沿触发器,其 CP 端应接相邻低位触发器的 Q 端;对于下降沿触发器,其 CP 端应接相邻低位触发器的 $\bar{Q}$ 端。

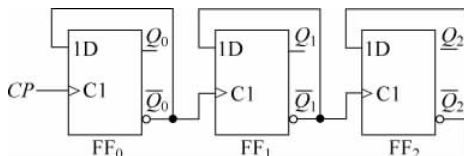


图 5.3.12 上升沿触发的 3 位异步二进制加法计数器

- 计数器中的触发器均构成 T' 触发器。

(1) 上升沿触发的异步二进制加法计数器

由上升沿 D 触发器构成的 3 位异步二进制加法计数器如图 5.3.12 所示。

按时序逻辑电路的分析方法,可得如表 5.3.6 所示的状态表。

表 5.3.6 上升沿触发的 3 位异步二进制加法计数器的状态表

现 态			次 态			时 钟 条 件		
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CP_2	CP_1	CP_0
0	0	0	0	0	1	1	↓	↑
0	0	1	0	1	0	↓	↑	↑
0	1	0	0	1	1	0	↓	↑
0	1	1	1	0	0	↑	↑	↑
1	0	0	1	0	1	1	↓	↑
1	0	1	1	1	0	↓	↑	↑
1	1	0	1	1	1	0	↓	↑
1	1	1	0	0	0	↑	↑	↑

(2) 下降沿触发的异步二进制加法计数器

由下降沿 JK 触发器构成的 3 位异步二进制加法计数器如图 5.3.13 所示。

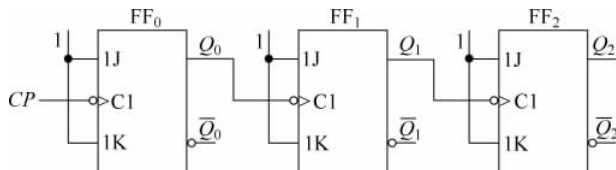


图 5.3.13 下降沿触发的 3 位异步二进制加法计数器

按时序逻辑电路的分析方法,可得如表 5.3.7 所示的状态表。

(3) 上升沿触发的异步二进制减法计数器

由上升沿 D 触发器构成的 3 位异步二进制减法计数器如图 5.3.14 所示。

按时序逻辑电路的分析方法,可得如表 5.3.8 所示的状态表。

表 5.3.7 下降沿触发的 3 位异步二进制加法计数器的状态表

现 态			次 态			时 钟 条 件		
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CP_2	CP_1	CP_0
0	0	0	0	0	1	0	↑	↓
0	0	1	0	1	0	↑	↓	↓
0	1	0	0	1	1	1	↑	↓
0	1	1	1	0	0	↓	↓	↓
1	0	0	1	0	1	0	↑	↓
1	0	1	1	1	0	↑	↓	↓
1	1	0	1	1	1	1	↑	↓
1	1	1	0	0	0	↓	↓	↓

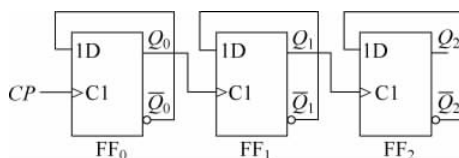


图 5.3.14 上升沿触发的 3 位异步二进制减法计数器

表 5.3.8 上升沿触发的 3 位异步二进制减法计数器的状态表

现 态			次 态			时 钟 条 件		
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CP_2	CP_1	CP_0
0	0	0	1	1	1	↑	↑	↑
0	0	1	0	0	0	0	↓	↑
0	1	0	0	0	1	↓	↑	↑
0	1	1	0	1	0	1	↓	↑
1	0	0	0	1	1	↑	↑	↑
1	0	1	1	0	0	0	↓	↑
1	1	0	1	0	1	↓	↑	↑
1	1	1	1	1	0	1	↓	↑

(4) 下降沿触发的异步二进制减法计数器

由下降沿 JK 触发器构成的 3 位异步二进制减法计数器如图 5.3.15 所示。

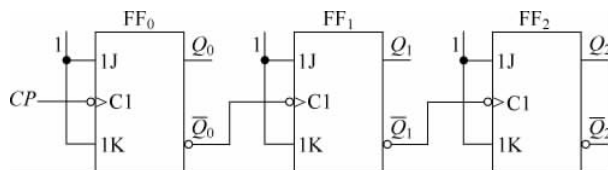


图 5.3.15 下降沿触发的 3 位异步二进制减法计数器

按时序逻辑电路的分析方法,可得如表 5.3.9 所示的状态表。

2) 异步十进制计数器

由下降沿 JK 触发器构成的异步十进制加法计数器如图 5.3.16 所示。

表 5.3.9 下降沿触发的 3 位异步二进制减法计数器的状态表

现 态			次 态			时 钟 条 件		
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CP_2	CP_1	CP_0
0	0	0	1	1	1	↓	↓	↓
0	0	1	0	0	0	1	↑	↓
0	1	0	0	0	1	↑	↓	↓
0	1	1	0	1	0	0	↑	↓
1	0	0	0	1	1	↓	↓	↓
1	0	1	1	0	0	1	↑	↓
1	1	0	1	0	1	↑	↓	↓
1	1	1	1	1	0	0	↑	↓

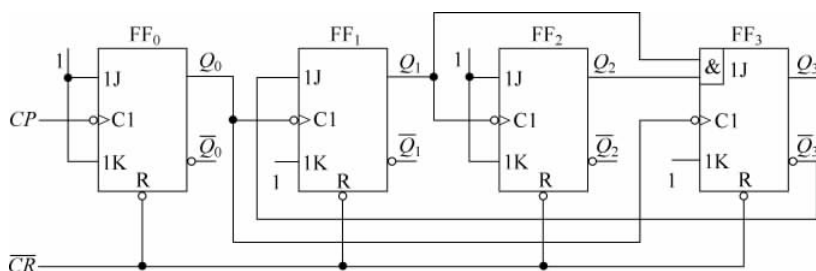


图 5.3.16 下降沿触发的异步十进制加法计数器

按时序逻辑电路的分析方法,可得如表 5.3.10 所示的状态表、如图 5.3.17 所示的状态图。

表 5.3.10 下降沿触发的十进制加法计数器的状态表

现 态				次 态				时 钟 条 件			
Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CP_3	CP_2	CP_1	CP_0
0	0	0	0	0	0	0	1	↑	0	↑	↓
0	0	0	1	0	0	1	0	↓	↑	↓	↓
0	0	1	0	0	0	1	1	↑	1	↑	↓
0	0	1	1	0	1	0	0	↓	↓	↓	↓
0	1	0	0	0	1	0	1	↑	0	↑	↓
0	1	0	1	0	1	1	0	↓	↑	↓	↓
0	1	1	0	0	1	1	1	↑	1	↑	↓
0	1	1	1	1	0	0	0	↓	↓	↓	↓
1	0	0	0	1	0	0	1	↑	0	↑	↓
1	0	0	1	0	0	0	0	↓	0	↓	↓
1	0	1	0	1	0	1	1	↑	1	↑	↓
1	0	1	1	0	1	0	0	↓	↓	↓	↓
1	1	0	0	1	1	0	1	↑	0	↑	↓
1	1	0	1	0	1	0	0	↓	0	↓	↓
1	1	1	0	1	1	1	1	↑	1	↑	↓
1	1	1	1	0	0	0	0	↓	↓	↓	↓

图 5.3.17 所示的状态图表明,该计数器有自启动功能。

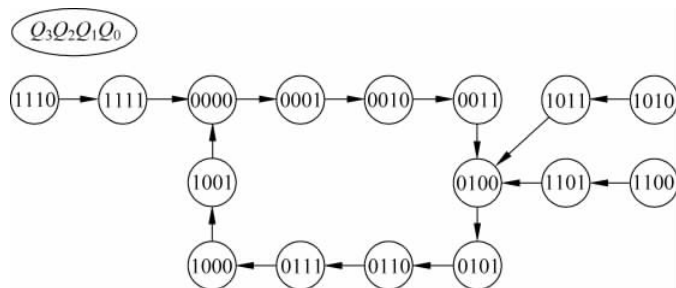


图 5.3.17 异步十进制加法计数器的状态图

3. 移位寄存器型计数器

移位寄存器型计数器是以移位寄存器为主体构成的同步计数器,将移位寄存器的状态输出量以一定方式反馈到串行输入端而构成,其状态转换规律具有移位、反馈循环的特征。

移位寄存器型计数器分为环形计数器和扭环形计数器两种结构。

1) 环形计数器

图 5.3.18 所示电路为用上升沿 D 触发器构成的 3 位环形计数器,构成形式是将 3 位右移移位寄存器的串行输出端反馈到串行输入端。

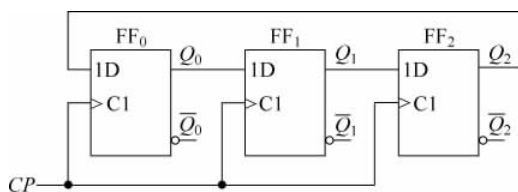


图 5.3.18 3 位环形计数器

分析电路的逻辑功能可得状态方程为

$$\begin{cases} Q_0^{n+1} = D_0 = Q_2^n \\ Q_1^{n+1} = D_1 = Q_0^n \\ Q_2^{n+1} = D_2 = Q_1^n \end{cases} \quad (5.3.8)$$

式(5.3.8)表明,电路按右移移位、反馈循环的规律进行状态转换。

图 5.3.18 所示电路的状态图如图 5.3.19 所示。

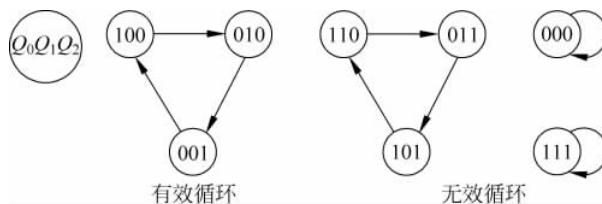


图 5.3.19 3 位环形计数器的状态图

【注意】 环形计数器在时钟脉冲 CP 作用下的状态转换过程以右移移位、反馈循环方式进行,因此状态图中现态、次态等状态变量的排列顺序与逻辑图中触发器的排列顺序相同。

对环形计数器中任何一位触发器的驱动函数进行修改,可解决电路的自启动问题。

图 5.3.20 所示电路为用上升沿 D 触发器构成的能自启动的 3 位环形计数器,其状态图如图 5.3.21 所示。

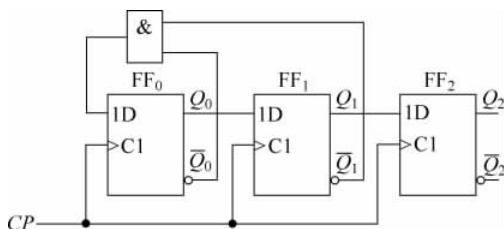


图 5.3.20 自启动 3 位环形计数器

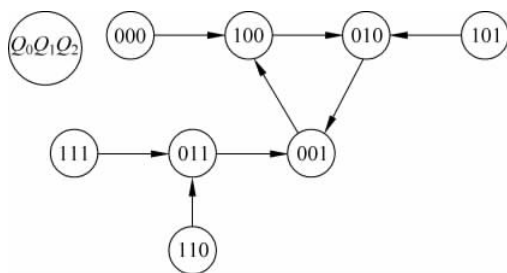


图 5.3.21 自启动 3 位环形计数器的状态图

环形计数器有如下特点:

- ① n 个触发器构成时,有 n 个有效状态、 $2^n - n$ 个无效状态;
- ② 计数时一个 1 依次按位循环。

2) 扭环形计数器

图 5.3.22 所示电路为用上升沿 D 触发器构成的 3 位扭环形计数器,构成形式是将 3 位右移移位寄存器的串行反相输出端反馈到串行输入端。

分析电路的逻辑功能可得状态方程为

$$\begin{cases} Q_0^{n+1} = D_0 = \bar{Q}_2^n \\ Q_1^{n+1} = D_1 = Q_0^n \\ Q_2^{n+1} = D_2 = Q_1^n \end{cases} \quad (5.3.9)$$

式(5.3.9)表明,电路按右移移位、取反反馈循环的规律进行状态转换。

图 5.3.22 所示电路的状态图如图 5.3.23 所示。

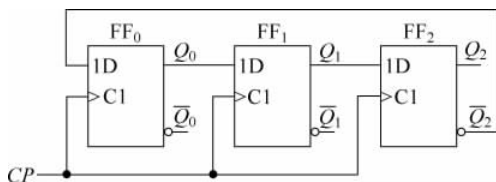


图 5.3.22 3 位扭环形计数器

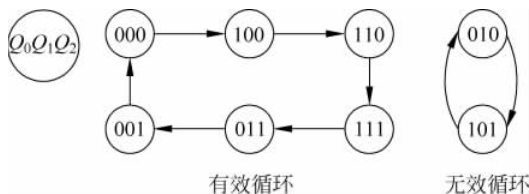


图 5.3.23 3 位扭环形计数器的状态图

【说明】 扭环形计数器在时钟脉冲 CP 作用下的状态转换过程以右移移位、反相反馈循环方式进行,因此状态图中现态、次态等状态变量的排列顺序与逻辑图中触发器的排列顺序相同。

对扭环形计数器中任何一位触发器的驱动函数进行修改,可解决电路的自启动问题。

图 5.3.24 所示电路为用上升沿 D 触发器构成的能自启动的 3 位扭环形计数器,其状态图如图 5.3.25 所示。

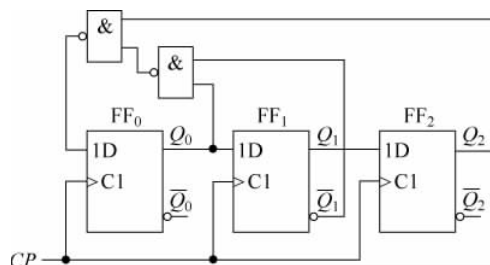


图 5.3.24 自启动 3 位扭环形计数器

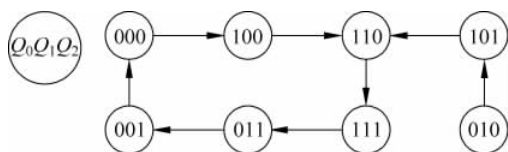


图 5.3.25 自启动 3 位扭环形计数器的状态图

扭环形计数器的特点如下：

- ① n 个触发器构成时,有 2^n 个有效状态、 $2^n - 2^n$ 个无效状态；
- ② 计数时,每次状态转换只有一位触发器的状态发生变化。

4. 其他典型集成计数器简介

在 MSI 器件中,计数器的型号很多,如二-五-十进制异步计数器 74LS290、单时钟同步可逆计数器 74LS191、双时钟同步可逆计数器 74LS193 等,可查阅有关文献。

5.4 时序逻辑电路的设计方法

根据给定的功能要求,求时序逻辑电路的过程称为时序逻辑电路设计。

设计时序逻辑电路时,常用 JK 触发器或 D 触发器。

5.4.1 基于触发器的同步计数器设计

设计的一般步骤如图 5.4.1 所示。

- 按式 $N \leq 2^n$ 确定触发器个数时, n 取最小正整数。
- 非二进制计数时需进行自启动检查,若能自启动则不需修改驱动方程；二进制计数时没有无效状态,不需自启动检查。
- 设计的关键是求触发器的驱动方程、输出方程及驱动方程的自启动修改。

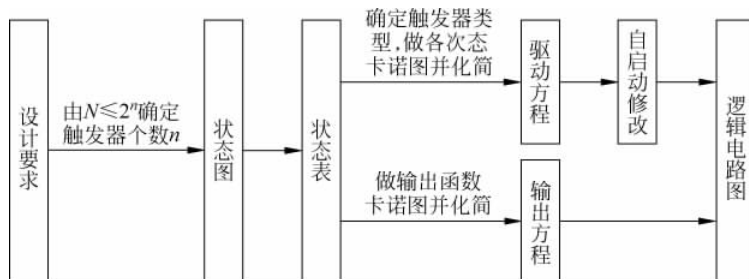


图 5.4.1 基于触发器的同步计数器设计的一般步骤

1. 触发器最简驱动方程的次态卡诺图求解方法及电路自启动设计

1) JK 触发器最简驱动方程的次态卡诺图求解

电路中第 i 个 JK 触发器的特性方程为

$$Q_i^{n+1} = J_i \bar{Q}_i^n + \bar{K}_i Q_i^n \quad (5.4.1)$$

分析式(5.4.1)得第 i 个触发器的驱动函数 J_i 、 K_i 和次态函数 Q_i^{n+1} 的关系为

$$\begin{cases} J_i = Q_i^{n+1} |_{Q_i^n=0} \\ K_i = \bar{Q}_i^{n+1} |_{Q_i^n=1} \end{cases} \quad (5.4.2)$$

式(5.4.2)表明触发器的驱动函数和次态函数有确定的关系,次态函数 Q_i^{n+1} 的卡诺图中 $Q_i^n=0$ 区域的次态表示驱动函数 J_i 、 $Q_i^n=1$ 区域的次态取反后表示驱动函数 K_i 。

所设计的时序逻辑电路有冗余无效状态时,无效状态作为无关项处理。

由式(5.4.2),在次态函数 Q_i^{n+1} 卡诺图的 $Q_i^n=0$ 区域圈 1 格画包围圈求解驱动方程 J_i ,圈入包围圈的无关项其次态被确定为 1 值,没圈入包围圈的无关项其次态被确定为 0 值。

由式(5.4.2),在次态函数 Q_i^{n+1} 卡诺图的 $Q_i^n=1$ 区域圈 0 格画包围圈求解驱动方程 K_i ,圈入包围圈的无关项其次态被确定为 0 值,没圈入包围圈的无关项其次态被确定为 1 值。

2) D 触发器最简驱动方程的次态卡诺图求解

电路中第 i 个 D 触发器的特性方程为

$$Q_i^{n+1} = D_i \quad (5.4.3)$$

分析式(5.4.1),得第 i 个触发器的驱动函数 D_i 和次态函数 Q_i^{n+1} 的关系为

$$D_i = Q_i^{n+1} \quad (5.4.4)$$

由式(5.4.4)表明,D 触发器的驱动函数和次态函数相同。

所设计的时序逻辑电路有冗余无效状态时,无效状态作为无关项处理。

由式(5.4.4),在次态函数 Q_i^{n+1} 卡诺图圈 1 格画包围圈求解驱动方程 D_i ,圈入包围圈的无关项其次态被确定为 1 值,没圈入包围圈的无关项其次态被确定为 0 值。

3) 自启动驱动方程修改

根据各无关项被确定的次态值可直接检查自启动情况,若不能自启动,需修改求 J_i 、 K_i 或 D_i 驱动方程包围圈的圈法改变对某些无关项赋予的次态值,将无关项直接或间接引导到有效状态。

修改的原则是兼顾状态转换关系能自启动和驱动方程最简的要求,在能自启动的前提下应尽量减少被修改的无关项和修改位。

2. 设计举例

【例 5.4.1】 用 JK 触发器设计一个按自然数序计数的同步六进制计数器。

【解】 (1) 由 $N \leq 2^n$ 确定所用触发器个数。

因 $N=6, 2^3 > 6$, 所以所用触发器个数 $n=3$ 。

(2) 由自然数序计数要求,做出状态图如图 5.4.2 所示。

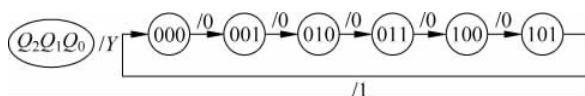


图 5.4.2 例 5.4.1 的状态图

(3) 状态表。

由状态图转换成状态表如表 5.4.1 所示。其中,有效状态以外的 2 个无效状态 110 和 111 在设计电路时作为无关项处理。

表 5.4.1 例 5.4.1 的状态表

现 态			次 态			输 出
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	0	0	0	1
1	1	0	×	×	×	×
1	1	1	×	×	×	×

(4) 做各触发器的次态卡诺图及输出函数卡诺图,化简求驱动方程、输出方程及检查自启动。

由状态表转换成各触发器的次态卡诺图及输出函数卡诺图如图 5.4.3 所示。

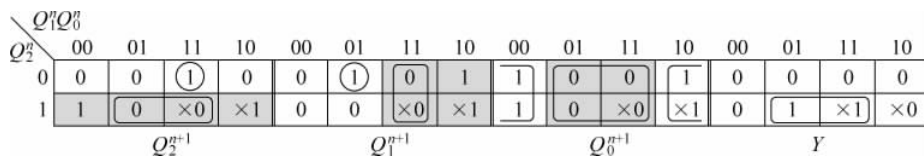


图 5.4.3 例 5.4.1 的各触发器次态卡诺图、输出函数卡诺图及化简

在图 5.4.3 所示各次态函数卡诺图中划分出 $Q_2^n=0$ 区域、 $Q_1^n=1$ 区域(阴影区域),在 $Q_2^n=0$ 区域画求 J_i 的包围圈、 $Q_1^n=1$ 区域画求 K_i 的包围圈,并在 $\times$ 的右侧标注无关项的赋值;在图 5.4.3 所示输出函数卡诺图的全部区域按最简原则画包围圈求 Y ,并在 $\times$ 的右侧标注无关项的赋值。

由图 5.4.3,据次态函数卡诺图 $\times$ 格无关项所确定的次态值及输出函数卡诺图 $\times$ 格无关项所确定的输出值,画出无效状态 110、111 的状态图检查自启动情况,如图 5.4.4 所示,所设计的电路能够自启动。

由图 5.4.3 所示的 Q_2^{n+1} 、 Q_1^{n+1} 、 Q_0^{n+1} 各次态函数卡诺图及 Y 输出函数卡诺图中的化简情况,得各触发器 J 、 K 驱动方程及 Y 输出方程表达式

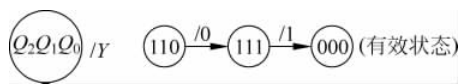


图 5.4.4 例 5.4.2 无效状态的状态图

由状态表转换成各触发器的次态卡诺图及输出函数卡诺图如图 5.4.7 所示。

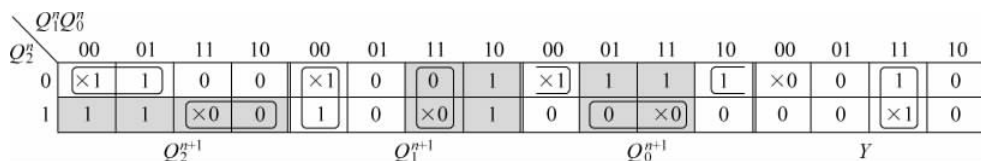


图 5.4.7 例 5.4.2 的各触发器次态卡诺图、输出函数卡诺图及化简

在图 5.4.7 所示各次态函数卡诺图中划分出 $Q_i^n=0$ 区域、 $Q_i^n=1$ 区域(阴影区域),在 $Q_i^n=0$ 区域画求 J_i 的包围圈、 $Q_i^n=1$ 区域画求 K_i 的包围圈,并在 $\times$ 的右侧标注无关项的赋值;在图 5.4.7 所示输出函数卡诺图的全部区域按最简原则画包围圈求 Y ,并在 $\times$ 的右侧标注无关项的赋值。

由图 5.4.7,据次态函数卡诺图 $\times$ 格无关项所确定的次态值及输出函数卡诺图 $\times$ 格无关项所确定的输出值,画出无效状态 000、111 的状态图检查自启动情况,如图 5.4.8 所示。

图 5.4.8 表明,无效状态 000、111 不能进入有效状态,不能够自启动,需修改对无效状态所赋的次态值,断开无效循环链,将无效状态引导到有效状态上。

观察图 5.4.6、图 5.4.8 可知,以一个无效状态为修改项、只修改一位时有如图 5.4.9 所示的几种修改方案。

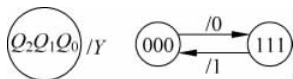


图 5.4.8 例 5.4.2 无效状态的状态图

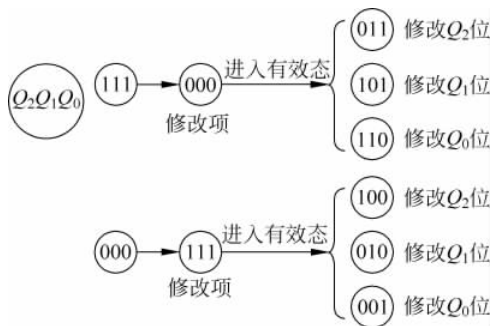


图 5.4.9 例 5.4.2 自启动的几种修改方案

若选择无效状态 000 为修改项、 Q_2 位为修改位,将 Q_2 位所赋的次态值由 1 修改为 0,在 Q_2^{n+1} 的卡诺图上重新画求 J_2 的包围圈如图 5.4.10 所示。

由图 5.4.10 的 Q_2^{n+1} 、图 5.4.7 的 Q_1^{n+1} 、 Q_0^{n+1} 各次态函数卡诺图中包围圈对无效状态所赋的次态值及图 5.4.7 中 Y 输出函数卡诺图中包围圈对无效状态所赋的输出值,得修改后无效状态自启动的状态图如图 5.4.11 所示。

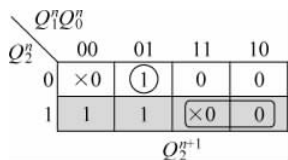


图 5.4.10 例 5.4.2 的 Q_2^{n+1} 次态卡诺图求 J 的逻辑修改

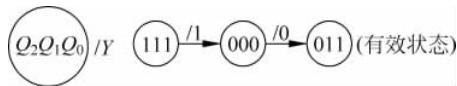


图 5.4.11 例 5.4.2 逻辑修改后无效状态的状态图

由图 5.4.10 所示的 Q_2^{n+1} 、图 5.4.7 所示的 Q_1^{n+1} 、 Q_0^{n+1} 各次态函数卡诺图及 Y 输出函数卡诺图中的化简情况,得各触发器 J 、 K 驱动方程及 Y 输出方程表达式为

$$\begin{cases} J_2 = \bar{Q}_2^n \bar{Q}_1^n Q_0^n & | Q_2^n = 0 = \bar{Q}_1^n Q_0^n \\ K_2 = Q_2^n Q_1^n & | Q_2^n = 1 = Q_1^n \\ J_1 = \bar{Q}_1^n \bar{Q}_0^n & | Q_1^n = 0 = \bar{Q}_0^n \\ K_1 = Q_1^n Q_0^n & | Q_1^n = 1 = Q_0^n \\ J_0 = \bar{Q}_2^n \bar{Q}_0^n & | Q_0^n = 0 = \bar{Q}_2^n \\ K_0 = Q_2^n Q_0^n & | Q_0^n = 1 = Q_2^n \end{cases} \quad (5.4.7)$$

$$Y = Q_1^n Q_0^n \quad (5.4.8)$$

(4) 逻辑图。

由式(5.4.7)、式(5.4.8)所求各驱动方程及输出方程的表达式画出逻辑图,如图 5.4.12 所示。

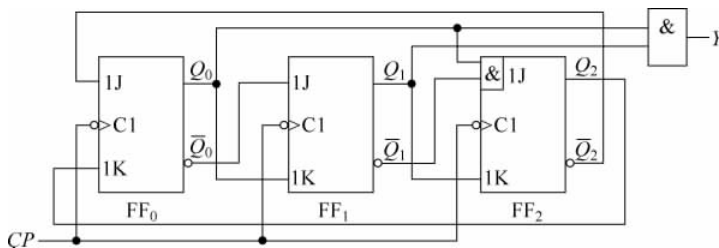


图 5.4.12 例 5.4.2 的逻辑图

【例 5.4.3】 用 D 触发器设计一个按自然数序计数的 2 位同步二进制加法计数器。

【解】 (1) 确定所用触发器个数。

2 位计数器,所用触发器的个数 $n=2$ 。

(2) 由 2 位二进制加法计数要求,做出状态图如图 5.4.13 所示。

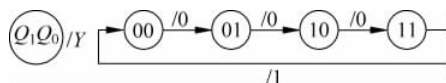


图 5.4.13 例 5.4.3 的状态图

(3) 状态表。

由状态图转换成状态表,如表 5.4.3 所示。

表 5.4.3 例 5.4.3 的状态表

现 态		次 态		输 出
Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	1	0
0	1	1	0	0
1	0	1	1	0
1	1	0	0	1

(4) 做各触发器的次态卡诺图及输出函数卡诺图,化简求驱动方程、输出方程。

由状态表转换成各触发器的次态卡诺图及输出函数卡诺图如图 5.4.14 所示。

由右移移位的状态变化规律 $Q_i^{n+1} = Q_{i-1}^n$ 及式(5.4.11), 有第 0 位之后各触发器的驱动方程为

$$\begin{cases} J_i = Q_{i-1}^n \\ K_i = \bar{Q}_{i-1}^n \end{cases} \quad (i = 1, 2) \quad (5.4.13)$$

式(5.4.12)、式(5.4.13)为不能自启动时各触发器驱动方程的逻辑表达式。

2. 驱动方程的自启动逻辑修改

1) 逻辑修改第 0 位触发器驱动方程的自启动设计

第 0 位以后的触发器按右移方式工作, 由式(5.4.13)有驱动方程为

$$\begin{cases} J_1 = Q_0^n \\ K_1 = \bar{Q}_0^n \end{cases}, \quad \begin{cases} J_2 = Q_1^n \\ K_2 = \bar{Q}_1^n \end{cases} \quad (5.4.14)$$

由式(5.4.11)有

$$\begin{cases} J_0 = Q_0^{n+1} \mid Q_0^n = 0 \\ K_0 = \bar{Q}_0^{n+1} \mid Q_0^n = 1 \end{cases} \quad (5.4.15)$$

第 0 位触发器按式(5.4.15)的关系进行求解驱动方程及逻辑修改。

图 5.4.18 为由图 5.4.17 所示状态图做出的第 0 位触发器的次态卡诺图、求驱动方程 JK 的化简及无效状态的状态图。次态函数卡诺图中 $Q_0^n = 0$ 区域画求 J_0 的包围圈、 $Q_0^n = 1$ 区域(阴影区域)画求 K_0 的包围圈, $\times$ 的右侧标注的是无关项的赋值, 状态图由 $\times$ 格被赋予的次态值及右移移位关系画出。

由图 5.4.18 可知, 所设计的电路不能自启动, 需在次态函数卡诺图上修改求驱动方程包围圈的圈法。

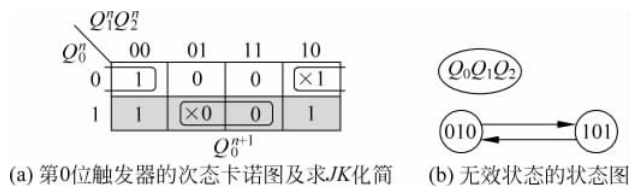


图 5.4.18 第 0 位触发器驱动方程求解及无效状态的状态图

① 修改方案 1 及无效状态的状态图如图 5.4.19 所示。其中, 在次态卡诺图 $Q_0^n = 0$ 区域改变包围圈的圈法, 将无效状态 010 第 0 位的次态值修改为 0、引导到有效状态 001。所设计的电路有自启动功能。

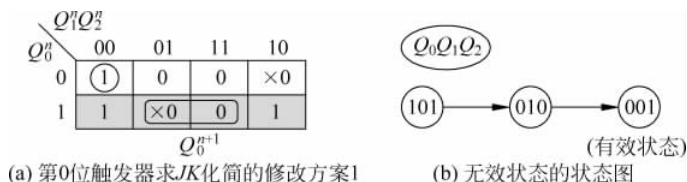


图 5.4.19 修改方案 1 及无效状态的状态图

由图 5.4.19 得第 0 位触发器逻辑修改后的驱动方程为

$$\begin{cases} J_0 = \bar{Q}_0^n \bar{Q}_1^n \bar{Q}_2^n & | Q_0^n = 0 = \bar{Q}_1^n \bar{Q}_2^n \\ K_0 = Q_0^n Q_2^n & | Q_0^n = 1 = Q_2^n \end{cases} \quad (5.4.16)$$

由式(5.4.16)及式(5.4.14)可画出自启动 3 位扭环形计数器的逻辑图。

② 修改方案 2 及无效状态的状态图如图 5.4.20 所示。其中,在次态卡诺图 $Q_0^n = 1$ 区域改变包围圈的圈法,将无效状态 101 第 0 位的次态值修改为 1、引导到有效状态 110。所设计的电路有自启动功能。

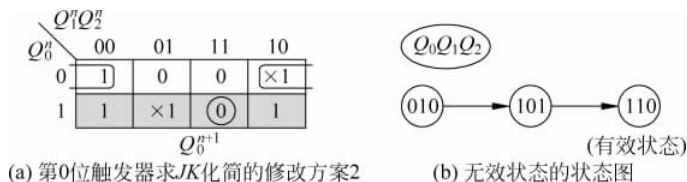


图 5.4.20 修改方案 2 及无效状态的状态图

由图 5.4.20 得第 0 位触发器逻辑修改后的驱动方程为

$$\begin{cases} J_0 = \bar{Q}_0^n \bar{Q}_2^n & | Q_0^n = 0 = \bar{Q}_2^n \\ K_0 = Q_0^n Q_1^n Q_2^n & | Q_0^n = 1 = Q_1^n Q_2^n \end{cases} \quad (5.4.17)$$

由式(5.4.17)及式(5.4.14)可画出自启动 3 位扭环形计数器的逻辑图。

2) 逻辑修改第 1 位触发器驱动方程的自启动设计

第 0 位触发器、第 2 位触发器按取反循环、右移方式工作,由式(5.4.12)、式(5.4.13)有驱动方程为

$$\begin{cases} J_0 = \bar{Q}_2^n \\ K_0 = Q_2^n \end{cases}, \begin{cases} J_2 = Q_1^n \\ K_2 = \bar{Q}_1^n \end{cases} \quad (5.4.18)$$

由式(5.4.11)有

$$\begin{cases} J_1 = Q_1^{n+1} & | Q_1^n = 0 \\ K_1 = \bar{Q}_1^{n+1} & | Q_1^n = 1 \end{cases} \quad (5.4.19)$$

第 1 位触发器按式(5.4.19)的关系进行求解驱动方程及逻辑修改。

图 5.4.21 为由图 5.4.17 所示状态图做出的第 1 位触发器的次态卡诺图、求驱动方程 JK 的化简及无效状态的状态图。

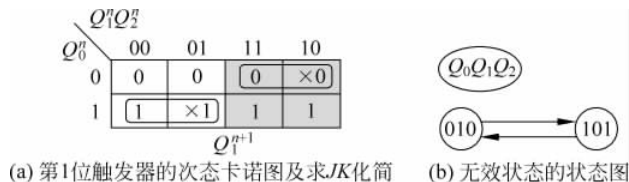


图 5.4.21 第 1 位触发器驱动方程求解及无效状态的状态图

所设计的电路不能自启动,需在次态函数卡诺图上修改求驱动方程包围圈的圈法。

① 修改方案 1 及无效状态的状态图如图 5.4.22 所示。其中,在次态卡诺图 $Q_1^n=0$ 区域改变包围圈的圈法,将无效状态 101 第 1 位的次态值修改为 0、引导到有效状态 000。所设计的电路有自启动功能。

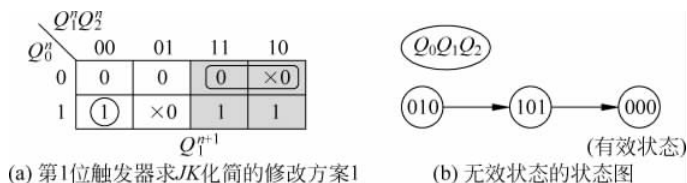


图 5.4.22 修改方案 1 及无效状态的状态图

由图 5.4.22 得第 1 位触发器逻辑修改后的驱动方程为

$$\begin{cases} J_1 = Q_0^n \bar{Q}_1^n \bar{Q}_2^n & | Q_1^n=0=Q_0^n \bar{Q}_2^n \\ K_1 = \bar{Q}_0^n Q_1^n & | Q_1^n=1=\bar{Q}_0^n \end{cases} \quad (5.4.20)$$

由式(5.4.20)及式(5.4.18)可画出自启动 3 位扭环形计数器的逻辑图。

② 修改方案 2 及无效状态的状态图如图 5.4.23 所示。其中,在次态卡诺图 $Q_1^n=1$ 区域改变包围圈的圈法,将无效状态 010 第 1 位的次态值修改为 1、引导到有效状态 111。所设计的电路有自启动功能。

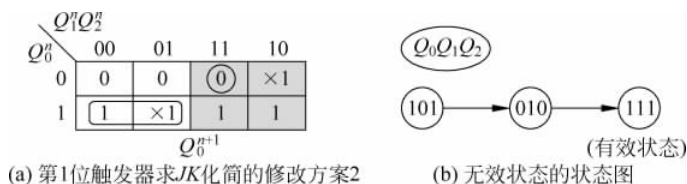


图 5.4.23 修改方案 2 及无效状态的状态图

由图 5.4.23 得第 1 位触发器逻辑修改后的驱动方程为

$$\begin{cases} J_1 = Q_0^n \bar{Q}_1^n & | Q_1^n=0=Q_0^n \\ K_1 = \bar{Q}_0^n Q_1^n Q_2^n & | Q_1^n=1=\bar{Q}_0^n Q_2^n \end{cases} \quad (5.4.21)$$

由式(5.4.21)及式(5.4.18)可画出自启动 3 位扭环形计数器的逻辑图。

3) 逻辑修改第 2 位触发器驱动方程的自启动设计

第 0 位触发器、第 1 位触发器按取反循环、右移方式工作,由式(5.4.12)、式(5.4.13)有驱动方程为

$$\begin{cases} J_0 = \bar{Q}_2^n \\ K_0 = Q_2^n \end{cases}, \quad \begin{cases} J_1 = Q_0^n \\ K_1 = \bar{Q}_0^n \end{cases} \quad (5.4.22)$$

由式(5.4.11)有

$$\begin{cases} J_2 = Q_2^{n+1} & | Q_2^n=0 \\ K_2 = \bar{Q}_2^{n+1} & | Q_2^n=1 \end{cases} \quad (5.4.23)$$

第2位触发器按式(5.4.23)的关系进行求解驱动方程及逻辑修改。

图5.4.24为由图5.4.17所示状态图做出的第2位触发器的次态卡诺图、求驱动方程 JK 的化简及无效状态的状态图。

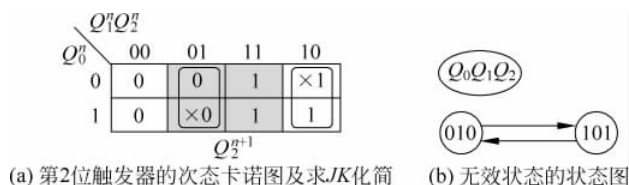


图 5.4.24 第2位触发器驱动方程求解及无效状态的状态图

所设计的电路不能自启动,需在次态函数卡诺图上修改求驱动方程包围圈的圈法。

① 修改方案1及无效状态的状态图如图5.4.25所示。其中,在次态卡诺图 $Q_2^n=0$ 区域改变包围圈的圈法,将无效状态010第2位的次态值修改为0、引导到有效状态100。所设计的电路有自启动功能。

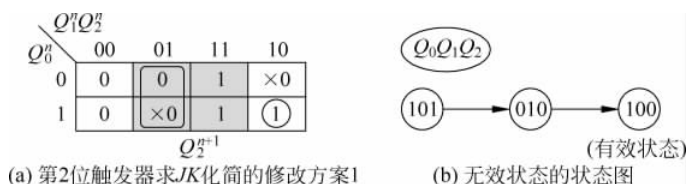


图 5.4.25 修改方案1及无效状态的状态图

由图5.4.25得第2位触发器逻辑修改后的驱动方程为

$$\begin{cases} J_2 = Q_0^n Q_1^n \bar{Q}_2^n & | \alpha_2^n = 0 = Q_0^n Q_1^n \\ K_2 = \bar{Q}_1^n Q_2^n & | \alpha_2^n = 1 = \bar{Q}_1^n \end{cases} \quad (5.4.24)$$

由式(5.4.24)及式(5.4.22)可画出自启动3位扭环计数器的逻辑图。

② 修改方案2及无效状态的状态图如图5.4.26所示。其中,在次态卡诺图 $Q_2^n=1$ 区域改变包围圈的圈法,将无效状态101第2位的次态值修改为1、引导到有效状态011。所设计的电路有自启动功能。

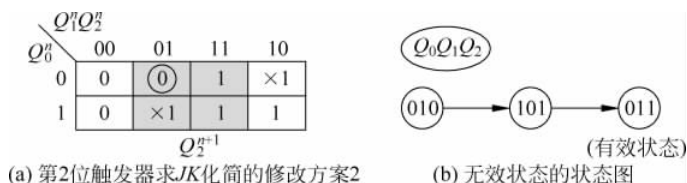


图 5.4.26 修改方案2及无效状态的状态图

由图5.4.26得第2位触发器逻辑修改后的驱动方程为

$$\begin{cases} J_2 = Q_1^n \bar{Q}_2^n & | \alpha_2^n = 0 = Q_1^n \\ K_2 = \bar{Q}_0^n \bar{Q}_1^n Q_2^n & | \alpha_2^n = 1 = \bar{Q}_0^n \bar{Q}_1^n \end{cases} \quad (5.4.25)$$

由式(5.4.25)及式(5.4.22)可画出自启动3位扭环形计数器的逻辑图。

5.4.3 基于逻辑函数修改技术的 N 进制同步计数器设计

【基本原理】 在同步二进制计数器设计的基础上,通过修改部分触发器的驱动方程来改变状态转换顺序实现 N 进制计数,从而简化设计过程。

设同步二进制计数器由 n 个触发器构成,分别为 FF_0 、 FF_1 、 $\cdots$ 、 FF_{n-1} ,现态变量为 Q_0^n 、 Q_1^n 、 $\cdots$ 、 Q_{n-1}^n 。

用 JK 触发器设计电路时,二进制加法计数器各触发器的驱动方程如式(5.3.4)、式(5.3.5)所示;二进制减法计数器各触发器的驱动方程如式(5.3.6)、式(5.3.7)所示。

计数器中各触发器的次态是现态变量的函数,第 i 个触发器的次态函数可表示为

$$Q_i^{n+1} = f(Q_0^n, Q_1^n, \cdots, Q_{n-1}^n) \quad (5.4.26)$$

第 i 个 JK 触发器的特性方程为

$$Q_i^{n+1} = J_i \bar{Q}_i^n + \bar{K}_i Q_i^n \quad (5.4.27)$$

由式(5.4.27),得第 i 个触发器的驱动方程函数 J_i 、 K_i 和次态函数 Q_i^{n+1} 的关系为

$$\begin{cases} J_i = Q_i^{n+1} & | Q_i^n = 0 \\ \bar{K}_i = Q_i^{n+1} & | Q_i^n = 1 \end{cases} \quad (5.4.28)$$

1. N 进制加法计数器的逻辑修改设计

二进制加法计数器的状态转换关系为

$$S_0 \rightarrow S_1 \rightarrow S_2 \rightarrow \cdots \rightarrow S_{N-1} \rightarrow S_N \rightarrow \cdots \rightarrow S_{2^n-1} \rightarrow S_0$$

N 进制加法计数器的状态转换关系为

$$S_0 \rightarrow S_1 \rightarrow S_2 \rightarrow \cdots \rightarrow S_{N-1} \rightarrow S_0$$

在二进制加法计数器中 S_{N-1} 状态的下一个状态是 S_N ,而在 N 进制加法计数器中 S_{N-1} 状态的下一个状态是 S_0 。

【设计方法】 以 S_{N-1} 状态为现态、以 S_N 状态及 S_0 状态为次态,比较 S_N 状态和 S_0 状态,若两个状态中对应的 Q_i^{n+1} 相同则不需进行驱动方程修改;若两个状态中对应的 Q_i^{n+1} 相异,则需进行驱动方程修改,由式(5.4.28)现态 $Q_i^n = 0$ 需修改驱动方程 J_i 、现态 $Q_i^n = 1$ 需修改驱动方程 K_i 。

逻辑修改的原则如表 5.4.4 所示。

表 5.4.4 二进制加法计数器构成 N 进制计数器的逻辑修改原则

状态及修改情况		第 i 位状态变量 Q_i 及修改选择			
现态	S_{N-1}	0	0	1	1
二进制的次态	S_N	0	1	0	1
N 进制的次态	S_0	0	0	0	0
修改情况		不修改	修改 J_i	不修改	修改 K_i

令 S_{N-1} 状态下 Q_i^n 为 1 的现态乘积为修改函数 LM

$$LM = \prod Q_i^{(1)} |_{S_{N-1}} \quad (5.4.29)$$

由二进制计数的状态变化规律可知, LM 在 S_{N-1} 状态下为逻辑 1, 而此修改函数在 S_{N-1} 之前的状态时为 0。

进行 J_i 修改, 将二进制计数器驱动方程 J_i 和 $\overline{LM}$ 相与并由式(5.4.28)代入 $Q_i^n=0$ 的条件, 得 N 进制计数器修改的 J_i 驱动方程为

$$J_i = [(Q_{i-1}^n \cdots Q_1^n Q_0^n) \overline{LM}] |_{Q_i^n=0} \quad (5.4.30)$$

即在 S_{N-1} 状态后 $J_i=0$, 以保证下一个时钟脉冲 CP 作用后 $Q_i^{n+1}=0$ 。

进行 K_i 修改, 将二进制计数器驱动方程 K_i 和 LM 相或并由式(5.4.28)代入 $Q_i^n=1$ 的条件, 得 N 进制计数器修改的 K_i 驱动方程为

$$K_i = [(Q_{i-1}^n \cdots Q_1^n Q_0^n) + LM] |_{Q_i^n=1} \quad (5.4.31)$$

即在 S_{N-1} 状态后 $K_i=1$, 以保证下一个时钟脉冲 CP 作用后 $Q_i^{n+1}=0$ 。

【例 5.4.4】 用逻辑修改技术设计一个同步十进制加法计数器。

【解】 (1) 确定 S_{N-1} 、 S_N 状态及触发器驱动方程的修改情况。

同步十进制加法计数器的状态为 S_0 、 S_1 、 $\cdots$ 、 S_9 , 需在状态为 S_0 、 S_1 、 $\cdots$ 、 S_9 、 S_{10} 、 $\cdots$ 、 S_{15} 的 4 位二进制加法计数器基础上设计。故 S_{N-1} 状态为 S_9 , S_N 状态为 S_{10} , 触发器驱动方程的修改情况如表 5.4.5 所示。

表 5.4.5 例 5.4.4 的十进制加法计数器修改表

状态及修改情况		第 i 位状态变量 Q_i 及修改选择			
		Q_3	Q_2	Q_1	Q_0
现态	S_9	1	0	0	1
二进制的次态	S_{10}	1	0	1	0
N 进制的次态	S_0	0	0	0	0
修改情况		修改 K_3	不修改	修改 J_1	不修改

(2) 确定 LM 的逻辑表达式及驱动方程为

$$LM = Q_3^n Q_0^n \quad (5.4.32)$$

逻辑修改的驱动方程为

$$\begin{cases} K_3 = [(Q_2^n Q_1^n Q_0^n) + LM] |_{Q_3^n=1} = [Q_2^n Q_1^n Q_0^n + Q_3^n Q_0^n] |_{Q_3^n=1} = Q_0^n \\ J_1 = [Q_0^n \cdot \overline{LM}] |_{Q_1^n=0} = Q_0^n \overline{Q_3^n Q_0^n} = \overline{Q_3^n} Q_0^n \end{cases} \quad (5.4.33)$$

由式(5.3.4)、式(5.3.5)确定其他驱动方程为

$$\begin{cases} J_3 = Q_2^n Q_1^n Q_0^n \\ J_2 = K_2 = Q_1^n Q_0^n \\ K_1 = Q_0^n \\ J_0 = K_0 = 1 \end{cases} \quad (5.4.34)$$

(3) 由式(5.4.33)、式(5.4.34)可画出逻辑图。

2. N 进制减法计数器的逻辑修改设计

二进制减法计数器的状态转换关系为

$$S_{2^n-1} \rightarrow \cdots \rightarrow S_{N-1} \rightarrow \cdots \rightarrow S_2 \rightarrow S_1 \rightarrow S_0 \rightarrow S_{2^n-1}$$

N 进制减法计数器的状态转换关系为

$$S_{N-1} \rightarrow \cdots \rightarrow S_2 \rightarrow S_1 \rightarrow S_0 \rightarrow S_{N-1}$$

在二进制减法计数器中 S_0 状态的下一个状态是 S_{2^n-1} , 而在 N 进制减法计数器中 S_0 状态的下一个状态是 S_{N-1} 。

【设计方法】 以 S_0 状态为现态、以 S_{2^n-1} 状态及 S_{N-1} 状态为次态, 比较 S_{2^n-1} 状态和 S_{N-1} 状态, 若两个状态中对应的 Q_i^{n+1} 相同则不需进行驱动方程修改; 若两个状态中对应的 Q_i^{n+1} 相异, 则需进行驱动方程修改, 由式 (5.4.28) 现态 $Q_i^n=0$ 需修改驱动方程 J_i 。

逻辑修改的原则如表 5.4.6 所示。

表 5.4.6 二进制减法计数器构成 N 进制计数器的逻辑修改原则

状态及修改情况		第 i 位状态变量 Q_i 及修改选择	
现态	S_0	0	0
二进制的次态	S_{2^n-1}	1	1
N 进制的次态	S_{N-1}	0	1
修改情况		修改 J_i	不修改

令 S_0 状态下各为 0 现态 Q^n 取反的现态乘积为修改函数 LM

$$LM = \prod \bar{Q}^{(0)} |_{S_0} \quad (5.4.35)$$

由二进制减法计数的状态变化规律可知, LM 在 S_0 状态下为逻辑 1, 而此修改函数在其他状态时为 0。

进行 J_i 修改, 将二进制减法计数器驱动方程 J_i 和 $\overline{LM}$ 相与并由式 (5.4.28) 代入 $Q_i^n=0$ 的条件, 得 N 进制计数器修改的 J_i 驱动方程为

$$J_i = [(\bar{Q}_{i-1}^n \cdots \bar{Q}_1^n \bar{Q}_0^n) \overline{LM}] |_{Q_i^n=0} \quad (5.4.36)$$

即在 S_0 状态后 $J_i=0$, 以保证下一个时钟脉冲 CP 作用后 $Q_i^{n+1}=0$ 。

【例 5.4.5】 用逻辑修改技术设计一个同步十进制减法计数器。

【解】 (1) 确定 S_{N-1} 、 S_{2^n-1} 状态及触发器驱动方程的修改情况。

同步十进制减法计数器的状态为 S_9 、 $\cdots$ 、 S_1 、 S_0 , 需在状态为 S_{15} 、 $\cdots$ 、 S_9 、 $\cdots$ 、 S_1 、 S_0 的 4 位二进制减法计数器基础上设计。故 S_{N-1} 状态为 S_9 , S_{2^n-1} 状态为 S_{15} , 触发器驱动方程的修改情况如表 5.4.7 所示。

表 5.4.7 例 5.4.5 的十进制减法计数器修改表

状态及修改情况		第 i 位状态变量 Q_i 及修改选择			
		Q_3	Q_2	Q_1	Q_0
现态	S_0	0	0	0	0
二进制的次态	S_{15}	1	1	1	1
N 进制的次态	S_9	1	0	0	1
修改情况		不修改	修改 J_2	修改 J_1	不修改

(2) 确定 LM 的逻辑表达式及驱动方程

$$LM = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n} \quad (5.4.37)$$

逻辑修改的驱动方程为

$$\begin{cases} J_2 = [\overline{Q_1^n} \overline{Q_0^n} \cdot \overline{LM}] \mid_{Q_2^n=0} = [\overline{Q_1^n} \overline{Q_0^n} \cdot \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n}] \mid_{Q_2^n=0} = Q_3^n \overline{Q_1^n} \overline{Q_0^n} \\ J_1 = [\overline{Q_0^n} \cdot \overline{LM}] \mid_{Q_1^n=0} = [\overline{Q_0^n} \cdot \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n}] \mid_{Q_1^n=0} = Q_3^n \overline{Q_0^n} + Q_2^n \overline{Q_0^n} \end{cases} \quad (5.4.38)$$

由式(5.3.6)、式(5.3.7)确定其他驱动方程为

$$\begin{cases} J_3 = K_3 = \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n} \\ K_2 = \overline{Q_1^n} \overline{Q_0^n} \\ K_1 = \overline{Q_0^n} \\ J_0 = K_0 = 1 \end{cases} \quad (5.4.39)$$

(3) 由式(5.4.38)、式(5.4.39)可画出逻辑图。

3. 逻辑函数修改技术设计 N 进制同步计数器的自启动问题及特点

由于 N 进制计数器是在二进制基础上构成,若计数器一旦进入无效状态使修改函数 $LM=0$,触发器的驱动方程同二进制进制加、减法计数器的驱动方程,计数器将按二进制规律运行无效状态直到进入 N 进制的有效循环,因此用驱动方程修改技术设计的 N 进制加、减法计数器均具有自启动功能。

用驱动方程修改技术设计的计数器与用传统方法设计的计数器相比,触发器的驱动方程不一定是简的,但具有方便、快捷的特点和较强的实用意义。

5.4.4 基于 MSI 计数器和逻辑函数修改技术的任意计数器设计

以集成同步可预置数 4 位二进制计数器 74LS161 为例,介绍用已有 2^n 进制计数器芯片构成任意计数器的设计方法。

1. 逻辑修改集成计数器的控制端及输入端

【基本原理】 计数循环过程中通过预置数控制端 $\overline{LD}$ 或异步清零端 $\overline{CR}$ 跳过 $2^n - N$ 个状态实现 N 进制计数。

基本方法有复位法和置数法。

1) 单片集成计数器 74LS161 构成任意进制计数器

(1) 复位法

从 0000 状态开始计数,使用 1111 之前的状态,计数范围为 $0 \sim N-1$,无进位输出。

① $\overline{LD}$ 端控制同步复位法

利用 N 进制计数时的第 $N-1$ 个状态(最后一个状态)使 $\overline{LD}=0$,通过预置数控制端 $\overline{LD}$ 、预置数输入端 $D_3 \sim D_0$ 实现置零复位。

74LS161 工作在计数、置数状态。

各控制端、输入端的逻辑关系式为

$$\begin{cases} EP = ET = 1 \\ \overline{CR} = 1 \\ \overline{LD} = \overline{\prod Q^{n(1)}} \quad (\text{最后状态}) \\ D_3 D_2 D_1 D_0 = 0000 \end{cases} \quad (5.4.40)$$

【例 5.4.6】 试用集成 4 位二进制计数器 74LS161 设计一个十二进制计数器,使用同步复位法。

【解】 所设计计数器的计数范围为 0000~1011,最后一个状态 $Q_3^n Q_2^n Q_1^n Q_0^n = 1011$ 。

各控制端、输入端的逻辑关系式为

$$\begin{cases} EP = ET = 1 \\ \overline{CR} = 1 \\ \overline{LD} = \overline{Q_3^n Q_1^n Q_0^n} \\ D_3 D_2 D_1 D_0 = 0000 \end{cases} \quad (5.4.41)$$

由式(5.4.41)画出逻辑图如图 5.4.27 所示。

② $\overline{CR}$ 端控制异步复位法

利用 N 进制计数时的第 $N-1$ 个状态(最后一个状态)的后续状态作过渡状态,在过渡态使 $\overline{CR}=0$,通过异步清零端 $\overline{CR}$ 实现置零复位。

74LS161 工作在计数、清零状态。

各控制端、输入端的逻辑关系式为

$$\begin{cases} EP = ET = 1 \\ \overline{CR} = \overline{\prod Q^{n(1)}} \quad (\text{过渡状态}) \\ \overline{LD} = 1 \\ D_3 D_2 D_1 D_0 = \times \times \times \times \end{cases} \quad (5.4.42)$$

【例 5.4.7】 试用集成 4 位二进制计数器 74LS161 设计一个十二进制计数器,使用异步复位法。

【解】 所设计计数器的计数范围为 0000~1011,过渡状态 $Q_3^n Q_2^n Q_1^n Q_0^n = 1011+1=1100$ 。

各控制端、输入端的逻辑关系式为

$$\begin{cases} EP = ET = 1 \\ \overline{CR} = \overline{Q_3^n Q_2^n} \\ \overline{LD} = 1 \\ D_3 D_2 D_1 D_0 = \times \times \times \times \end{cases} \quad (5.4.43)$$

由式(5.4.43)画出逻辑图如图 5.4.28 所示。

(2) 置数法

从 0000~1111 的任一状态开始选取 N 个连续状态,通过预置数控制端 $\overline{LD}$ 、预置数输入端 $D_3 \sim D_0$ 实现置数构成 N 进制计数器。

① 进位输出端控制置数法

从预置状态开始计数,1111 为最后一个状

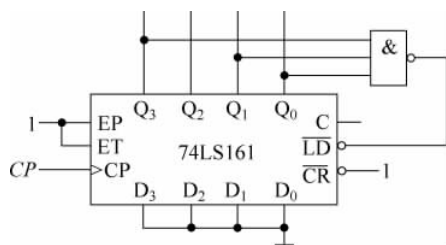


图 5.4.27 例 5.4.6 的逻辑图

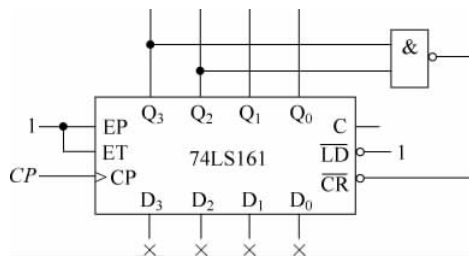


图 5.4.28 例 5.4.7 的逻辑图

态,有进位输出。计数范围为预置状态 $(2^4 - N) \sim 1111$ 。

利用计数时 1111 状态产生的进位端 $C=1$ 信号,通过 $\overline{LD}$ 、 $D_3 \sim D_0$ 实现置数。

74LS161 工作在计数、置数状态。

各控制端、输入端的逻辑关系式为

$$\begin{cases} EP = ET = 1 \\ \overline{CR} = 1 \\ \overline{LD} = \overline{C} \\ D_3 D_2 D_1 D_0 = 2^4 - N \end{cases} \quad (5.4.44)$$

【例 5.4.8】 试用集成 4 位二进制计数器 74LS161 设计一个十二进制计数器,使用进位输出端控制置数法。

【解】 所设计计数器的计数范围为 $(2^4 - 12)_{10} = (4)_{10} = (0100)_2 \sim (1111)_2$ 。

各控制端、输入端的逻辑关系式为

$$\begin{cases} EP = ET = 1 \\ \overline{CR} = 1 \\ \overline{LD} = \overline{C} \\ D_3 D_2 D_1 D_0 = (2^4 - 12)_{10} = (4)_{10} = (0100)_2 \end{cases} \quad (5.4.45)$$

由式(5.4.45)画出逻辑图如图 5.4.29 所示。

② 预置 N 进制计数中的最小数

利用 N 进制计数时的第 $N-1$ 个状态(最后一个状态)使 $\overline{LD}=0$,通过预置数控制端 $\overline{LD}$ 、预置数输入端 $D_3 \sim D_0$ 实现置最小数。

74LS161 工作在计数、置数状态。

各控制端、输入端的逻辑关系式为

$$\begin{cases} EP = ET = 1 \\ \overline{CR} = 1 \\ \overline{LD} = \overline{\prod Q^{n(1)}} \mid_{\text{(最后状态)}} \\ D_3 D_2 D_1 D_0 = N \text{ 进制计数中的最小数} \end{cases} \quad (5.4.46)$$

【例 5.4.9】 试用集成 4 位二进制计数器 74LS161 设计一个十二进制计数器,计数范围为 0010~1101。

【解】 各控制端、输入端的逻辑关系式为

$$\begin{cases} EP = ET = 1 \\ \overline{CR} = 1 \\ \overline{LD} = \overline{Q_3^n Q_2^n Q_0^n} \\ D_3 D_2 D_1 D_0 = 0010 \end{cases} \quad (5.4.47)$$

由式(5.4.47)画出逻辑图如图 5.4.30 所示。

③ 预置 N 进制计数中的最大数

利用 N 进制计数时的非 0 最小状态使 $\overline{LD}=0$,通过预置数控制端 $\overline{LD}$ 、预置数输入端

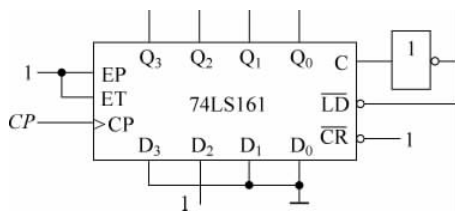


图 5.4.29 例 5.4.8 的逻辑图

$D_3 \sim D_0$ 实现置 1111 最大数。

74LS161 工作在计数、置数状态。

各控制端、输入端的逻辑关系式为

$$\begin{cases} EP = ET = 1 \\ \overline{CR} = 1 \\ \overline{LD} = \overline{\prod Q^{n(1)}} \quad (\text{非0最小状态}) \\ D_3 D_2 D_1 D_0 = 1111 \end{cases} \quad (5.4.48)$$

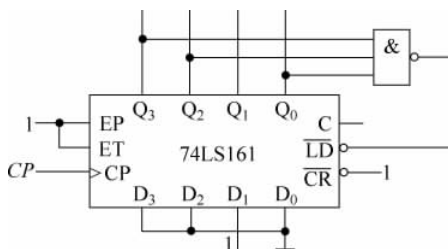


图 5.4.30 例 5.4.9 的逻辑图

【例 5.4.10】 试用集成 4 位二进制计数器

74LS161 设计一个十二进制计数器, 计数范围为 1111~1010。

【解】 各控制端、输入端的逻辑关系式为

$$\begin{cases} EP = ET = 1 \\ \overline{CR} = 1 \\ \overline{LD} = \overline{Q_3 Q_2 Q_1} \\ D_3 D_2 D_1 D_0 = 1111 \end{cases} \quad (5.4.49)$$

由式(5.4.49)画出逻辑图如图 5.4.31 所示。

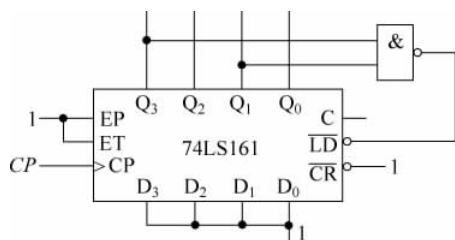


图 5.4.31 例 5.4.10 的逻辑图

2) 多片集成计数器 74LS161 构成任意进制计数器

(1) 集成计数器级联扩展

① 片间同步触发方式连接

片间同步触发方式连接的方法如下。

将几片 74LS161 的时钟脉冲 CP 端接一起、预置数控制端 $\overline{LD}$ 接一起、异步清零端 $\overline{CR}$ 接一起, 将低位片的进位输出端 C 接相邻高位片的 EP 、

ET 工作方式控制端。

工作原理如下。

当低位片未计数到 1111 最大数时其进位输出 $C=0$, 从而使相邻高位片的 $EP=ET=0$, 则高位片处于保持状态; 当低位片计数到 1111 最大数时其进位输出 $C=1$, 从而使相邻高位片的 $EP=ET=1$, 则在 CP 脉冲到来后高位片计数一次而低位片返回 0000 又重新开始计数。

图 5.4.32 所示为 2 片 74LS161 片间同步触发方式连接构成 8 位二进制计数器的逻辑图。

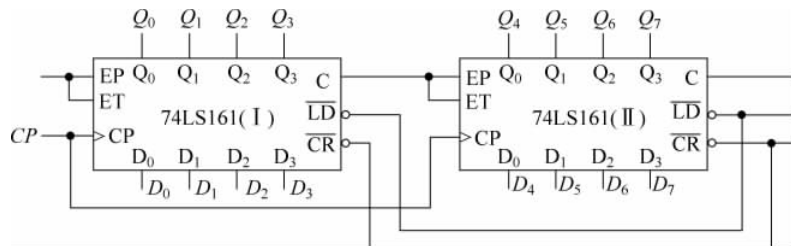


图 5.4.32 2 片 74LS161 片间同步触发方式连接

② 片间异步触发方式连接

片间异步触发方式连接的方法如下。

将几片 74LS161 的工作方式控制端 EP 、 ET 接一起、预置数控制端 $\overline{LD}$ 接一起、异步清零端 $\overline{CR}$ 接一起, 将低位片的进位输出端 C 取反后接相邻高位片的时钟脉冲 CP 端, 低位片的时钟脉冲端接外部时钟信号。

工作原理如下。

当低位片计数范围为 0000~1111 时其进位输出 $C=0$ 或 1, 从而使相邻高位片的时钟脉冲 CP 为 1 或下降沿, 则高位片不具备时钟条件处于保持状态; 当低位片从 1111 最大数返回 0000 重新开始计数时, 其进位输出 C 从高电平跳变到低电平, 使相邻高位片的时钟脉冲 CP 端出现一个上升沿高位片计数一次。

图 5.4.33 所示为 2 片 74LS161 片间异步触发方式连接构成 8 位二进制计数器的逻辑图。

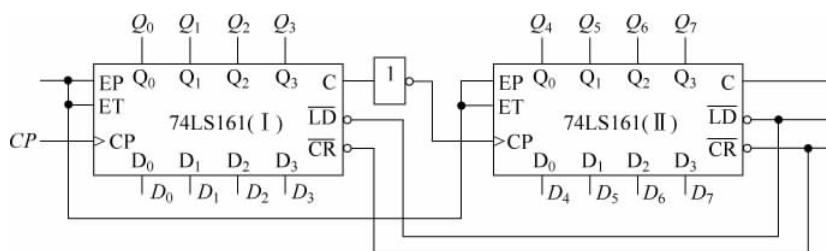


图 5.4.33 2 片 74LS161 片间异步触发方式连接

(2) 多片集成计数器 74LS161 构成任意进制计数器

当构成模数 $N > 2^4$ 的任意进制计数器时, 先将几片 74LS161 连接成二进制计数器, 再按单片构成任意进制计数器的方法求控制及输入端的逻辑表达式。

【例 5.4.11】 试用集成 4 位二进制计数器 74LS161 构成一个六十八进制计数器, 使用同步复位法。

【解】 设所需芯片数为 n , 由 $16^n \geq 68$, 可确定 $n=2$ 。

由 $N=68$ 及复位法计数, 可知计数范围为 00000000~01000011, 最后一个状态为 $Q_7^n Q_6^n Q_5^n Q_4^n Q_3^n Q_2^n Q_1^n Q_0^n = Q_{32}^n Q_{22}^n Q_{12}^n Q_{02}^n Q_{31}^n Q_{21}^n Q_{11}^n Q_{01}^n = 01000011$ 。

方法 1 片间同步触发方式连接

逻辑关系式为

$$\begin{cases} EP(1)=ET(1)=1 \\ EP(2)=ET(2)=C(1) \\ \overline{CR}(1)=\overline{CR}(2)=1 \\ \overline{LD}(1)=\overline{LD}(2)=\overline{Q_{22}^n Q_{11}^n Q_{01}^n} \\ D_{32} D_{22} D_{12} D_{02} D_{31} D_{21} D_{11} D_{01} = 00000000 \\ CP(1)=CP(2)=CP \end{cases} \quad (5.4.50)$$

由式(5.4.50)画出逻辑图如图 5.4.34 所示。

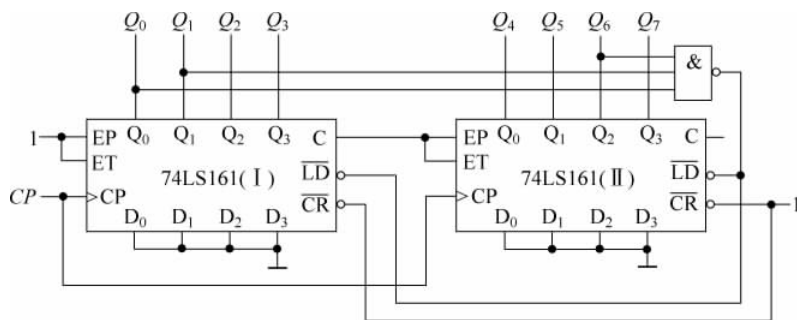


图 5.4.34 例 5.4.11 方法 1 的逻辑图

方法 2 片间异步触发方式连接

逻辑关系式为

$$\left\{ \begin{array}{l} EP(1) = ET(1) = EP(2) = ET(2) = 1 \\ \overline{CR}(1) = \overline{CR}(2) = 1 \\ \overline{LD}(1) = \overline{LD}(2) = \overline{Q_{22}'' Q_{11}'' Q_{01}''} \\ D_{32} D_{22} D_{12} D_{02} D_{31} D_{21} D_{11} D_{01} = 00000000 \\ CP(2) = \overline{C}(1) \\ CP(1) = CP \end{array} \right. \quad (5.4.51)$$

由式(5.4.51)画出逻辑图如图 5.4.35 所示。

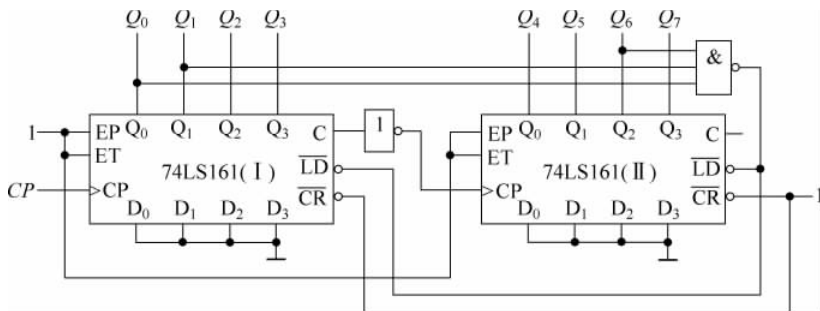


图 5.4.35 例 5.4.11 方法 2 的逻辑图

2. 逻辑修改集成计数器的状态输出函数

【基本方法】 以 74LS161 二进制计数器已有的状态输出量为变量、以待定输出量为函数修改计数规律。

【设计的关键】 确定待定输出量和 74LS161 已有状态输出量之间的逻辑关系。

【例 5.4.12】 用 74LS161 二进制计数器设计一个加/减可逆计数器。

【解】 (1) 确定加/减可逆计数器和 74LS161 二进制计数器之间的逻辑关系。

图 5.4.36 所示为 4 位二进制加法计数的状态图,图 5.4.37 所示为 4 位二进制减法计数的状态图。

由图 5.4.36、图 5.4.37 可知,将加法计数器状态图中每一状态中各位取反即为减法计

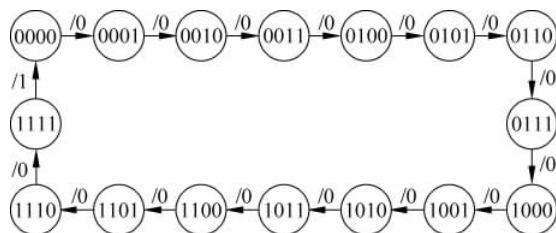


图 5.4.36 4 位二进制加法计数器的状态图

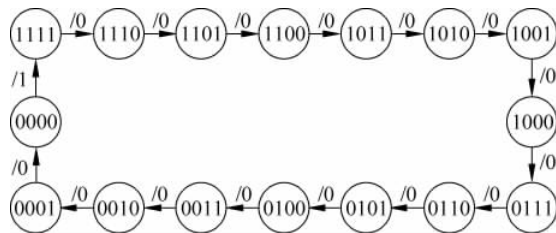


图 5.4.37 4 位二进制减法计数器的状态图

数器的状态图。

(2) 列出逻辑修改的真值表、求逻辑表达式。

以二进制计数器 74LS161 的状态输出 $Q_3Q_2Q_1Q_0$ 为变量并增设一个加/减控制变量 M 进行逻辑修改设计,在 $M=0$ 时各位状态输出不变计数器进行加法计数,在 $M=1$ 时各位状态输出取反计数器进行减法计数,设修改设计后的计数器的状态输出函数为 $Q'_3Q'_2Q'_1Q'_0$,表 5.4.8 为逻辑修改的真值表。

由表 5.4.8 可得逻辑修改后状态输出函数的逻辑表达式为

$$Q'_i = M \oplus Q_i \quad (5.4.52)$$

(3) 由式(5.4.52)画出加/减可逆计数器的逻辑图如图 5.4.38 所示。其中 C 在加法计数时为进位输出、在减法计数时为借位输出。

表 5.4.8 例 5.4.12 的真值表

输 入		输 出
M	Q_i	Q'_i
0	0	0
0	1	1
1	0	1
1	1	0

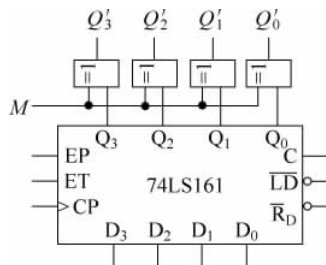


图 5.4.38 例 5.4.12 的逻辑图

【例 5.4.13】 用 74LS161 二进制计数器设计一个格雷码计数器。

【解】 (1) 确定 4 位格雷码计数器的状态输出量和 74LS161 二进制计数器状态输出量之间的逻辑关系。

设 4 位格雷码计数器的状态输出量为 Q'_3, Q'_2, Q'_1, Q'_0 , 状态图如图 5.4.39 所示。

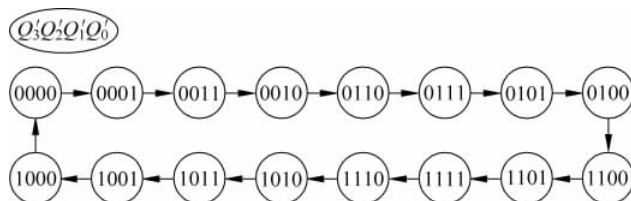


图 5.4.39 例 5.4.13 的 4 位格雷码计数器状态图

以 74LS161 已有的状态输出量 $Q_3Q_2Q_1Q_0$ 为输入变量定义格雷码计数器的状态输出量 $Q'_3Q'_2Q'_1Q'_0$, 函数关系为

$$Q'_3Q'_2Q'_1Q'_0 = f(Q_3Q_2Q_1Q_0) \quad (5.4.53)$$

用逻辑修改的方法修改已有计数器的计数规律为格雷码的变化规律。

(2) 列出逻辑修改的真值表、化简求逻辑表达式。

逻辑修改的真值表如表 5.4.9 所示。

表 5.4.9 例 5.4.13 的真值表

输 入				输 出			
Q_3	Q_2	Q_1	Q_0	Q'_3	Q'_2	Q'_1	Q'_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

由表 5.4.9 做出 Q'_3 、 Q'_2 、 Q'_1 、 Q'_0 的卡诺图并化简如图 5.4.40 所示。由图 5.4.40 得最简逻辑表达式为

$$\begin{cases} Q'_3 = Q_3 \\ Q'_2 = \bar{Q}_3Q_2 + Q_3\bar{Q}_2 = Q_3 \oplus Q_2 \\ Q'_1 = \bar{Q}_2Q_1 + Q_2\bar{Q}_1 = Q_2 \oplus Q_1 \\ Q'_0 = \bar{Q}_1Q_0 + Q_1\bar{Q}_0 = Q_1 \oplus Q_0 \end{cases} \quad (5.4.54)$$

Q_1Q_0		Q_3Q_2				Q_3Q_2				Q_3Q_2				Q_3Q_2			
Q_3	Q_2	00	01	11	10	00	01	11	10	00	01	11	10	00	01	11	10
		0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	1
01	0	0	0	0	0	1	1	1	1	1	1	0	0	0	1	0	1
11	1	1	1	1	1	0	0	0	0	1	1	0	0	0	1	0	1
10	1	1	1	1	1	1	1	1	1	0	0	1	1	0	1	0	1

图 5.4.40 例 5.4.13 的卡诺图及化简

(3) 由式(5.4.54)画出逻辑图如图 5.4.41 所示。其中, $\bar{R}_D=1$ 、 $EP=ET=1$ 、 $\overline{LD}=1$ 使 74LS161 二进制计数器在计数方式下工作。

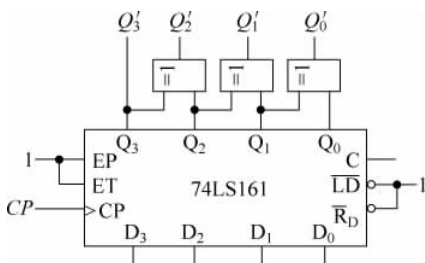


图 5.4.41 例 5.4.13 的逻辑图

5.4.5 基于触发器的一般同步时序逻辑电路设计

设计的一般步骤如图 5.4.42 所示。

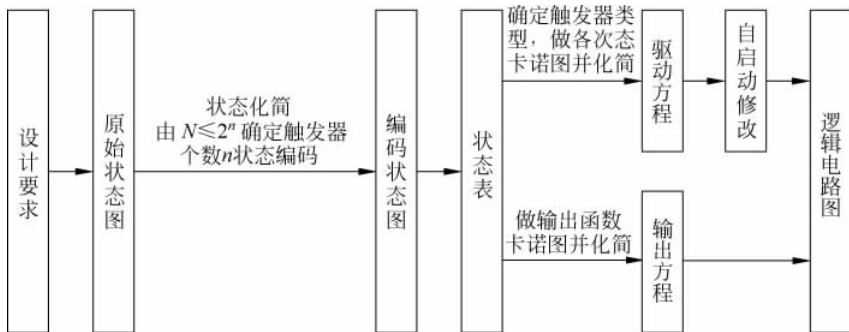


图 5.4.42 基于触发器的一般同步时序逻辑电路设计步骤

【例 5.4.14】 设计一个串行数据检测电路,该电路有一个输入变量 M 和一个输出函数 Y ,输入 M 为一连串随机串行信号,当出现“110”序列时输出 $Y=1$,对于其他输入序列输出 $Y=0$,用 JK 触发器实现。

【解】 (1) 画出原始状态图。

描述所要求的逻辑问题应设 4 个原始状态 S_0 、 S_1 、 S_2 、 S_3 。其中: S_0 ——初始状态, S_1 ——输入一个 1 后的状态, S_2 ——输入两个或两个以上 1 后的状态, S_3 ——输入 110 后的状态。

输出信号取决于电路的现态和输入量,为 Mealy 型时序逻辑电路。

原始状态图如图 5.4.43 所示。

(2) 状态化简。

图 5.4.43 中, S_0 、 S_3 两个原始状态在相同的输入条件下,转换到相同的状态并有相同的输出, S_0 、 S_3 两个原始状态是等价的,可合并成一个状态,用 S_0 表示。简化后的状态图如图 5.4.44 所示。

(3) 状态编码。

化简后的状态数 $N=3$,需用 2 个触发器状态输出 Q_1Q_0 的 4 种取值组合中的 3 种表示 S_0 、 S_1 、 S_2 状态。选取 $S_0=00$ 、 $S_1=01$ 、 $S_2=11$,另一状态 10 为无效状态。

编码后的状态图如图 5.4.45 所示,状态表如表 5.4.10 所示。

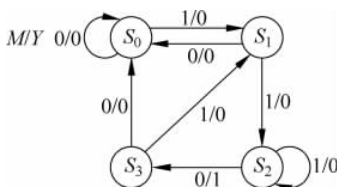


图 5.4.43 例 5.4.14 的原始状态图

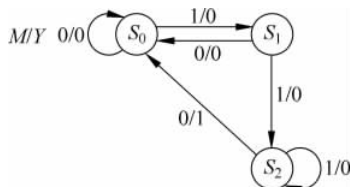


图 5.4.44 例 5.4.14 的化简后状态图

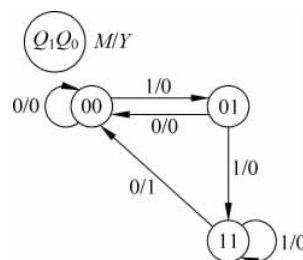


图 5.4.45 例 5.4.14 的编码后状态图

表 5.4.10 例 5.4.14 的状态表

输入	现 态		次 态		输出
M	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	×	×	×
0	1	1	0	0	1
1	0	0	0	1	0
1	0	1	1	1	0
1	1	0	×	×	×
1	1	1	1	1	0

(4) 求各触发器的驱动方程及电路的输出方程。

由状态表转换成各触发器的次态卡诺图及输出函数卡诺图如图 5.4.46 所示。

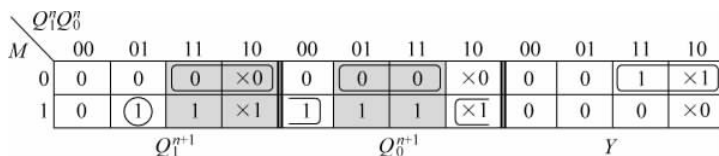


图 5.4.46 例 5.4.14 的各触发器次态卡诺图及输出函数卡诺图

在图 5.4.46 所示各次态函数卡诺图中划分出 $Q_i^n=0$ 区域、 $Q_i^n=1$ 区域(阴影区域),在 $Q_i^n=0$ 区域画求 J_i 的包围圈、 $Q_i^n=1$ 区域画求 K_i 的包围圈,并在 $\times$ 的右侧标注无关项的赋值;在图 5.4.46 所示输出函数卡诺图的全部区域按最简原则画包围圈求 Y ,并在 $\times$ 的右侧标注无关项的赋值。

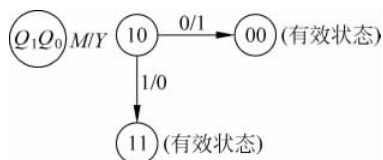


图 5.4.47 例 5.4.14 无效状态的状态图

标注无关项的赋值。

由图 5.4.46,据次态函数卡诺图 $\times$ 格无关项所确定的次态值及输出函数卡诺图 $\times$ 格无关项所确定的输出值,画出无效状态 10 的状态图检查自启动情况,如图 5.4.47 所示。所设计的电路能够自启动。

由图 5.4.46 的化简情况,得各触发器 J 、 K 驱动方程及 Y 输出方程表达式为

$$\begin{cases} J_1 = \overline{M}Q_1^n Q_0^n & | Q_1^n=0 = \overline{M}Q_0^n \\ K_1 = \overline{M}Q_1^n & | Q_1^n=1 = \overline{M} \\ J_0 = \overline{M}Q_0^n & | Q_0^n=0 = \overline{M} \\ K_0 = \overline{M}Q_0^n & | Q_0^n=1 = \overline{M} \end{cases} \quad (5.4.55)$$

$$Y = \overline{M}Q_1^n \quad (5.4.56)$$

(5) 逻辑图。

由式(5.4.55)、式(5.4.56)所示的各驱动方程表达式及输出方程表达式画出逻辑图,如图 5.4.48 所示。

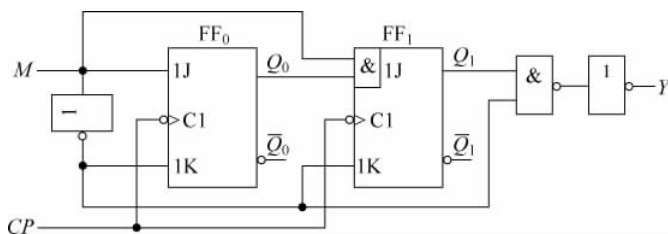


图 5.4.48 例 5.4.14 的逻辑图

5.4.6 基于 MSI 计数器的一般同步时序逻辑电路设计

各种 MSI 数字集成电路都有自己的主要特性和应用目标,如果我们进行非常规使用改变一下它的使用方向,就可进一步发挥其功能和作用,扩展专用集成电路的应用领域是一项有实际意义的研究工作。

以下介绍基于 MSI 二进制计数器 74LS161 的一般同步时序逻辑电路设计。

1. 基本原理

集成同步可预置数 4 位二进制计数器 74LS161 的状态表如表 5.3.5 所示。

由表 5.3.5 可知,在 $\overline{CR}=1$ 条件下,二进制计数器 74LS161 由 EP 、 ET 及 $\overline{LD}$ 控制具有计数、预置数和保持三种功能。

用二进制计数器 74LS161 状态输出端 $Q_3Q_2Q_1Q_0$ 的代码组合表示时序逻辑电路的各个

状态,由输入变量控制 EP 、 ET 及 $\overline{LD}$ 端,综合利用计数、置数、保持功能,使计数器的状态变化满足所要求的时序,即用计数功能实现“次态=现态+1”的二进制时序关系、用预置数功能实现“次态=预置数”的非二进制时序关系、用保持功能实现“次态=现态”的自循环时序关系,可实现一般时序逻辑电路。

2. 基于二进制计数器 74LS161 的时序逻辑电路基本形式

用 1 个二进制计数器 74LS161 和 2 个 16 选 1 数据选择器构成时序逻辑电路的基本形式,如图 5.4.49 所示。

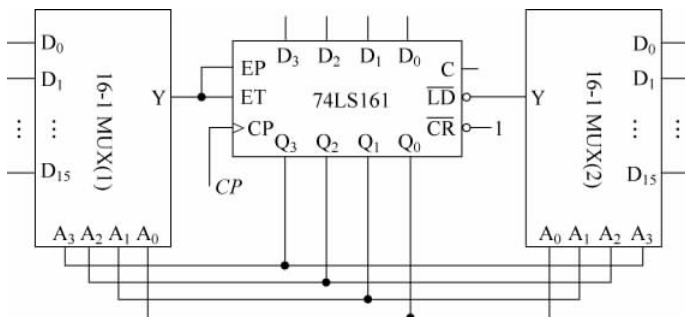


图 5.4.49 74LS161 二进制计数器和 16 选 1 数据选择器构成时序电路的基本形式

图 5.4.49 中,二进制计数器 74LS161 的现态输出 $Q_3 \sim Q_0$ 作为数据选择器的选择控制变量,数据选择器的 Y 输出作为二进制计数器 74LS161 的 EP 、 ET 工作方式控制信号及 $\overline{LD}$ 预置数控制信号,数据选择器的输入端 $D_0 \sim D_{15}$ 作为所构成时序逻辑电路的外部信号输入端。

二进制计数器 74LS161 处于不同现态时通过数据选择器选择不同的外部输入信号作用于 EP 、 ET 及 $\overline{LD}$ 端,对基本工作时序进行修改,在时钟脉冲 CP 的作用下,使计数器的输出状态按所要求的时序关系进行改变,即可实现状态个数不超过 16 个的一般时序逻辑电路。

如果所实现的时序逻辑电路其状态个数不超过 8 个,可使用二进制计数器 74LS161 的低 3 位状态变量和 2 个 8 选 1 数据选择器进行组合。

如果所实现的时序逻辑电路其状态个数不超过 4 个,可使用二进制计数器 74LS161 的低 2 位状态变量和 2 个 4 选 1 数据选择器进行组合。

由状态转换关系,依表 5.3.5 确定数据选择器各输入端的内容。

所设计的时序逻辑电路为 Mealy 型时,输出是现态及输入变量的函数,可用数据选择器实现,由各状态的输出要求确定数据选择器各输入端的内容。

所设计的时序逻辑电路为 Moore 型时,输出仅是现态的函数,用卡诺图化简求出最简输出逻辑表达式,用逻辑门实现;当每态对应一个不同的输出函数时,可用二进制译码器实现输出函数。

3. 基于二进制计数器 74LS161 时序逻辑电路的设计

一般设计步骤如图 5.4.50 所示。

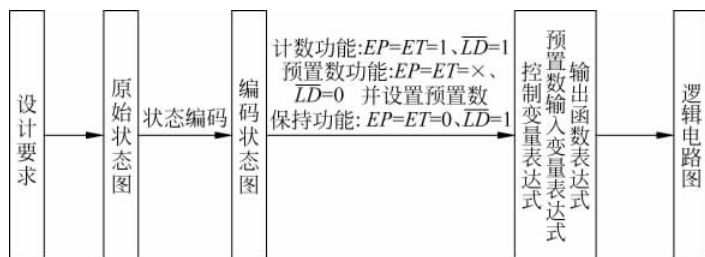


图 5.4.50 基于二进制计数器 74LS161 的一般同步时序逻辑电路设计步骤

- 使用 MSI 二进制计数器 74LS161 及数据选择器设计时序逻辑电路时,状态的化简通常不会简化电路结构,一般不进行状态化简直接使用原始状态图进行设计,可使各个状态所表示的含义清楚、电路与所实现的逻辑功能之间的对应关系较为明确。
- 进行状态编码时,尽量使用不需进行预置数的二进制时序,尽量对非二进制时序做相邻分配以利于预置数的化简。

【例 5.4.15】 一个同步时序逻辑电路,输入信号为 M_1 、 M_2 ,当 M_1 连续输入 4 个或 4 个以上个 1 以后 M_2 输入 1 个 1 时,输出 Y 为 1, M_1 、 M_2 不同时输入 1。

【解】 (1) 做出原始状态图。

由设计要求做出原始状态图如图 5.4.51 所示,其中 S_0 表示起始状态, S_1 状态表示 M_1 输入了 1 个 1, S_2 状态表示 M_1 输入了 2 个 1, S_3 状态表示 M_1 输入了 3 个 1, S_4 状态表示 M_1 输入了 4 个或 4 个以上个 1。

(2) 状态编码。

图 5.4.51 中有 $S_0 \sim S_4$ 共 5 个状态,使用二进制计数器 74LS161 的低 3 位状态变量进行状态编码,按尽量使用二进制时序的编码原则,状态分配关系为

$$S_0 \text{——} 000, S_1 \text{——} 001, S_2 \text{——} 010, S_3 \text{——} 011, S_4 \text{——} 100$$

状态编码后的状态图如图 5.4.52 所示。

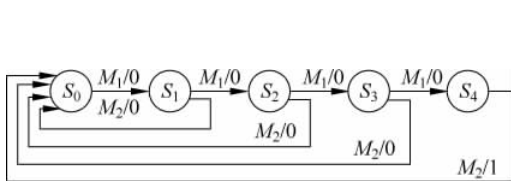


图 5.4.51 例 5.4.15 的原始状态图

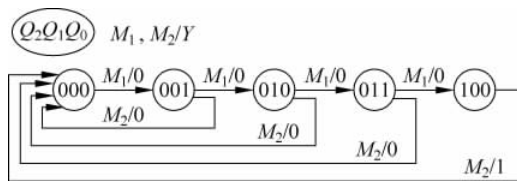


图 5.4.52 例 5.4.15 的状态编码后状态图

(3) 求解逻辑表达式。

计数器在各种状态下的操作由输入变量 M_1 、 M_2 决定,由图 5.4.52 所示的状态图及表 5.3.5 所示的状态表可确定: 仅 $M_1=1$ 时,执行计数功能实现“次态=现态+1”的二进制时序关系,要求 $EP=ET=1, \overline{LD}=1$; 仅 $M_2=1$ 时,执行预置数功能实现“次态=预置数”的非二进制时序关系,要求 $EP=ET=\times, \overline{LD}=0$,并且需设置预置数; 当 $M_1=M_2=0$ 时,执行保持功能实现“次态=现态”的自循环时序关系,要求 $EP=ET=0, \overline{LD}=1$ 。

$Q_2^0 Q_1^0 Q_0^0 = 000$ 时求解控制变量 EP 、 ET 、 $\overline{LD}$ 、输出函数 Y 的卡诺图及画包围圈化简如

图 5.4.53 所示,求解逻辑表达式为

$$\begin{cases} EP = ET = M_1 \\ \overline{LD} = 1 \end{cases} \quad (5.4.57)$$

$$Y = 0 \quad (5.4.58)$$

$Q_2^0 Q_1^0 Q_0^0 = 001, 010, 011$ 时求解控制变量 $EP, ET, \overline{LD}$ 、输出函数 Y 的卡诺图及画包围圈化简如图 5.4.54 所示,求解逻辑表达式为

$$\begin{cases} EP = ET = M_1 \\ \overline{LD} = \overline{M}_2 \end{cases} \quad (5.4.59)$$

$$Y = 0 \quad (5.4.60)$$

$Q_2^0 Q_1^0 Q_0^0 = 100$ 时求解控制变量 $EP, ET, \overline{LD}$ 、输出函数 Y 的卡诺图及画包围圈化简如图 5.4.55 所示,求解逻辑表达式为

$$\begin{cases} EP = ET = 0 \\ \overline{LD} = \overline{M}_2 \end{cases} \quad (5.4.61)$$

$$Y = M_2 \quad (5.4.62)$$

$M_2 \backslash M_1$	0		1		0		1		0		1		
0	0	×	1	0	0	0	0	0	0	0	0	0	
1	1	×	1	×	1	×	0	0	0	0	0	0	
$EP=ET$			$\overline{LD}$			Y							

图 5.4.54 001、010、011 状态求解控制变量、输出函数的卡诺图及化简

$M_2 \backslash M_1$	0		1		0		1		0		1		
0	0	×	1	×	0	×	0	1	0	1	0	1	
1	0	×	1	0	0	0	0	1	0	0	0	1	
$EP=ET$			$\overline{LD}$			Y							

图 5.4.55 100 状态求解控制变量、输出函数的卡诺图及化简

不使用的 101、110 和 111 状态,将 EP, ET 及 $\overline{LD}$ 均设置为 1,使计数器处于二进制时序状态工作,所设计的时序逻辑电路能自启动,不使用的 101、110 和 111 状态的输出设置为 0,亦可设置为 1。

做出二进制计数器 74LS161 预置输入变量的卡诺图及画包围圈化简如图 5.4.56 所示,各预置输入变量的最简逻辑表达式为

$$D_2 = D_1 = D_0 = 0 \quad (5.4.63)$$

		$Q_1^0 Q_0^0$															
		00	01	11	10	00	01	11	10	00	01	11	10	00	01	11	10
Q_2^0	0	×	0	0	0	×	0	0	0	×	0	0	0	×	0	0	0
	1	0	×	×	×	0	×	×	×	0	×	×	×	0	×	×	×
		D_2				D_1				D_0							

图 5.4.56 预置输入变量的卡诺图及化简

用 1 个二进制计数器 74LS161、3 个 8 选数据选择器 74LS151 按式(5.4.57)~式(5.4.63)画出逻辑图如图 5.4.57 所示。

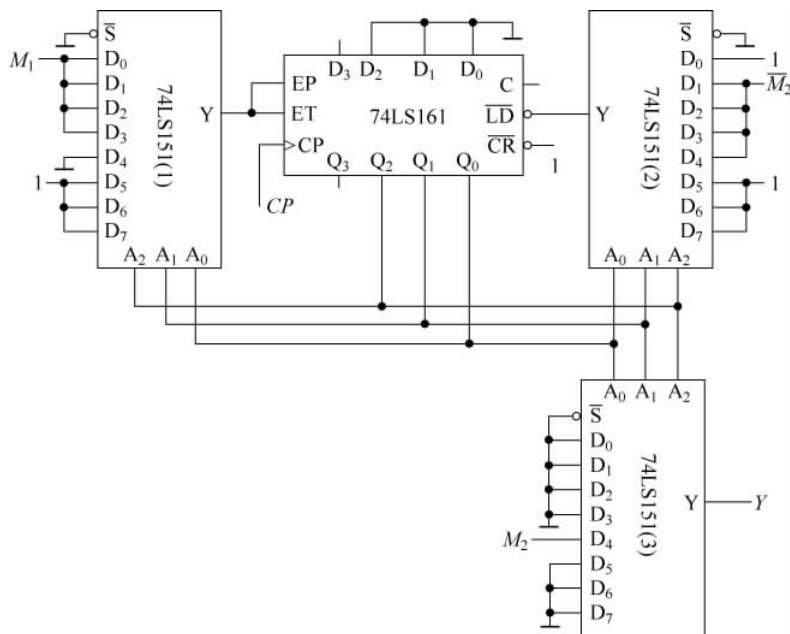


图 5.4.57 例 5.4.15 的逻辑图

5.5 时序逻辑电路 Multisim 仿真实例

1. 同步计数器逻辑功能的 Multisim 仿真

(1) 在 Multisim 中构建同步七进制加法计数器仿真电路,如图 5.5.1 所示。其中,计数器由下降沿 JK 触发器 74LS112、与非门 74LS00、与门 74LS08 组成,该电路即是例 5.2.1 中所分析的时序逻辑电路,时钟电压源用于提供时钟脉冲信号,逻辑分析仪用于显示时钟脉冲 CP 、状态输出 $Q_0 \sim Q_3$ 及输出 Y 的时序波形。

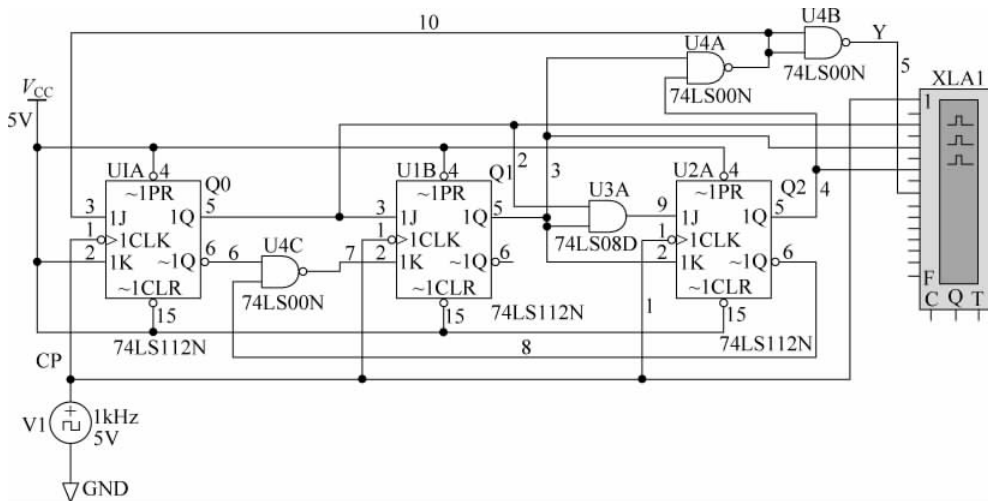


图 5.5.1 同步七进制加法计数器仿真电路

(2) 仿真运行分析。

逻辑分析仪显示的时序波形如图 5.5.2 所示,由上至下依次为时钟脉冲 CP 、状态输出 $Q_0 \sim Q_3$ 及输出 Y 的时序波形。

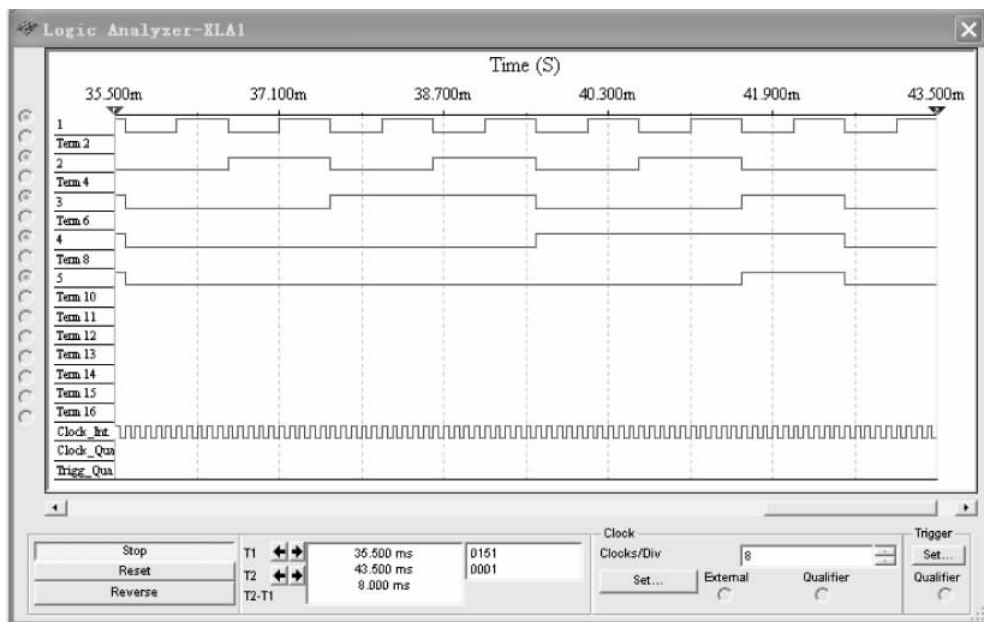


图 5.5.2 同步七进制加法计数器仿真时序波形

由时序波形可看出,在时钟脉冲作用下完成从 $000 \rightarrow 001 \rightarrow 010 \rightarrow 011 \rightarrow 100 \rightarrow 101 \rightarrow 110$ 等 7 个状态的循环变化,并产生进位输出信号,为同步七进制加法计数器,状态改变发生在时钟脉冲信号 CP 的下降沿。

图 5.5.2 的时序波形与例 5.2.1 的分析结果一致。

(3) 当不注重计数器状态改变对应时钟脉冲 CP 的边沿位置时,亦可用指示灯显示状态输出及进位输出。

2. 异步计数器逻辑功能的 Multisim 仿真

(1) 在 Multisim 中构建异步 3 位二进制减法计数器仿真电路,如图 5.5.3 所示。其中,计数器由上升沿 D 触发器 74LS74 组成,该电路即是 5.3.2 节中的图 5.3.12 所示电路,时钟电压源用于提供时钟脉冲信号,逻辑分析仪用于显示时钟脉冲 CP 、状态输出 $Q_0 \sim Q_3$ 的时序波形。

(2) 仿真运行分析。

逻辑分析仪显示的时序波形如图 5.5.4 所示,由上至下依次为时钟脉冲 CP 、状态输出 $Q_0 \sim Q_3$ 的时序波形。

由时序波形可看出,在时钟脉冲作用下完成从 $111 \rightarrow 110 \rightarrow 101 \rightarrow 100 \rightarrow 011 \rightarrow 010 \rightarrow 001 \rightarrow 000$ 等 8 个状态的循环变化,为异步 3 位二进制减法计数器,状态改变发生在时钟脉冲信号 CP 的上升沿。

图 5.5.4 的时序波形与 5.3.2 节中分析结果一致。

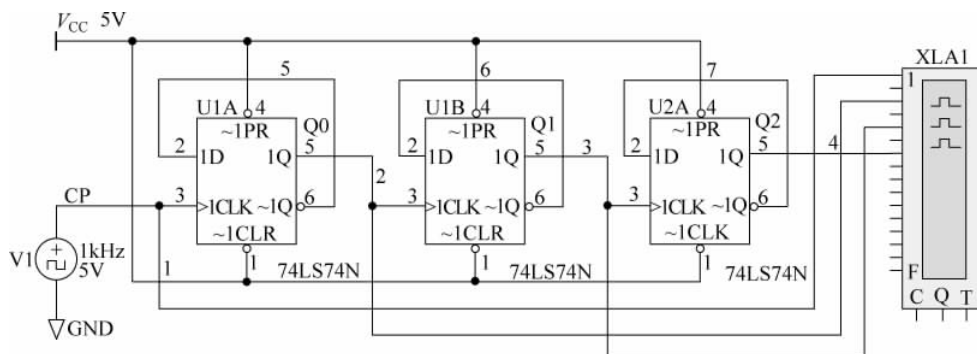


图 5.5.3 异步 3 位二进制减法计数器仿真电路

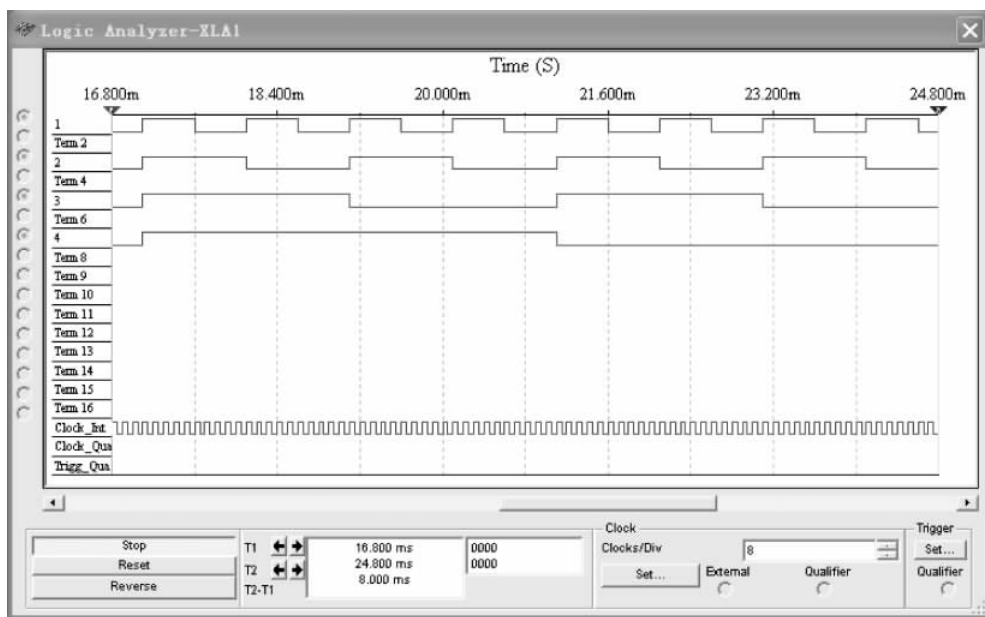


图 5.5.4 异步 3 位二进制减法计数器仿真时序波形

3. 集成计数器 74LS161 构成十二进制计数器的 Multisim 仿真

(1) 在 Multisim 中构建仿真电路,如图 5.5.5 所示。其中,集成 4 位二进制计数器 74LS161、与非门 74LS10 用同步复位法构成十二进制计数器,该电路即是例 5.4.6 中的图 5.4.27 所示电路,时钟电压源用于提供时钟脉冲信号,逻辑分析仪用于显示时钟脉冲 $CP(CLK)$ 、异步置 0 信号 $\overline{CR}(\sim CLR)$ 、状态输出 $Q_0 \sim Q_3(Q_A \sim Q_D)$ 的时序波形。

【注意】 Multisim 10 版本中,74LS161 的时钟脉冲 CLK 为下降沿触发,附加反相器 74LS04 修正为和实际器件一致的上升沿触发方式。

(2) 仿真运行分析。

逻辑分析仪显示的时序波形如图 5.5.6 所示,由上至下依次为时钟脉冲 $CP(CLK)$ 、异步置 0 信号 $\overline{CR}(\sim CLR)$ 、状态输出 $Q_0 \sim Q_3(Q_A \sim Q_D)$ 的时序波形。

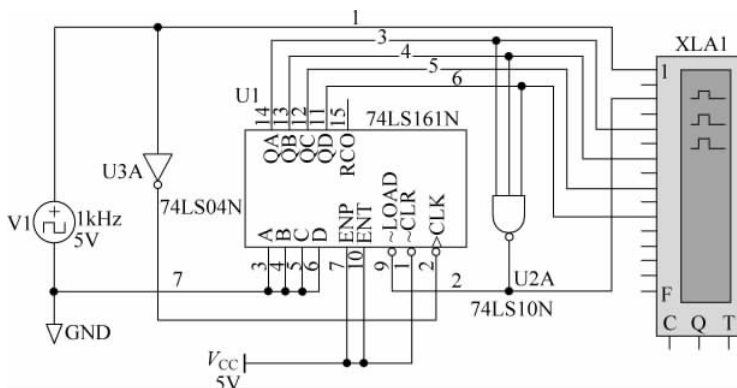


图 5.5.5 74LS161 构成十二进制计数器仿真电路



图 5.5.6 74LS161 构成十二进制计数器仿真时序波形

由图 5.5.6 可知,从 0000~1010 状态,预置数控制信号 $\overline{LD}(\sim LOAD)=1$,计数器在时钟脉冲作用下按计数方式工作,完成 0000→0001→0010→0011→0100→0101→0110→0111→1000→1001→1010→1011 状态变化;在 1011 状态预置数控制信号 $\overline{LD}(\sim LOAD)=0$,计数器在时钟脉冲作用下按预置数方式工作,使 $Q_0Q_1Q_2Q_3(Q_AQ_BQ_CQ_D)=ABCD=0000$,完成 1011→0000 状态变化。

仿真实验结果和理论分析一致。

本章小结

本章主要介绍了时序逻辑电路的特点、时序逻辑电路的分析方法和设计方法、常用时序逻辑电路、用中规模集成计数器构成任意计数器的方法。

(1) 时序逻辑电路的结构特点是必含有由触发器组成的存储电路;时序逻辑电路的功能特点是任一时刻的输出信号不仅取决于当时的输入信号,而且还取决于电路原来的状态。

(2) 时序逻辑电路逻辑功能的描述方法主要有逻辑表达式(输出方程、驱动方程、状态方程)、状态表、状态图、时序图。它们各有特点,本质是相通的,可以相互转换。

(3) 常用时序逻辑电路有计数器、寄存器等,要注意理解概念,掌握集成器件的图形符号、逻辑功能,掌握同步、异步二进制计数器的构成特点,掌握移位寄存器型计数器的特点。

(4) 时序逻辑电路的分析,实质是从逻辑图到状态图、时序图的各种功能描述方法的按步骤转换过程。

由于同步时序逻辑电路设置统一的时钟,分析时不需考虑各触发器状态转换的时钟条件,仅在画时序图时画出时钟脉冲信号 CP 的波形。

由于异步时序逻辑电路不设置统一的时钟,分析时需考虑各触发器状态转换的时钟条件。

(5) 基于触发器的时序逻辑电路设计,实质是从设计要求的状态图到逻辑图的各种功能描述方法的转换过程。关键是画次态卡诺图,通过次态卡诺图求解各触发器的驱动方程及自启动逻辑修改。

(6) 基于触发器的移位寄存器型计数器自启动设计,关键要清楚右移移位、反馈循环的工作过程,可对任何一位触发器的激励函数进行逻辑修改。

(7) 在同步二进制计数器设计的基础上通过修改部分触发器的激励函数方程而改变计数器状态转换的顺序,实现 N 进制计数器的设计。

(8) 集成计数器构成 N 进制计数器,实质是通过预置数控制端 $\overline{LD}$ 或异步清零端 $\overline{CR}$ 跳过 $2^n - N$ 个状态实现 N 进制计数。

以集成计数器的状态输出函数为变量进行设计的修改,关键是寻找新的输出和计数器状态输出量之间的逻辑关系。

(9) 基于触发器的一般同步时序逻辑电路设计,关键是根据设计要求画出原始状态图,清楚各个状态所表示的含义。

(10) 基于 MSI 二进制计数器 74LS161 的一般同步时序逻辑电路设计,用状态输出端 $Q_3Q_2Q_1Q_0$ 的代码组合表示时序逻辑电路的各个状态,由输入变量控制 EP 、 ET 及 $\overline{LD}$ 端,用计数功能实现“次态=现态+1”的二进制时序关系、用预置数功能实现“次态=预置数”的非二进制时序关系、用保持功能实现“次态=现态”的时序关系。

自测题

1. 单项选择题

在各小题备选答案中选择出一个正确的答案,将正确答案前的字母填在题干后的括号内。

(1) 时序逻辑电路在结构上()。

- | | |
|---------------------|------------|
| A. 必须有组合逻辑电路 | B. 必须有存储电路 |
| C. 必须同时有存储电路和组合逻辑电路 | D. 以上均正确 |

- (2) 下列四种关于时序逻辑电路的说法中,不正确的是()。
- A. 同步时序逻辑电路中所有触发器的触发输入端均接同一个时钟脉冲源
B. 异步时序逻辑电路中各触发器状态的变化并不同时发生
C. Mealy 型时序逻辑电路的输出不仅是当前输入的函数同时也是当前状态的函数
D. Moore 型时序逻辑电路中不存在独立设置的输入变量
- (3) 同步时序逻辑电路和异步时序逻辑电路的区别在于异步时序逻辑电路()。
- A. 没有触发器
B. 没有统一的时钟脉冲控制
C. 没有稳定状态
D. 输出只与内部状态有关
- (4) 图 T5.4 所示各逻辑电路中,为一位二进制计数器的是()。

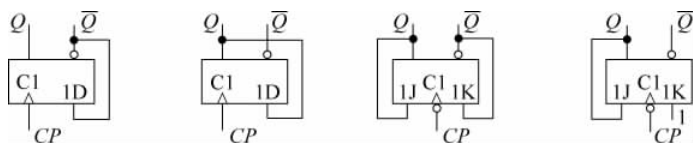


图 T5.4

- (5) 异步计数器如图 T5.5 所示,若当前计数状态为 $Q_2Q_1Q_0 = 110$,则在时钟作用下计数器的下一状态为()。

A. 111 B. 101 C. 010 D. 011

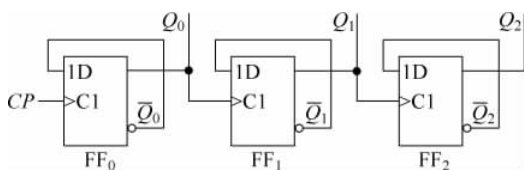


图 T5.5

- (6) 3 位移位寄存器组成的扭环形计数器,其进制数为()。
- A. 三进制 B. 六进制 C. 八进制 D. 二进制
- (7) 4 位环形计数器中,无效状态的个数为()。
- A. 4 个 B. 12 个 C. 8 个 D. 0 个
- (8) 4 个触发器构成的计数器,其状态利用率最高的是()。
- A. 二进制计数器 B. 十进制计数器
C. 环形计数器 D. 扭形计数器
- (9) 4 位二进制计数器 74LS161 构成的任意进制计数器电路如图 T5.9 所示,计数器的有效状态数为()。
- A. 16 个 B. 8 个 C. 10 个 D. 12 个
- (10) 一个 4 位串行数据输入 4 位移位寄存器,时钟脉冲频率为 1kHz,转换为 4 位并行数据输出的时间为()。
- A. 8ms B. 4ms C. 8μs D. 4μs

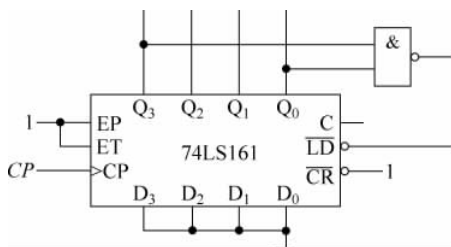


图 T5.9

2. 填空题

- (1) 时序逻辑电路在结构上的特点是必含有_____, 组合逻辑电路部分根据需要设置。
- (2) 时序逻辑电路在任一时刻的稳定输出信号不仅与当时的输入信号有关, 而且还与_____有关。
- (3) 描述时序逻辑电路逻辑功能的逻辑表达式为三组方程, 分别是_____, _____和_____。
- (4) 时序逻辑电路的“现态”反映的是_____时刻电路状态变化的结果, 而“次态”则反映的是_____时刻电路状态变化的结果。
- (5) 计数器工作时用电路的状态变化对_____出现的个数进行计数。
- (6) 计数器计数时, 被利用了的状态称为_____, 没被利用的状态称为_____, 在时钟脉冲 CP 作用下_____称有自启动功能或能自启动。
- (7) 时序逻辑电路按其不同的状态改变方式, 可分为_____时序逻辑电路和_____时序逻辑电路两种。前者设置统一的时钟脉冲, 后者不设置统一的时钟脉冲。
- (8) 根据计数过程中数字增、减规律的不同, 计数器可分为_____计数器、_____计数器和可逆计数器三种类型。
- (9) 由上升沿 D 触发器构成异步二进制加法计数器时, 最低位触发器的 CP 端接外部时钟信号, 其他各触发器的 CP 端接相邻低位触发器的_____。
- (10) 将移位寄存器的串行输出端反馈到串行输入端, 就构成_____计数器; 将移位寄存器的串行反相输出端反馈到串行输入端, 就构成_____计数器。

习题

习题 5.1 分析如图 P5.1 所示的时序逻辑电路, 写出驱动方程、状态方程、输出方程, 列出状态表及状态图, 说明逻辑功能。

习题 5.2 分析如图 P5.2 所示的时序逻辑电路, 写出驱动方程、状态方程、输出方程, 列出状态表及状态图, 说明逻辑功能。

习题 5.3 分析如图 P5.3 所示的时序逻辑电路, 写出驱动方程、状态方程、输出方程, 列出状态表及状态图, 说明逻辑功能。

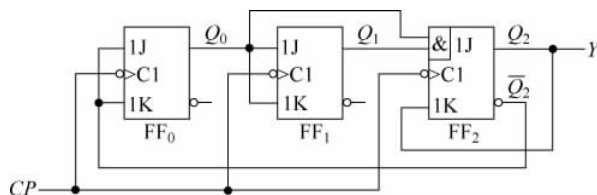


图 P5.1

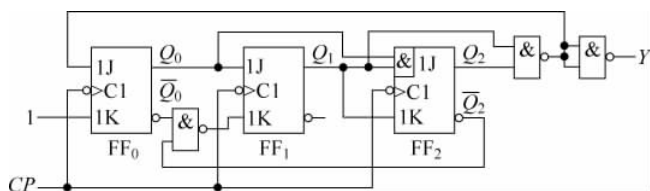


图 P5.2

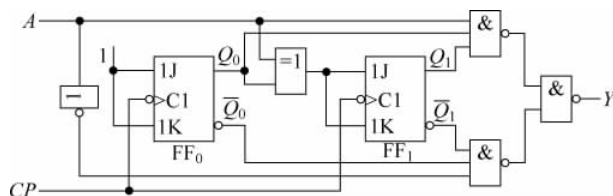


图 P5.3

习题 5.4 分析如图 P5.4 所示的时序逻辑电路, 写出驱动方程、状态方程、输出方程, 列出状态表及状态图, 说明逻辑功能。

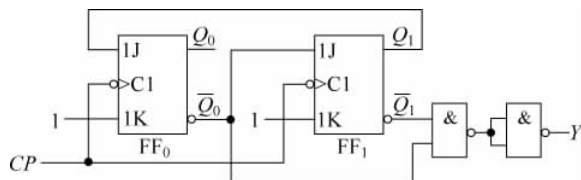


图 P5.4

习题 5.5 分析如图 P5.5 所示的时序逻辑电路, 写出驱动方程、状态方程, 列出状态表及状态图, 说明逻辑功能。

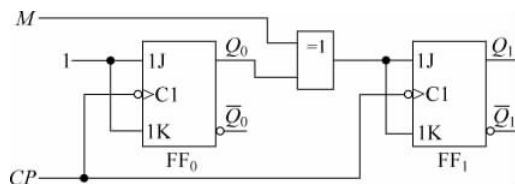


图 P5.5

习题 5.6 分析如图 P5.6 所示的时序逻辑电路, 写出驱动方程、状态方程、输出方程, 列出状态表及状态图, 画出时序图, 说明 Q_1 、 Q_0 与 CP 的频率关系。

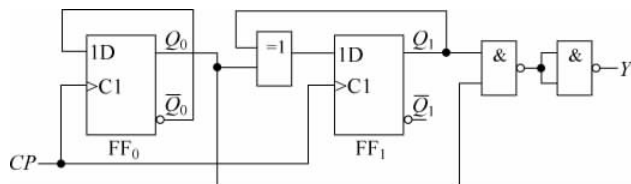


图 P5.6

习题 5.7 分析如图 P5.7 所示的时序逻辑电路, 写出驱动方程、状态方程, 列出状态转换表及状态图, 说明逻辑功能。

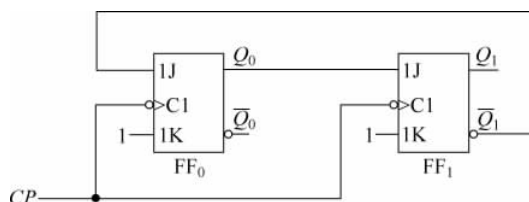


图 P5.7

习题 5.8 分析如图 P5.8 所示的时序逻辑电路, 写出驱动方程、状态方程, 列出状态转换表及状态图, 说明逻辑功能。

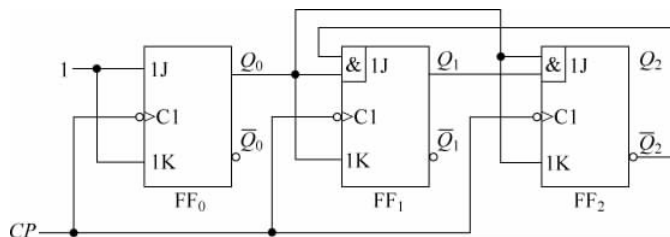


图 P5.8

习题 5.9 分析如图 P5.9 所示的时序逻辑电路。

- (1) 写出 $\bar{R}_D = 0$ 时 $Q_2 Q_1 Q_0$ 的值;
- (2) 分析 $\bar{R}_D = 1$ 时电路的逻辑功能, 写出驱动方程、状态方程, 列出状态转换表, 画出状态图, 画出时序图, 说明电路的逻辑功能。

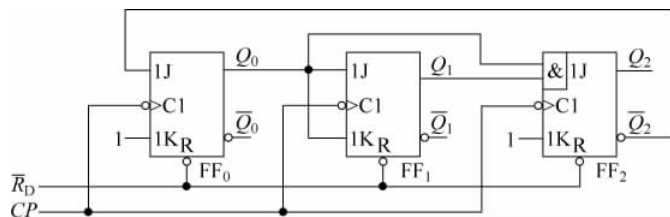


图 P5.9

习题 5.10 计数器如图 P5.10 所示,分析是几进制的计数器,状态编码为何种编码方案? 输出信号的有效时刻?

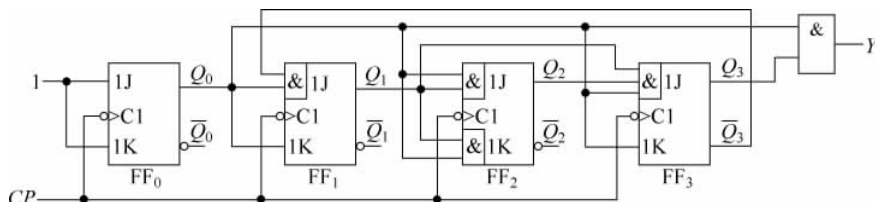


图 P5.10

习题 5.11 同步时序逻辑电路如图 P5.11 所示,试分析逻辑功能。

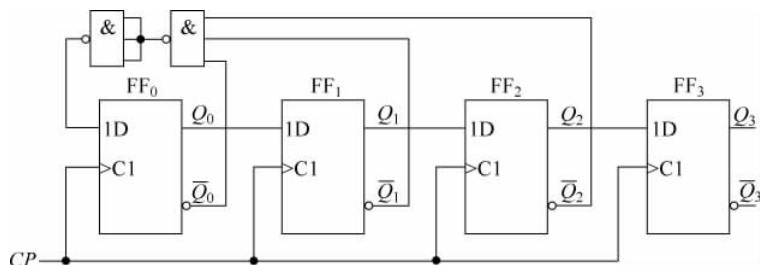


图 P5.11

习题 5.12 同步时序逻辑电路如图 P5.12 所示,试分析逻辑功能。

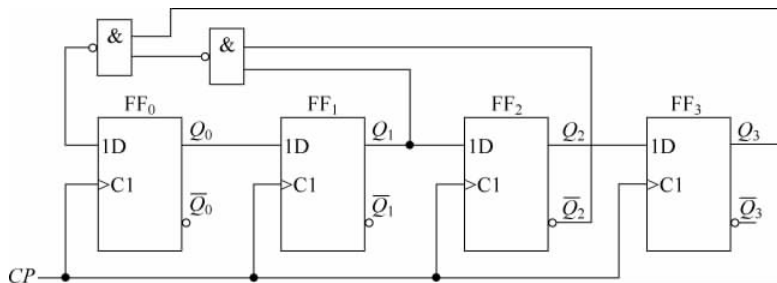


图 P5.12

习题 5.13 分析如图 P5.13 所示异步时序逻辑电路的逻辑功能。

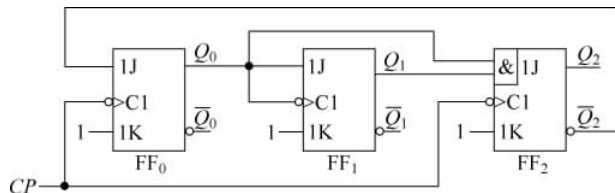


图 P5.13

习题 5.14 分析如图 P5.14 所示异步时序逻辑电路的逻辑功能。

习题 5.15 异步计数器如图 P5.15 所示,分析逻辑功能。

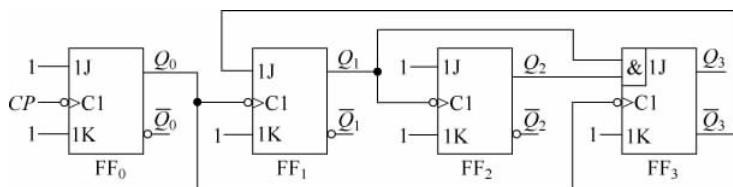


图 P5.14

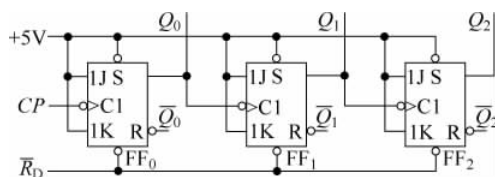


图 P5.15

习题 5.16 异步计数器如图 P5.16 所示,分析逻辑功能。

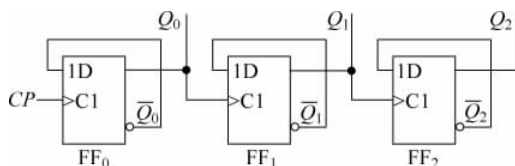


图 P5.16

习题 5.17 一个 4 位串行数据输入的移位寄存器,时钟脉冲频率为 1kHz,求完成转换 4 位并行数据输出的时间。

习题 5.18 4 位二进制计数器 74LS161 构成的任意进制计数器电路如图 P5.18 所示,画出状态图,说明是几进制的计数器。

习题 5.19 4 位二进制计数器 74LS161 构成的任意进制计数器电路如图 P5.19 所示,画出状态图,说明是几进制的计数器。

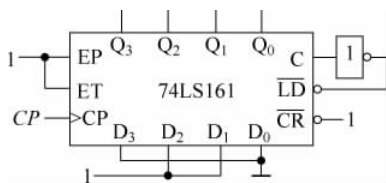


图 P5.18

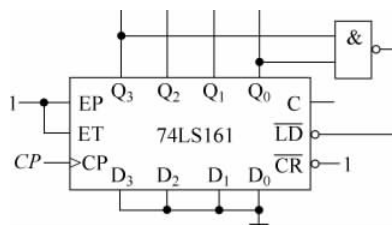


图 P5.19

习题 5.20 用下降沿 JK 触发器设计如图 P5.20 所示状态转换关系的同步计数器电路。

习题 5.21 用下降沿 JK 触发器设计如图 P5.21 所示时序关系的同步计数器电路。

习题 5.22 试用下降沿 JK 触发器设计一个同步四进制可逆计数器,控制量 $X=0$ 时进行加法计数、控制量 $X=1$ 时进行减法计数。

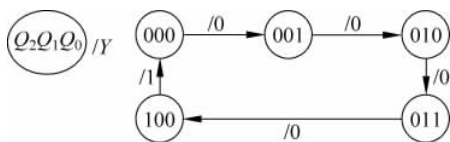


图 P5.20

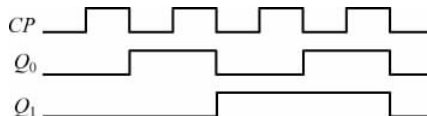


图 P5.21

习题 5.23 试用上升沿触发的维持阻塞 D 触发器设计一个 3 位异步加法计数器。

习题 5.24 试用下降沿 JK 触发器设计一个 3 位异步减法计数器。

习题 5.25 用逻辑修改技术设计一个同步十三进制加法计数器,用下降沿 JK 触发器实现。

习题 5.26 用逻辑修改技术设计一个同步十三进制减法计数器,用下降沿 JK 触发器实现。

习题 5.27 试用集成 4 位同步二进制计数器 74LS161 附加必要的逻辑门电路设计一个计数范围为 0~11 的十二进制加法计数器,采用同步复位法。

习题 5.28 试用集成 4 位同步二进制计数器 74LS161 附加必要的逻辑门电路设计一个二百五十六进制计数器,片间分别采用同步触发方式连接、异步触发方式连接。

习题 5.29 试用集成 4 位同步二进制计数器 74LS161 附加必要的逻辑门电路设计一个加/减可逆计数器,控制量 $X=0$ 时进行加法计数、控制量 $X=1$ 时进行减法计数。

习题 5.30 试用集成 4 位同步二进制计数器 74LS161、4 位加法器 74LS283 及必要的逻辑门电路设计一个余 3 BCD 码十进制加法计数器。

习题 5.31 试用集成 4 位移位寄存器 74LS194 附加必要的逻辑门电路设计能自启动的 4 位扭环形计数器。

习题 5.32 试用下降沿 JK 触发器设计一个 111 序列检测电路,当连续输入 3 个或 3 个以上 1 时输出为 1,否则输出为 0。

习题 5.33 试用集成 4 位同步二进制计数器 74LS161 及 8 选 1 数据选择器 74LS151 构成一个脉冲序列产生电路,输出序列脉冲为 10010011。

习题 5.34 试用集成 4 位同步二进制计数器 74LS161 和 3 线-8 线译码器 74LS138 构成一个脉冲序列发生电路,产生的脉冲序列如图 P5.34 所示。

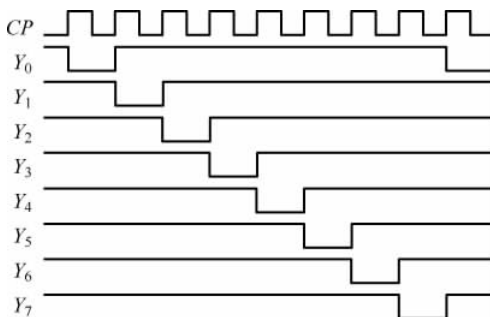


图 P5.34

习题 5.35 试用集成 4 位同步二进制计数器 74LS161、数据选择器 74LS151 及二进制译码器 74LS138 等器件设计如图 P5.35 所示状态图所要求的 Moore 型时序逻辑电路。

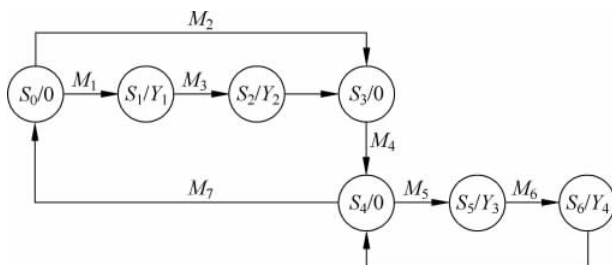


图 P5.35

Multisim 仿真练习题

仿真题 5.1 用 74LS74 双 D 触发器、74LS10 三 3 输入与非门、74LS00 四 2 输入与非门、74LS86 四 2 输入异或门及 74LS04 六反相器构建仿真电路,对例 5.2.2 中的时序逻辑电路进行 Multisim 仿真分析。

仿真题 5.2 用 74LS112 双 JK 触发器、74LS10 三 3 输入与非门及 74LS04 六反相器构建仿真电路,对例 5.2.3 中的时序逻辑电路进行 Multisim 仿真分析。

仿真题 5.3 用 74LS112 双 JK 触发器、74LS08 四 2 输入与门构建仿真电路,对图 5.3.5 所示的 3 位同步二进制加法计数器进行 Multisim 仿真分析。

仿真题 5.4 用 74LS112 双 JK 触发器、74LS08 四 2 输入与门构建仿真电路,对图 5.3.16 所示的异步十进制计数器进行 Multisim 仿真分析。

仿真题 5.5 用 74LS74 双 D 触发器、74LS08 四 2 输入与门构建仿真电路,对图 5.3.20 所示的 3 位环形计数器进行 Multisim 仿真分析。

仿真题 5.6 用 74LS74 双 D 触发器、74LS00 四 2 输入与非门构建仿真电路,对图 5.3.24 所示的 3 位扭环计数器进行 Multisim 仿真分析。

仿真题 5.7 用集成 4 位二进制计数器 74LS161、74LS00 四 2 输入与非门构建十二进制计数器仿真电路,对例 5.4.7 中的时序逻辑电路进行 Multisim 仿真分析。

仿真题 5.8 用 74LS112 双 JK 触发器、74LS08 四 2 输入与门构建仿真电路,对习题 5.1 所示电路进行 Multisim 仿真分析。

仿真题 5.9 用 74LS74 双 D 触发器、74LS86 四 2 输入异或门、74LS00 四 2 输入与非门构建仿真电路,对习题 5.6 所示电路进行 Multisim 仿真分析。

仿真题 5.10 用 74LS112 双 JK 触发器、74LS08 四 2 输入与门构建仿真电路,对习题 5.9 所示电路进行 Multisim 仿真分析。

仿真题 5.11 用 74LS112 双 JK 触发器、74LS08 四 2 输入与门构建仿真电路,对习题 5.13 所示电路进行 Multisim 仿真分析。

仿真题 5.12 用集成 4 位二进制计数器 74LS161、74LS04 六反相器构建仿真电路,对习题 5.18 所示电路进行 Multisim 仿真分析。