

实现基本逻辑关系和复合逻辑关系的单元电子线路称为门电路(gates)。门电路是最基本的数字电路,其名称源于它们能够控制数字信息的流动。

逻辑代数中定义了与、或、非、与非、或非、异或和同或共7种逻辑运算,相应地,实现上述逻辑关系的门电路分别称为与门、或门、非门、与非门、或非门、异或门和同或门。由于非门的输出与输入状态相反,所以习惯上称为反相器。

在门电路中,用高电平和低电平表示逻辑代数中的1和0。所谓电平,是指相对于电路中特定的参考点(一般为“地”),电路的输入、内部节点以及输出电位的高低。

TTL门电路的电源电压规定为5V,定义2.0~5.0V为高电平,0~0.8V为低电平,如图3-1(a)所示,而0.8~2.0V则认为是高电平和低电平之间的不确定状态。CMOS门电路的电源电压取5V时,定义3.5~5.0V为高电平,0~1.5V为低电平,如图3-1(b)所示,而1.5~3.5V则认为是高电平和低电平之间的不确定状态。

用高、低电平表示逻辑代数中的0和1有正逻辑和负逻辑两种赋值方法,如图3-2所示。用高电平表示逻辑1、低电平表示逻辑0,称为正逻辑赋值;相反地,用高电平表示逻辑0、低电平表示逻辑1,称为负逻辑赋值。两种赋值方法等价,为思维统一起见,本书默认采用正逻辑。



图 3-1 逻辑电平的定义

图 3-2 正/负逻辑表示法

高、低电平可以通过如图3-3所示的开关电路产生。设 $V_{CC}=5V$,对于图3-3(a)所示的单开关电路,当输入信号控制开关S闭合时输出 v_O 为低电平,S断开时通过上拉电阻使 $v_O=V_{CC}$,输出为高电平。

对于图3-3(b)所示的互补开关电路,输入信号控制开关 S_1 闭合、 S_2 断开时, v_O 输出为高电平;控制开关 S_1 断开、 S_2 闭合时, v_O 输出为低电平。

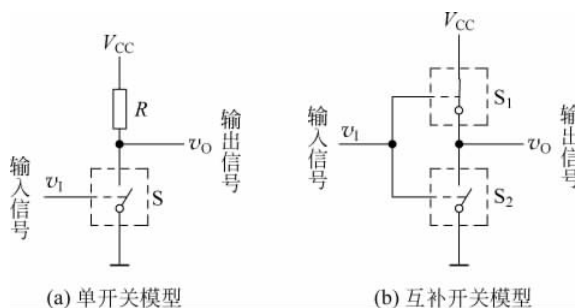


图 3-3 获得高、低电平的开关电路模型

图 3-3 中的开关可以用晶体二极管、三极管或场效应管实现。因为二极管在外加正向电压时导通,外加反向电压时截止,能够表示开关的闭合和断开。工作在饱和区和截止区的三极管同样能够表示开关的闭合和断开。场效应管作为开关的原理与三极管类似。

3.1 分立元件门电路

门电路可以基于二极管、三极管或场效应管这些分立元件设计。二极管可以构成与门和或门,而非门则需要基于三极管或场效应管设计。

二极管为非线性元件,常用硅二极管的伏安特性如图 3-4 所示。从伏安特性曲线可以看出,二极管在外加反向电压但还未达到击穿电压时只有非常小的漏电流流过(一般为 pA 级),此漏电流可以忽略不计,认为二极管截止;二极管在外加正向电压并高于阈值电压时导通,有明显的电流流过。对于硅二极管来说,该阈值电压一般在 0.5V 左右。

二极管在近似分析中通常用模型代替,以简化电路分析。图 3-5 是二极管常用的 3 种近似模型,图中的虚线表示二极管实际的伏安特性,实线则表示其模型的伏安特性。

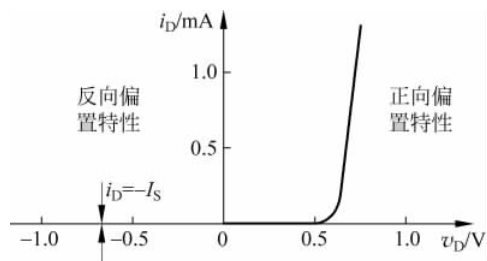


图 3-4 二极管的伏安特性

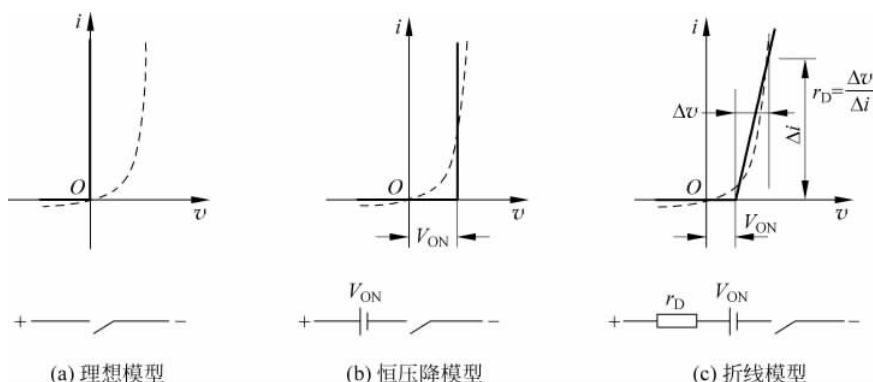


图 3-5 二极管的 3 种近似模型

图 3-5(a)称为理想模型。理想模型将二极管看作理想开关,外加正向电压时导通,并且导通电阻 $r_{ON}=0$; 外加反向电压时截止,并且截止电阻 $r_{OFF}=\infty$ 。

图 3-5(b)称为恒压降模型。恒压降模型认为二极管外加正向电压达到导通电压 V_{ON} 时才能导通,并且导通电阻 $r_{ON}=0$; 外加电压小于 V_{ON} 时截止,截止电阻 $r_{OFF}=\infty$ 。对于硅二极管来说, V_{ON} 一般按 0.7V 进行估算。

图 3-5(c)称为折线模型。在折线模型中二极管导通时仍有一定的导通电阻,即 $r_{ON}\neq 0$,其两端电压 v 随着电流 i 的随大而增大。导通电阻定义为 $r_{ON}=\Delta v/\Delta i$ 。

由于逻辑电平定义为一段范围,而不是一个确定的数值,因此对于数字电路来说,无论采用哪种模型分析都并不影响电路逻辑关系的正确性。为方便分析,同时考虑尽量接近二极管实际的伏安特性,下面将采用恒压降模型进行分析。

3.1.1 二极管与门

两输入二极管与门电路如图 3-6 所示,图中 A、B 为两个输入变量,Y 为输出变量。

设电源 $V_{CC}=5V$,输入端 A 和 B 的高电平 V_{IH} 为 3V,低电平 V_{IL} 为 0V。两个输入端电平的组合共有 4 种可能性: 0V/0V、0V/3V、3V/0V 和 3V/3V。当 A、B 中至少有一个为低电平时,二极管 D_1 和 D_2 至少有一个导通,由于二极管的导通压降约为 0.7V 左右,所以输出电平被限制为 0.7V 左右; 当 A、B 同时为高电平时,二极管 D_1 和 D_2 同时导通,输出电平才会升到 3.7V。根据上述分析可以得到表示输出与输入之间电平关系的电平表,如表 3-1 所示。

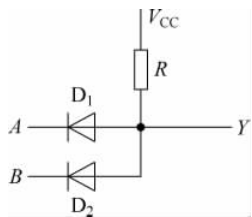


图 3-6 两输入与门

表 3-1 图 3-6 电路电平表

V_A/V	V_B/V	V_Y/V
0	0	0.7
0	3	0.7
3	0	0.7
3	3	3.7

将表 3-1 所示的电平表按正逻辑赋值,即用高电平表示逻辑 1,用低电平表示逻辑 0,可转化为表 3-2 所示的真值表。从真值表可以看出,该电路在正逻辑下实现了与逻辑关系,故称为二极管与门。

表 3-2 图 3-6 电路真值表

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

三变量以上二极管与门按图 3-6 扩展构成。

3.1.2 二极管或门

两输入二极管或门电路如图 3-7 所示,图中 A 、 B 为两个输入变量, Y 为输出变量。

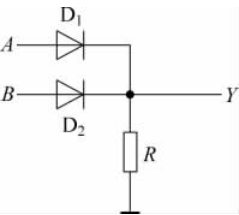


图 3-7 两输入或门

设电源 $V_{CC}=5V$,输入端的高电平 V_{IH} 和低电平 V_{IL} 分别为 $3V$ 和 $0V$ 。当 A 、 B 中至少有一个为高电平时,二极管 D_1 和 D_2 至少有一个导通,考虑到二极管的导通压降约为 $0.7V$,所以输出电平约为 $2.3V$;当 A 、 B 同时为低电平时,二极管 D_1 和 D_2 才会同时截止,由于电路中没有电流流过,所以输出电平为 $0V$ 。根据上述分析得到图 3-7 电路的电平表如表 3-3 所示。

表 3-3 图 3-7 电路电平表

V_A/V	V_B/V	V_Y/V
0	0	0
0	3	2.3
3	0	2.3
3	3	2.3

表 3-4 图 3-7 电路真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

将表 3-3 所示的电平表按正逻辑赋值同样,可转化为表 3-4 所示的真值表。由真值表可以看出,该电路在正逻辑下实现了或逻辑关系,故称为二极管或门。

三变量以上二极管或门可按图 3-7 扩展构成。

3.1.3 三极管反相器

三极管通常有三个工作区域:截止区、放大区和饱和区,其输入特性曲线和输出特性曲线如图 3-8 所示。

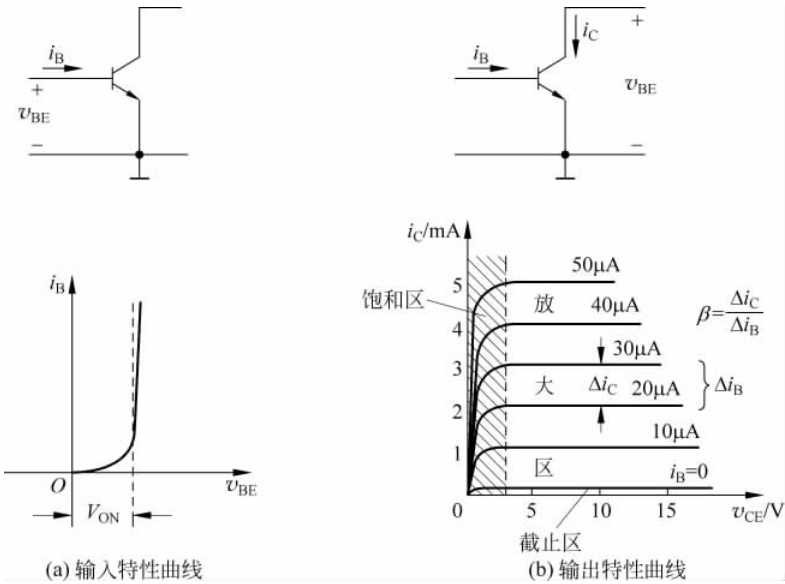


图 3-8 三极管的特性曲线

当三极管发射结外加反向电压或外加正向电压但未达到其阈值电压时,三极管工作在截止区,此时即使 $v_{CE} \neq 0$,但 $i_C \equiv 0$,所以 $r_{CE} \rightarrow \infty$,抽象为开关断开。当三极管在发射结外加正向电压并能使其工作在饱和区时,发射结和集电结同时处于正偏状态,此时 $r_{CE} \rightarrow 0$,抽象为开关闭合。在数字电路中,三极管工作在截止状态或饱和状态,称之为开关状态,而放大区则被看作开关由闭合到断开或者由断开到闭合的过渡状态。

用三极管构成的基本开关电路如图 3-9 所示,基于图 3-3(a)所示的单开关模型实现。

由于三极管工作在放大区时集电结反偏,工作在饱和区时集电结正偏,因此定义集电结零偏(即 $V_{CB} = 0$)为临界饱和状态,为区分放大区和饱和区的分界线。

若将三极管处于临界饱和状态时的集电极与发射极之间的管压降和基极驱动电流分别用 V_{CES} 和 I_{BS} 表示(S 表示 saturation,饱和),则 $V_{CES} \approx 0.7V$, $I_{BS} = (V_{CC} - V_{CES}) / (\beta \times R_C)$ 。

三极管基本开关电路的工作原理分析如下:

(1) 当输入 $v_1 = 0V$ 时,发射结零偏,三极管截止,这时 $i_C = 0$,因此输出电压 $v_O = V_{CC} - R_C \times I_C = V_{CC}$ 为高电平。

(2) 当输入 v_1 为高电平(V_{IH})时,发射结导通,这时实际的基极驱动电流为 $I_B = (V_{IH} - V_{BE}) / R_B$ 。当 $I_B > I_{BS}$ 时, I_C 大于 I_{CS} (不一定成比例关系),导致电阻 R_C 两端的压降增大,使 $V_{CE} < 0.7V$,因此使三极管集电结正偏而工作在饱和状态。三极管深度饱和($I_B \gg I_{BS}$)时 V_{CES} 约为 $0.1 \sim 0.2V$,所以输出 $v_O = V_{CES}$ 为低电平。

由以上分析可知,三极管基本开关电路只有在参数满足 $I_B > I_{BS}$ 时才能实现非逻辑关系。

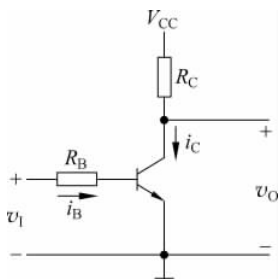


图 3-9 三极管基本开关电路

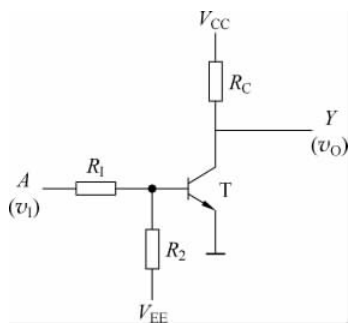


图 3-10 三极管反相器

对于三极管基本开关电路来说,当输入低电平达到 TTL 低电平上限 $0.8V$ 时,三极管不能可靠地截止从而影响门电路的性能。为此,三极管反相器采用图 3-10 所示的改进电路,其中 V_{EE} 为负电源,目的是使输入低电平在 $0 \sim 0.8V$ 范围内三极管都能够可靠地截止。

对于三极管反相器,当输入电压 $v_1 = V_{IL}$ 时,设三极管截止,则三极管的基极电位可表示为

$$V_B = \frac{R_2}{R_1 + R_2} V_{IL} + \frac{R_1}{R_1 + R_2} V_{EE}$$

若 $V_B < 0$,则三极管截止成立,输出 $v_O = V_{CC}$,为高电平。

当输入电压 $v_1 = V_{IH}$ 时,设三极管导通。设流过电阻 R_1 的电流 I_1 ,流过电阻 R_2 的电流为 I_2 ,这时三极管的实际驱动电流

$$I_B = I_1 - I_2 = \frac{V_{IH} - V_{BE}}{R_1} - \frac{V_{BE} - V_{EE}}{R_2}$$

若 $I_B > I_{BS}$,则三极管饱和,输出电压 $v_O = V_{CES} \approx 0.1 \sim 0.2V$,输出为低电平。

将二极管与门与三极管反相器级联即可得到与非门,将二极管或门与三极管反相器级

联即可得到或非门。

分析分立元器件门电路有助于理解门电路的设计原理。在设计数字系统时,直接使用集成门电路更为方便。

思考与练习

3-1 若将图 3-6 所示的电路按负逻辑进行赋值,是什么门电路? 同样,若将图 3-7 所示的电路按负逻辑赋值时是什么门电路? 由此能得出什么结论?

3-2 三极管基本开关电路与三极管共射极放大电路有什么本质区别? 分析并进行说明。

3.2 集成门电路

集成门电路根据制造工艺进行划分,可分为 TTL 门电路和 CMOS 门电路两大类型,其中 TTL 门电路基于双极性三极管工艺制造,CMOS 门电路基于 MOS 场效应管工艺制造。

TTL 门电路发展比较早,有 54/74、54S/74S、54AS/74AS、54LS/74LS、54ALS/74ALS 和 74F 多种产品系列,其中 54 系列为军工(M)产品,工作温度范围为 $-55\sim 125^{\circ}\text{C}$,电源电压范围为 $5\text{V}\pm 10\%$; 74 系列为民用产品,电源电压范围为 $5\text{V}\pm 5\%$,分为工业级(I)和商业级(C)两个子系列。工业级产品温度范围为 $-40\sim 85^{\circ}\text{C}$,商业级产品温度范围为 $0\sim 70^{\circ}\text{C}$ 。

CMOS 门电路有 4000、54/74HC、54/74AHC、54/74HCT、54/74AHCT、54/74LVC 以及 54/74ALVC 等多种系列。早期的 4000 系列门电路的速度远低于同期的 74 系列 TTL 门电路,主要用在对速度要求不高的场合。随着 MOS 制造工艺的改进,其后生产的 HC/AHC、HCT/AHCT 和 LVC/ALVC 等系列门电路的工作速度赶上甚至超过了 TTL 门电路。

目前,CMOS 门电路因其具有工作电源电压范围宽、静态功耗极低、抗干扰能力强、输入阻抗高和成本低等许多优点而得到了广泛的应用,TTL 门电路只有 74、74LS 等个别系列还在使用。表 3-5 是 TTL 门电路和 CMOS 门电路的特性对照表。

表 3-5 门电路特性对照表

特 性	参 数	TTL 门电路	CMOS 门电路
电源电压	$V_{\text{CC}}/V_{\text{DD}}$	54 系列: $V_{\text{CC}}=5\text{V}\pm 10\%$ 74 系列: $V_{\text{CC}}=5\text{V}\pm 5\%$	4000 系列: $V_{\text{DD}}=3\sim 18\text{V}$ 74HC 系列: $V_{\text{DD}}=2\sim 6\text{V}$ 74LVC: $V_{\text{DD}}=1.85\sim 3.6\text{V}$
输出电平	高电平 V_{OH}	$3.4\sim 3.6\text{V}$	$\approx V_{\text{DD}}$
	低电平 V_{OL}	$0.1\sim 0.2\text{V}$	$\approx 0\text{V}$
抗干扰能力	噪声容限 V_{N}	小, $0.4\sim 0.8\text{V}$	大, 1V 以上
带负载能力	扇出系数 N	小,一般在 10 以下	大,至少大于 50
功耗	P_{o}	大,74 系列为 10mW	极小,静态功耗为 0
速度	传输延迟时间 t_{PD}	74 系列: 10ns 74LS 系列: 9.5ns 74ALS 系列: 4ns	4000 系列: $80\sim 120\text{ns}$ 74HC 系列: $8\sim 20\text{ns}$ 74AHC 系列: $5\sim 8\text{ns}$

3.2.1 CMOS 反相器

CMOS 反相器采用图 3-3(b)所示的互补开关模型设计,内部原理电路如图 3-11 所示,由一个 P 沟道增强型 MOS 管和一个 N 沟道增强型 MOS 管串接构成。P 沟道 MOS 管源极接电源, N 沟道 MOS 管源极接地,两个栅极并联作为输入,两个漏极并联作为输出。

N 沟道增强型 MOS 管和 P 沟道增强型 MOS 管在电特性上互补: N 沟道 MOS 管的开启电压 V_{TN} 为正值,而 P 沟道 MOS 管的开启电压 V_{TP} 为负值; N 沟道 MOS 管的沟道电流 i_D 从漏极流向源极,而 P 沟道 MOS 管的沟道电流 i_D 则从源极流向漏极。

由于 N 沟道增强型 MOS 管和 P 沟道增强型 MOS 管在电特性上恰好为互补关系,因此这种结构的门电路称为 CMOS (表示 complementary, 互补) 门电路。

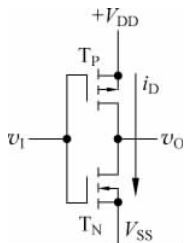


图 3-11 CMOS 反相器

CMOS 反相器的工作原理比较简单。当输入电压 v_I 为低电平 (0V) 时, T_P 导通而 T_N 截止, 相当于图 3-3(b) 中的开关 S_1 闭合而 S_2 断开, 输出电压 v_O 为高电平。当输入电压 v_I 为高电平 (V_{DD}) 时, T_P 截止而 T_N 导通, 相当于图 3-3(b) 中的开关 S_1 断开而 S_2 闭合, 输出电压 v_O 为低电平。由于输出电压 v_O 与输入电压 v_I 状态相反, 故为反相器, 实现非逻辑关系。

在分析和设计数字系统时, 不但要清楚门电路的功能, 同时还必须熟悉门电路的外特性, 包括静态特性和动态特性。静态特性包括电压传输特性和电流传输特性、直流噪声容限, 以及输入特性和输出特性。动态特性主要包括传输延迟时间、交流噪声容限以及动态功耗等。

下面对 CMOS 反相器的静态特性和动态特性做进一步分析。

1. 电压传输特性与电流传输特性

电压传输特性用来描述门电路输出电压随输入电压的变化关系, 即 $v_O = f(v_I)$ 。电流传输特性用来描述门电路电源电流随输入电压的变化关系, 即 $i_D = f(v_I)$ 。

CMOS 反相器的电压传输特性和电流传输特性可以通过图 3-12 所示的实验电路测量得到。记录输入电压 v_I 从 0 上升到 V_{DD} 过程中反相器输出电压 v_O 和电源电流 i_D 的数值, 即可绘制出图 3-13 所示的电压传输特性和电流传输特性曲线。

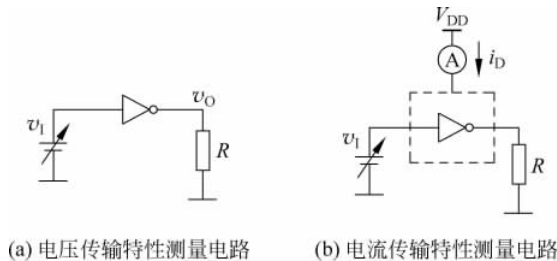


图 3-12 CMOS 反相器传输特性测量电路

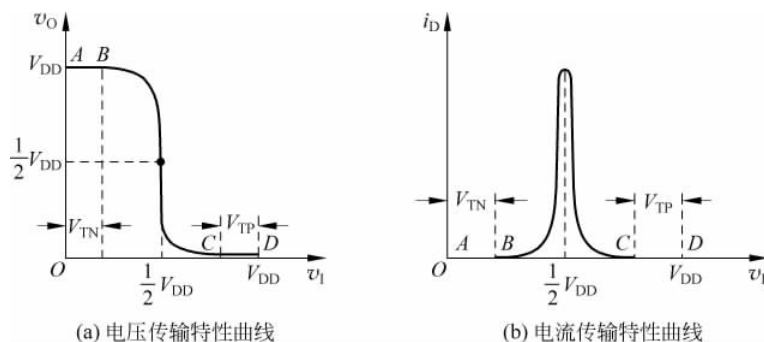


图 3-13 CMOS 反相器传输特性曲线

下面从原理上分析反相器的传输特性。当输入电压从 0 上升到 V_{DD} 的过程中,根据两个 MOS 管的开启电压 V_{TP} 和 V_{TN} ,将输入电压的上升过程划分为 3 段:

(1) 当输入电压 $v_I < V_{TN}$ 时,由于 P 沟道 MOS 管的栅源电压值 $|v_{GSP}| = |v_I - V_{DD}| > |V_{TP}|$ 、N 沟道 MOS 管的栅源电压 $v_{GSN} = v_I < V_{TN}$,所以 T_P 导通而 T_N 截止,输出 $v_O \approx V_{DD}$ 为高电平,对应于传输特性曲线的 AB 段。

(2) 当输入电压 $V_{TN} < v_I < |V_{DD} - V_{TP}|$ 时,随着输入电压的升高, T_P 从原来的导通状态逐渐趋向于截止,内阻 r_P 越来越大。相应地, T_N 从截止状态逐渐转变为导通,内阻 r_N 越来越小。在这个工作阶段,输出电压 v_O 随着输入电压的升高从高电平下降到低电平,对应于传输性曲线的 BC 段,称为传输特性曲线的转折区。

(3) 当 $v_I > V_{DD} - |V_{TP}|$ 时,由于 $|v_{GSP}| = |v_I - V_{DD}| < |V_{TP}|$ 、 $v_{GSN} = v_I > V_{TN}$,所以 T_P 截止而 T_N 导通,输出 $v_O \approx 0V$ 为低电平,对应于传输性曲线的 CD 段。

将电压传输特性曲线转折区的中点对应的输入电压定义为 CMOS 反相器的阈值电压 (threshold voltage),用 V_{TH} 表示。当 T_P 和 T_N 管的参数对称时, $V_{TH} = 1/2 V_{DD}$ 。在近似分析中,阈值电压表示输入端高、低电平的分界线。当输入电压低于 V_{TH} 时认为输入为低电平从而输出为高电平,当输入电压高于 V_{TH} 时认为输入为高电平从而使输出为低电平。

从电流传输特性曲线可以看出,反相器工作在 AB 段或 CD 段时, T_P 和 T_N 始终有一个处于截止状态。由于 MOS 管截止时内阻极高,因此流过 T_P 和 T_N 管的电流几乎为零。只有当门电路状态转换经过转折区时,才有电流流通产生一定的功耗,如图 3-14 所示。为了

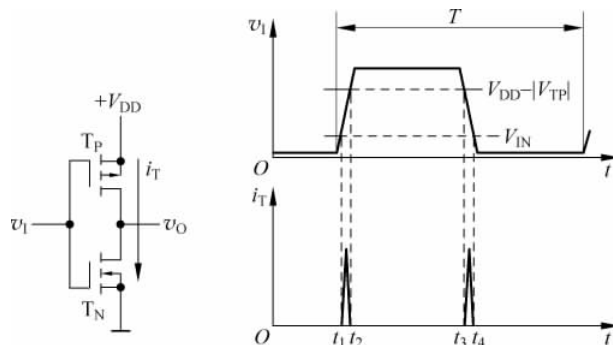


图 3-14 CMOS 反相器动态功耗

限制 CMOS 反相器的动态功耗,希望输入电平跳变时间不能太长,以避免反相器工作在转折区时间长而导致功耗增加。但总体来说,CMOS 门电路与 TTL 门电路相比功耗极小,这是 CMOS 门电路最突出的优点。

由于 CMOS 门电路功耗极低,而且制造工艺比 TTL 电路简单,占用硅片面积小,所以特别适合于制造大规模和超大规模集成电路。

2. 输入特性与输出特性

输入特性用来描述门电路输入电流与输入电压之间的关系,即 $i_i = f(v_i)$ 。

CMOS 反相器的输入端为 MOS 管的栅极。由于栅极与源极和漏极绝缘,而且绝缘层极薄,所以 CMOS 器件的输入阻抗很高,很容易受到静电放电(electrostatic discharge)而损坏。当绝缘层两侧聚集大量相向电荷时,就会发生静电放电,虽然电流十分微小,但通常电压可达到几百伏到上千伏,足以将绝缘层击穿。因此在制造 CMOS 集成电路时,输入端都加有保护电路。

74HC 系列门电路的输入端保护电路如图 3-15 所示。在正常应用时,输入电压仅在 $0 \sim V_{DD}$ 之间变化,保护电路不起作用。当输入端受到静电等因素的影响使输入电压瞬时超过 $V_{DD} + 0.7V$ 时,二极管 D_1 导通将输入电压限制在 $V_{DD} + 0.7V$ 左右。若输入电压瞬时低于 $-0.7V$ 时,二极管 D_2 导通将输入电压限制在 $-0.7V$ 左右,从而有效控制门电路输入电压的范围,防止 MOS 管的绝缘层被击穿。综合上述分析,可得 CMOS 反相器的输入特性如图 3-16 所示。

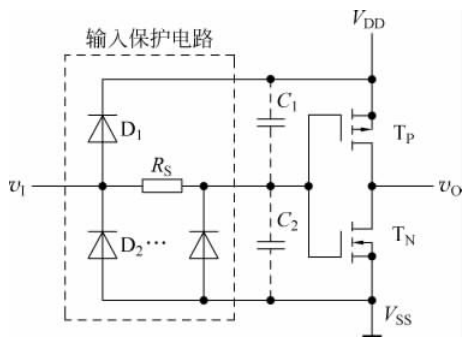


图 3-15 74HC 系列输入端保护电路

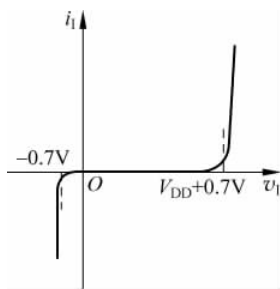


图 3-16 CMOS 反相器输入特性

当输入电压在 $0 \sim V_{DD}$ 之间时,CMOS 反相器的输入电流仅仅取决于输入端保护二极管的漏电流和两个 MOS 管栅极的漏电流。最大漏电流由门电路制造商规定: I_{IH} ——输入高电平最大漏电流; I_{IL} ——输入低电平最大漏电流。

74HC 系列反相器的 I_{IH} 和 I_{IL} 的最大值仅为 $1\mu A$,几乎不消耗驱动电路的功率。

虽然 CMOS 门电路内部输入端设计有保护电路,但其作用有限,所以在实际使用过程中应注意以下几点:

(1) 防止静电击穿。在使用和存放 CMOS 器件时,应注意静电屏蔽;在焊接 CMOS 器件时,焊接工具应良好接地,而且焊接时间不宜过长,温度不能太高;在取用 CMOS 电路时先摸暖气片等金属物将身体上的静电放掉,同时注意不能通电拆卸或拔、插 CMOS 器件。

(2) 多余输入端的处理。CMOS 门电路输入端悬空时会导致电路工作不正常。因为输入端悬空时,由于噪声或干扰造成输入端电压会随机波动,输入既不能作为逻辑 1 处理也不

能作为逻辑 0 处理。由于输入端无法得到确定的电压,所以输出是无法预测的。因此,对于 CMOS 集成电路来说,不用的输入端应根据逻辑关系接地或者接电源,或者与其他输入端并联使用。

(3) 注意工艺,增强抗干扰能力。对于高速数字系统设计,应避免引线过长,以防止信号之间的串扰和信号传输的延迟。另外,尽量减少电源线和地线的阻抗,以减少电源噪声干扰。需要注意的是,电容负载会降低 CMOS 集成电路的工作速度和增加功耗,所以设计 CMOS 系统时应尽量减少负载的电容性。

输出特性用来描述门电路输出电压与输出电流之间的关系,即 $v_o = f(i_o)$ 。门电路正常工作时输出为高电平或低电平,因此将输出特性相应地分为高电平输出特性和低电平输出特性进行讨论。

高电平输出特性是指门电路输出高电平时输出电压与输出电流之间的关系,即 $V_{OH} = f(I_{OH})$ 。用高电平驱动负载时,负载应接在输出与地之间,如图 3-17(a)所示。这种接法的负载称为“拉电流”负载(source current load)。

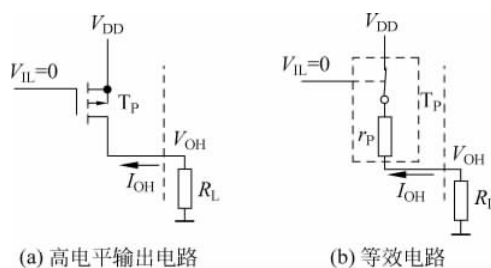


图 3-17 高电平输出及其等效电路

反相器输出高电平时, T_P 管导通相当于开关闭合,这时电流从电源 V_{DD} 通过 T_P 流经负载到地为负载 R_L 提供功率,等效电路如图 3-17(b)所示。由于 T_P 管不是理想开关,其导通内阻 $r_P \neq 0$,因此随着负载电流的增大输出高电平电压会逐渐降低。降低的速率与电源电压 V_{DD} 有关, V_{DD} 越大 r_P 越小,降低得越慢。在进行门电路分析时,习惯上规定电流流入门电路为正,故反相器的高电平输出特性如图 3-19 所示。

低电平输出特性是指门电路输出低电平时输出电压与输出电流之间的关系,即 $V_{OL} = f(I_{OL})$ 。用低电平驱动负载时,负载应接在输出与电源之间,如图 3-18(a)所示,其等效电路如图 3-18(b)所示。这种接法的负载称为“灌电流”负载(sink current load)。

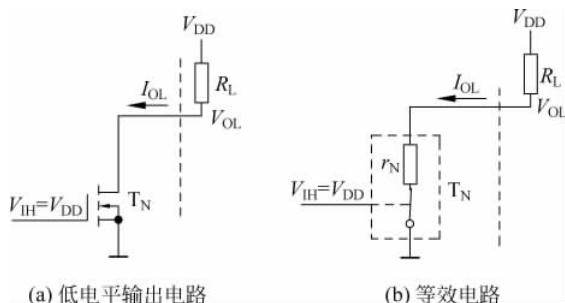


图 3-18 低电平输出及其等效电路

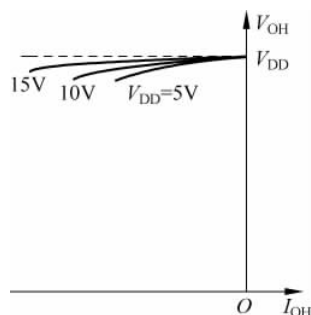


图 3-19 高电平输出特性

反相器输出低电平时, T_N 管导通相当于开关闭合, 这时电流从电源 V_{DD} 通过负载流经 T_N 管到地为负载 R_L 提供功率。由于 T_N 的导通内阻 $r_N \neq 0$, 所以随着负载电流的增大而输出低电平电压会逐渐升高。升高的速率与电源电压 V_{DD} 有关。 V_{DD} 越大 r_N 越小, 升高得越慢。由于规定电流流入电路为正, 故反相器的低电平输出特性如图 3-20 所示。

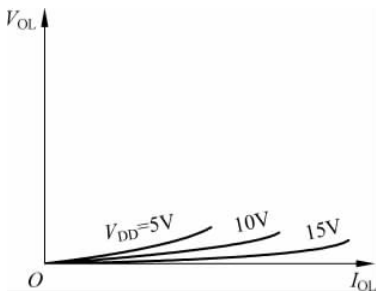


图 3-20 低电平输出特性

门电路的输入输出特性决定了门电路的驱动能力。门电路驱动同类门的个数称为扇出系数(fan-out ratio)。

【例 3-1】 反相器驱动电路如图 3-21 所示。根据反相器的输出特性与输入特性, 计算反相器的扇出系数。

解：图中 G_1 为驱动门, $G_2 \sim G_n$ 为负载门。

74x04 为六反相器器件(x 代表 LS、HC 等不同的系列), 外部引脚如图 3-22 所示。CMOS 反相器 74HC04 和 TTL 反相器 74LS04 的数据表如表 3-6 所示。

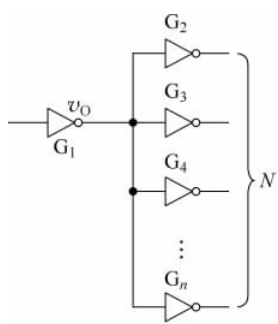


图 3-21 例 3-1 电路

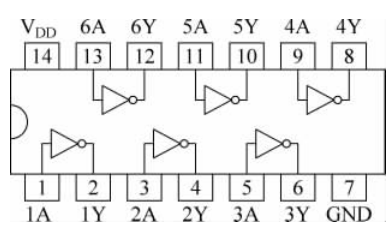


图 3-22 74x04 引脚图

表 3-6 74HC/LS04 数据表

74HC 工作条件: $V_{DD}=4.5V$, 工作温度 $T_A=25^{\circ}C$ 。74LS 工作条件: $V_{CC}=5.0V$, 工作温度 $T_A=25^{\circ}C$								
参数	描述	74HC04			74LS04			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
V_{DD}/V_{CC}	电源电压	2		6	4.75	5	5.25	V
V_{IH}	输入高电平	3.15	—	—	2			V
V_{IL}	输入低电平	—	—	1.35			0.8	V
I_{IH}	高电平输入电流		0.1	1.0			40	μA
I_{IL}	低电平输入电流		0.1	1.0			1000	μA
V_{OH}	高电平输出电压	4.4	—	—	2.7	3.4		V
V_{OL}	低电平输出电压	—	—	0.33		0.25	0.4	V
I_{OH}	高电平输出电流	—	-4	-25			-0.4	mA
I_{OL}	低电平输出电流	—	4	25			8	mA
开关特性 ($V_{DD}, V_{CC}=5V, T_A=25^{\circ}C, C_L=15pF, t_r=t_f=6ns$)								
t_{PD}	传输延迟时间		8		3		10	ns

注：表中数据取自于美国 National Semiconductor 公司的数据表。

查阅 CMOS 反相器 74HC04 的数据表可知: 输出高电平时最大输出电流 $I_{OH(max)} = -25\text{mA}$, 输出低电平时最大输出电流 $I_{OL(max)} = 25\text{mA}$, 而输入高、低电平最大电流 $I_{IH(max)}$ 和 $I_{IL(max)}$ 为 $\pm 1\mu\text{A}$, 因此, CMOS 反相器输出高电平时的扇出系数

$$N_H = I_{OH(max)} / I_{IH(max)} = 25\,000$$

输出低电平时的扇出系数

$$N_L = I_{OL(max)} / I_{IL(max)} = 25\,000$$

故整体扇出系数 $N = (N_H, N_L)_{\min} = 25\,000$ 。也就是说, 从理论上讲, 74HC 系列 CMOS 反相器可以驱动 25 000 个反相器。上述计算具有一定的参考意义, 但在器件手册中, 并不给出扇出系数的具体数值。在设计时要留有足够大的裕量, 以保证数字电路可靠工作。

查阅 TTL 反相器 74LS04 的数据表可知: 输出高电平时最大输出电流 $I_{OH(max)} = -0.4\text{mA}$, 输出低电平时最大输出电流 $I_{OL(max)} = 8\text{mA}$, 而输入高电平时最大电流 $I_{IH(max)} = 40\mu\text{A}$, 输入低电平时最大电流 $I_{IL(max)} = -1000\mu\text{A}$ 。因此, 74LS04 输出高电平时的扇出系数为

$$N_H = I_{OH(max)} / I_{IH(max)} = 10$$

输出低电平时的扇出系数为

$$N_L = I_{OL(max)} / I_{IL(max)} = 8$$

故 74LS04 的扇出系数 $N = (N_H, N_L)_{\min} = 8$, 即一个 74LS 系列 TTL 反相器能够驱动 8 个同类反相器。

3. 直流噪声容限

数字电路在正常工作时, 允许在线路上叠加一定的噪声, 只要噪声电压不超过一定的限度, 就不会影响数字电路正常工作, 这个限度就称为噪声容限(noise margin)。

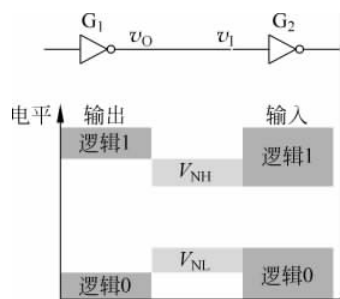


图 3-23 噪声容限定义图

为了能够可靠地区分高、低电平, 集成电路制造商在器件应用手册中规定了以下 4 个输入、输出参数:

$V_{OH(min)}$: 输出高电平的最小值

$V_{OL(max)}$: 输出低电平的最大值

$V_{IH(min)}$: 输入高电平的最小值

$V_{IL(max)}$: 输入低电平的最大值

噪声容限的概念可以通过图 3-23 来说明, 其中 G_1 为驱动门, G_2 为负载门。根据以上 4 个参数, 可推出高、低电平的噪声容限。

(1) 当反相器 G_1 输出高电平时, 高电平的最小值为 $V_{OH(min)}$ 。但对于 G_2 来说, 只要输入高电平不低于 $V_{IH(min)}$ 就可以了, 由此可以推出电路的高电平噪声容限

$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

也就是说, 当 G_1 输出高电平时, 允许在输出线路上叠加一定的噪声, 只要噪声电压不超过 V_{NH} , 就不会影响 G_2 正常工作。

(2) 当反相器 G_1 输出低电平时, 低电平的最大值为 $V_{OL(max)}$ 。但对于 G_2 来说, 只要输入低电平不高于 $V_{IL(max)}$ 就可以了, 由此可以推出电路的低电平噪声容限

$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$

也就是说, 当 G_1 输出低电平时, 允许在输出线路上叠加一定的噪声, 只要噪声电压不超过

V_{NL} ,就不会影响 G_2 正常工作。

从表 3-6 的数据表可以查出: 74HC04 的 $V_{OH(min)} = 4.4V$, $V_{OL(max)} = 0.33V$, $V_{IH(min)} = 3.15V$, $V_{IL(max)} = 1.35V$ 。由此可以推出 74HC04 的高电平噪声容限为 $1.25V$, 低电平噪声容限为 $1.02V$ 。相应地, 74LS04 的高电平噪声容限为 $0.7V$, 低电平噪声容限为 $0.4V$, 比 74HC04 的噪声容限小。

4. 传输延迟时间

脉冲在数字电路中是指电平的跳变, 然后在短时间内返回到原来的状态。从低电平跳变为高电平定义为正脉冲, 从高电平跳变为低电平定义为负脉冲。

门电路在输入脉冲的作用下, 输出波形总是滞后于波入波形。传输延迟时间(propagation delay time)表示门电路输出波形相对于输入波形的平均滞后时间, 用 t_{PD} 表示。

门电路输出波形滞后于输入波形的主要原因有两方面因素: 一是晶体管在导通和截止之间转换时, 内部载流子的“聚集”和“消散”需要一定的时间; 二是门电路在驱动容性负载时, 还伴随着对负载的充电和放电过程, 同样会导致输出滞后于输入。

定义 CMOS 反相器传输延迟时间的示意图如图 3-24 所示。将反相器的输入电压从低电平上升到 $50\%V_{OH}$ 的时刻到输出电压从高电平下降到 $50\%V_{OH}$ 的时刻之差定义为前沿滞后时间, 用 t_{PHL} 表示; 将输入电压从高电平下降到 $50\%V_{OH}$ 的时刻到输出电压从低电平上升到 $50\%V_{OH}$ 的时刻之差定义为后沿滞后时间, 用 t_{PLH} 表示。传输延迟时间 t_{PD} 定义为前沿滞后时间和后沿滞后时间的平均值。即

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2}$$

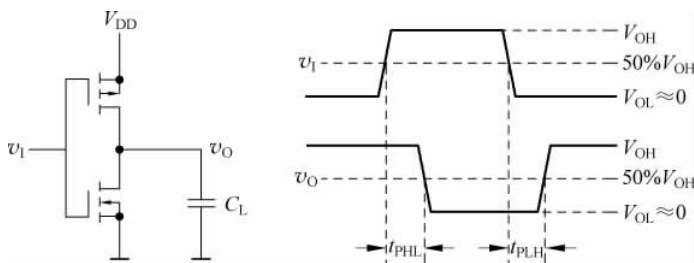
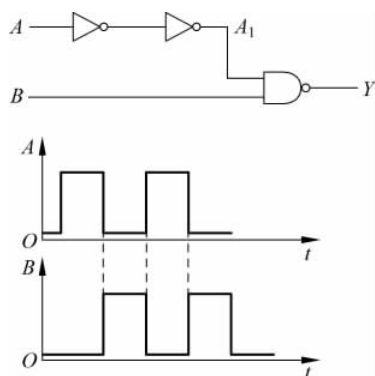
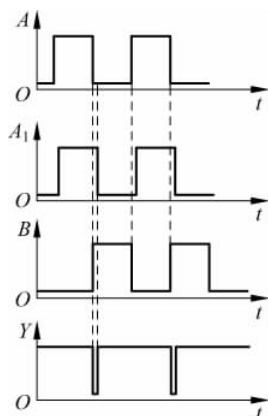


图 3-24 传输延迟时间的定义

传输延迟时间是反映门电路工作速度的参数。 t_{PD} 越小, 说明门电路的工作速度越快。74HC 系列 CMOS 门电路的 t_{PD} 约在 $8 \sim 20ns$ 范围内。

门电路存在传输延迟时间会导致在对数字电路进行分析时, 理论分析和门电路的实际性能之间存在着差异。例如, 对于图 3-25 所示的电路, 在忽略门电路传输延迟时间的情况下, A_1 和 A 波形相同, 所以在图中 A 、 B 所示波形的作用下, 输出 Y 始终为高电平。但若考虑到反相器存在传输延迟时间时, A_1 波形会滞后于 A 的波形 $2t_{PD}$, 如图 3-26 所示。这时在图中 A_1 、 B 所示波形的作用下, 输出 Y 的波形会出现两个不符合逻辑关系的负脉冲, 这种现象称为竞争-冒险(race-hazard), 可能会导致后续电路产生逻辑错误, 应用时应特别注意。

图 3-25 t_{PD} 对逻辑分析的影响图 3-26 考虑 t_{PD} 时的波形图

对于数字系统来说,其工作速度不但与门电路的传输延迟时间有关,而且与电路板的布局布线所引起的传播延迟时间有关,因此在系统设计时需要同时考虑传输延迟和传播延迟两方面的因素。

3.2.2 其他逻辑门电路

反相器是构成门电路的基础。将 CMOS 反相器的电路结构进行扩展,就可以得到其他逻辑功能的门电路。

将反相器的 P 沟道 MOS 管扩展为两个并联、N 沟道 MOS 管扩展为两个串联就构成了 CMOS 与非门,如图 3-27(a)所示,其开关模型如图 3-27(b)所示。

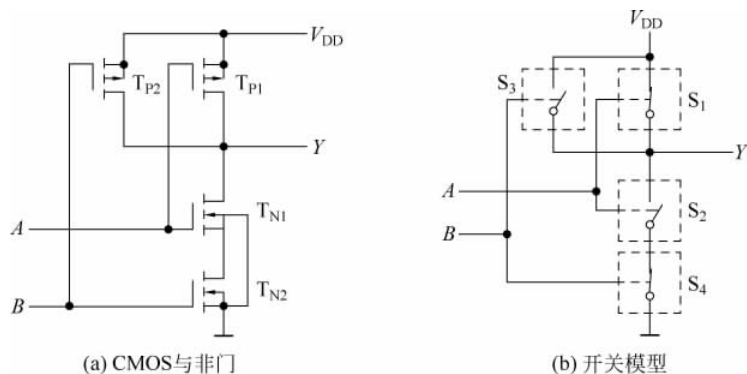


图 3-27 CMOS 与非门及其开关模型

对于图 3-27 所示电路,当 A 、 B 中至少有一个为低电平时, T_{P1} 和 T_{P2} 至少有一个导通, T_{N1} 和 T_{N2} 至少有一个截止,因此输出 Y 为高电平。只有当 A 、 B 同时为高电平时, T_{P1} 和 T_{P2} 同时截止, T_{N1} 和 T_{N2} 同时导通,输出 Y 为低电平,故实现了与非逻辑关系 $Y = (AB)'$ 。

将反相器的 P 沟道 MOS 管扩展为两个串联,将 N 沟道 MOS 管扩展为两个并联,如图 3-28(a)所示,就构成了 CMOS 或非门,其开关模型如图 3-28(b)所示。

对于图 3-28 所示电路,当 A 、 B 中至少有一个为高电平时, T_{P1} 和 T_{P2} 至少有一个截止,

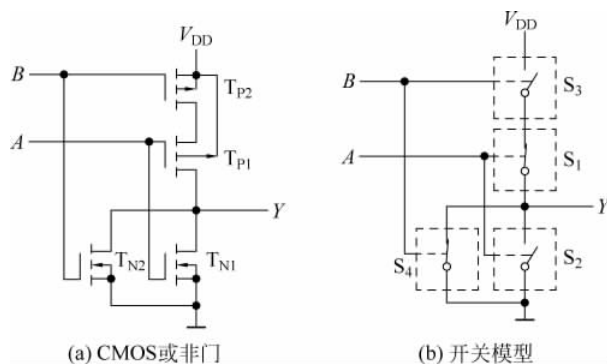


图 3-28 CMOS 或非门及其开关模型

T_{N1} 和 T_{N2} 至少有一个导通,输出 Y 为低电平。只有当 A 、 B 同时为低电平时, T_{P1} 和 T_{P2} 同时导通, T_{N1} 和 T_{N2} 同时截止,输出 Y 为高电平,所以图 3-28 实现了或非逻辑关系 $Y=(A+B)'$ 。

74HC00 是二输入 CMOS 与非门,74HC02 是二输入 CMOS 或非门,其内部结构和引脚排列如图 3-29 所示。

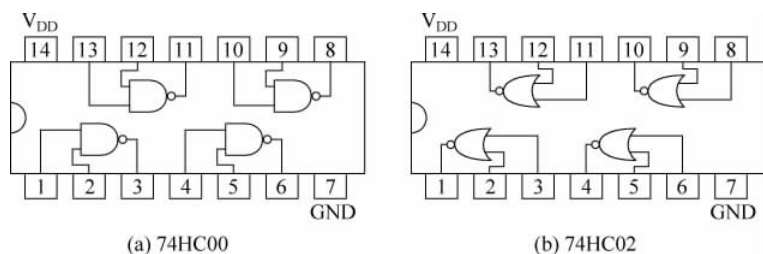


图 3-29 CMOS 与非门和或非门

与或非逻辑关系可由与非门电路扩展而成,如图 3-30 所示。先将 A 和 B 与非、 C 和 D 与非,再将 $(AB)'$ 和 $(CD)'$ 与非,最后再取一次非即可得到与或非逻辑关系,即

$$\begin{aligned} Y &= ((AB)'(CD)')' \\ &= (AB)'(CD)' \\ &= (AB + CD)' \end{aligned}$$

【例 3-2】 飞机着陆时,要求机头和两翼下的 3 个起落架均处于“放下”状态。当驾驶员打开“放下起落架”开关后,如果 3 个起落架均已放下则绿色灯亮,表示起落架状态正常;若 3 个起落架中任何一个未放下则红灯亮,提示驾驶员起落架有故障。设计监视起落架状态的逻辑电路,能够实现上述功能要求。

设计过程: 设机翼下面两个起落架传感器分别用 A 、 B 表示,机头下面的传感器用 C 表示,绿灯和红灯分别用 Y_G 和 Y_R 表示,并且规定 A 、 B 、 C 为 1 表示起落架已经放下,为 0 时表示未正常放下,绿灯 Y_G 和红灯 Y_R 亮为 1,不亮为 0。根据功能分析,可推出 Y_G 和 Y_R 的

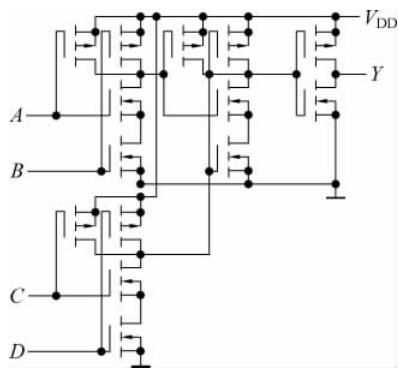


图 3-30 与或非逻辑电路

表达式分别为

$$Y_G = ABC$$

$$Y_R = A' + B' + C' = (ABC)'$$

若将 Y_G 设计成低电平驱动, 即

$$Y'_G = (ABC)'$$

故逻辑函数 Y'_G 和 Y_R 均可以用与非门实现。

74HC10 为三输入 CMOS 与非门, 最大输出电流 I_{OH} 和 I_{OL} 均为 25mA。若以发光二极管作为指示灯, 则输出电流满足 $\phi 5$ 发光二极管驱动电流 (10mA) 要求。由于 Y'_G 输出为低电平有效, 所以需要将绿灯设计成灌电流负载形式; Y_R 输出为高电平有效, 需要将红灯设计成拉电流负载形式, 具体实现电路如图 3-31 所示。

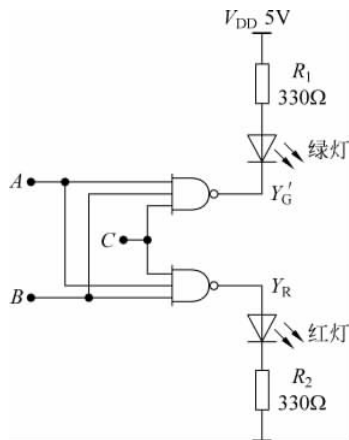


图 3-31 例 3-2 设计图

思考与练习

3-3 与非门和或非门能否作为反相器使用? 如果可以, 画出接线图。

3-4 在数字系统设计中, 门电路多余的输入端应如何处理?

3.2.3 两种特殊门电路

一般地, 将互补结构的、只能输出高电平和低电平两种状态的门电路称为普通门电路。在数字系统设计中, 除了普通门电路外, 经常还会用到两种特殊的门电路: OD/OC 门和三态门。

1. OD/OC 门

普通门电路在应用上有一定局限性。一是输出端一般不能相互连接, 因为当输出电平不一致时就会短路。例如, 对于图 3-32 所示的两个普通反相器输出并联电路, 当 v_{O1} 输出高电平时 MOS 管 T_{P1} 导通, v_{O2} 输出低电平时 MOS 管 T_{N2} 导通, 这时从电源 V_{DD} 通过 T_{P1} 至 T_{N2} 到地 V_{SS} 存在低电阻通路, 电流过大会烧坏器件。

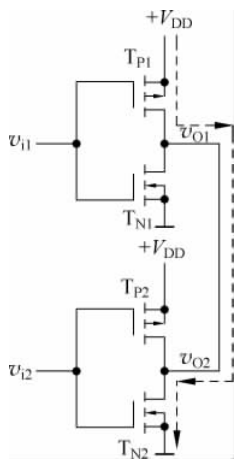


图 3-32 短路现象

普通门电路的另一个局限性是其输出的高电平受电源电压限制。因为输出高电平的最大值为 V_{DD} , 所以无法驱动电压高于 V_{DD} 的负载。

为了克服上述局限性, 需要对普通门电路进行改造, 一种方法是使门电路的输出端开路, 这样输出不受电源电压的影响, 而且还可以相互连接。

输出端开路的 CMOS 门电路称为 OD(open drain) 门。相应地, 输出端开路的 TTL 门电路称为 OC(open collector) 门。

图 3-33 是 CMOS OD 与非门的电路结构及逻辑符号。当 MOS 管 T_N 导通时输出为低电平, 当 T_N 截止时其输出电阻趋向于无穷大, 称为高阻状态, 用 Z (或 z) 表示。

由于 OD 门只能输出低电平和高阻两种状态, 所以作为逻辑门使用时, 需要通过上拉电阻接到电源上, 如图 3-33 所示。这样当 T_N

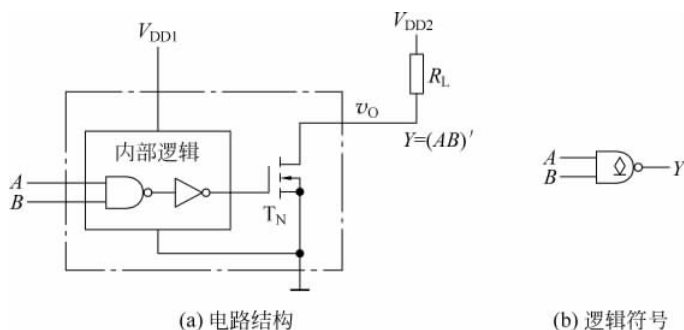


图 3-33 CMOS OD 与非门

截止时由外接电源 V_{DD2} 通过上拉电阻 R_L 提供高电平。由于 V_{DD2} 与 V_{DD1} 无关,可以高于 V_{DD1} ,因而 OD 门能够驱动电压高于 V_{DD1} 的负载。

OD 门的另一个典型应用就是将其输出端直接相连,实现与逻辑关系。这种通过连线而实现与逻辑关系称为线与(wired-AND)。合理应用线与逻辑关系可以简化电路设计。例如,对于图 3-34(a)所示的电路,当 Y_1 和 Y_2 至少有一个为低电平时 Y 为低电平,只有当 Y_1 和 Y_2 同时为高阻时 V_{DD} 通过上拉电阻 R_L 才使 Y 为高电平。因此 $Y = Y_1 \cdot Y_2$,即

$$Y = (AB)'(CD)' = (AB + CD)'$$

从而实现了与或非逻辑关系。线与符号如图 3-34(b)所示。

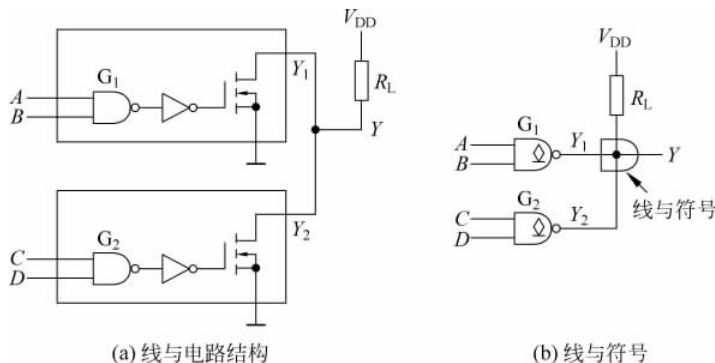


图 3-34 用 OD 门实现线与逻辑

在数字集成电路中,采用 OD/OC 输出结构的器件很多,使用时应注意它们和普通门电路的区别。74HC05 是开路输出的 CMOS 反相器,引脚排列和内部逻辑如图 3-35 所示。

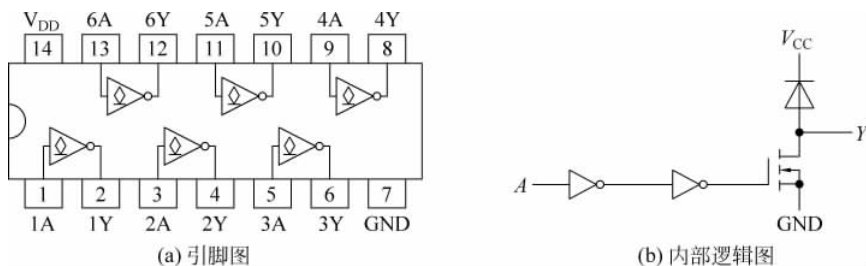


图 3-35 74HC05 器件

2. 三态门

计算机系统中通常有多个设备共享总线。假设用普通门电路作为总线接口电路,如图 3-36 所示。当 1 号设备通过接口电路 G_1 向总线上发送数据时,其他接口电路 $G_2 \sim G_n$ 无论输出高电平还是低电平都不能使总线正常工作:

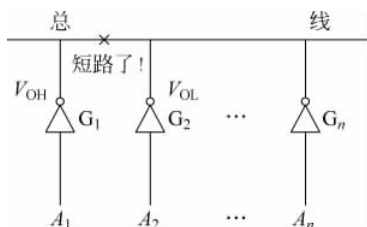


图 3-36 普通门电路作为总线接口电路

(1) 若 $G_2 \sim G_n$ 输出为低电平,当 G_1 发送数据 1 时则会通过总线短路;

(2) 若 $G_2 \sim G_n$ 输出为高电平,当 G_1 发送数据 0 时同样会通过总线短路。

因此,普通门电路不能作为总线接口电路使用。

作为总线接口的门电路,除了能够输出高电平和低电平外,还应该具有第 3 种输出状态:高阻状态。当门电路输出为高阻状态时,无论总线为高电平还是低电平均不取电流,所以对总线没有影响。

能够输出高电平、低电平和高阻 3 种状态的门电路称为三态门(tri-state gate)。三态门可以通过对普通门电路进行改造获得。图 3-37(a)为 CMOS 三态反相器的内部电路原理示意图,逻辑符号如图 3-37(b)所示。

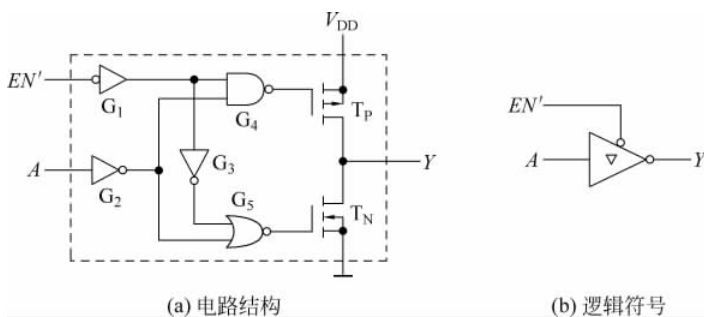


图 3-37 低电平有效的 CMOS 三态反相器

图 3-37(a)所示的三态反相器的工作原理:

(1) 当 EN' 为低电平时,反相器 G_1 输出为高电平而 G_3 输出为低电平,这时与非门 G_4 和或非门 G_5 的输出均为 A ,所以 MOS 管 T_P 和 T_N 同时受输入 A 控制,和普通反相器的工作情况一样,所以实现非逻辑关系 $Y=A'$ 。

(2) 当 EN' 为高电平时,反相器 G_1 输出为低电平而 G_3 输出为高电平。由于 G_1 输出为低电平使与非门 G_4 输出为高电平,所以 T_P 截止,同时由于 G_3 输出为高电平使或非门 G_5 输出为低电平,所以 T_N 截止,因此输出端和电源、地均断开,故 Y 悬空而呈现高阻状态,即 $Y="z"$ 。

图 3-37(a)所示的三态门在 EN' 为低电平时正常工作,故称三态控制端低电平有效。若将图 3-37(a)中的反相器 G_1 去掉,则构成了三态控制端高电平有效的三态反相器,其内部电路原理示意图与逻辑符号如图 3-38 所示。

74HC125/126 为 CMOS 三态驱动器,输出与输入同相内部逻辑和引脚排列如图 3-39 所示。其中 74HC125 三态控制端为低电平有效,74HC126 三态控制端为高电平有效。

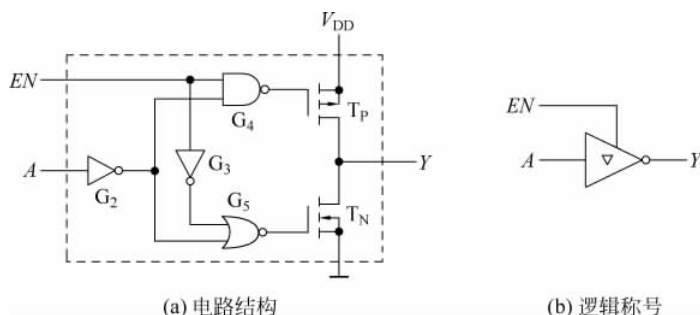


图 3-38 高电平有效的 CMOS 三态反相器

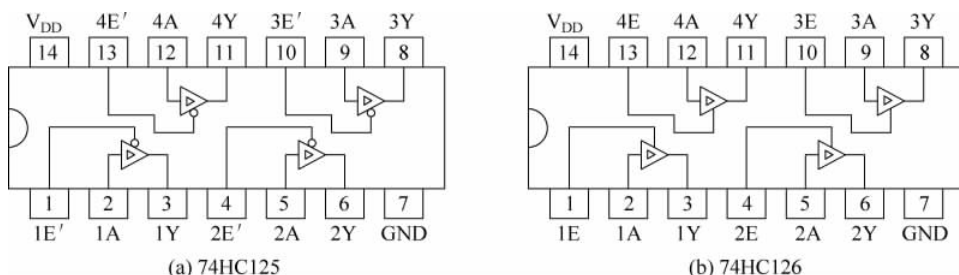


图 3-39 CMOS 三态驱动器

三态门的典型应用之一就是作为总线接口电路,如图 3-40(a)所示,其中 $G_1 \sim G_n$ 均为三态驱动器,控制端 $EN_1 \sim EN_n$ 均为高电平有效。总线接口电路在正常工作时,要求三态控制信号 $EN_1 \sim EN_n$ 是互斥的。例如,当 1 号设备需要向总线发送数据时,使 EN_1 有效、 $EN_2 \sim EN_n$ 无效。这时由于 2~n 号设备接口电路的输出为高阻状态,所以对总线上传送的数据没有影响。当 2 号设备需要向总线发送数据时,使 EN_2 有效,其他三态控制端均无效,其他设备同样不会影响总线的工作情况。若有两个或两个以上的三态控制端同时有效,同样会出短路现象。

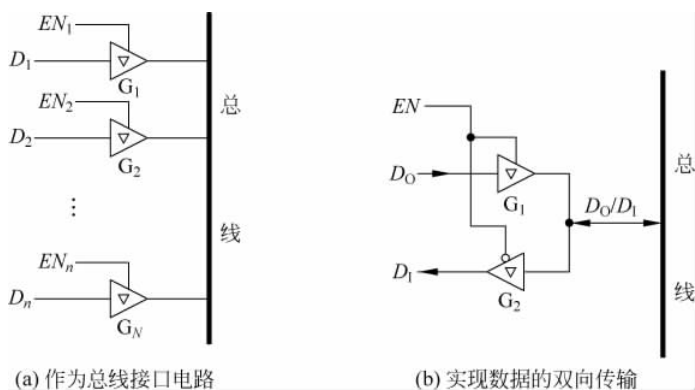


图 3-40 三态门的典型应用

三态门的另一个典型应用是实现数据的双向传输,如图 3-40(b)所示。 G_1 和 G_2 是两个三态驱动器,其中 G_1 的三态控制端高电平有效, G_2 的三态控制端低电平有效。当 EN 为高电平时 G_1 工作,将数据 D_0 从设备发送到总线上;当 EN 为低电平时 G_2 工作,从总线上

接收数据 D_1 送入设备中。

74HC240/244 是双四路 CMOS 三态缓冲器, 其中 74HC240 为三态反相器(输出与输入反相), 而 74HC244 为三态驱动器(输出与输入同相), 内部结构和引脚排列如图 3-41 所示。当三态控制端 OE' 为低电平时, 74HC240/244 正常工作, 否则输出强制为高阻状态。

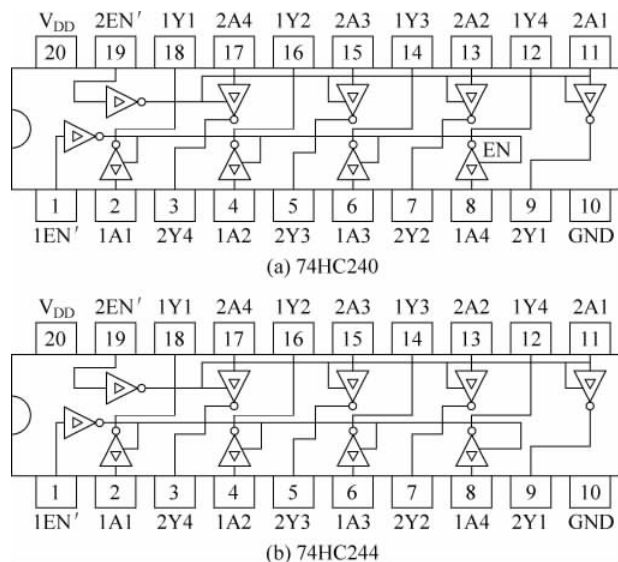


图 3-41 双四路 CMOS 总线缓冲器

74HC245 是八路双向 CMOS 总线收发器(bus transceiver), 内部逻辑如图 3-42 所示。当三态控制端 OE' 为低电平时, 74HC245 正常工作, 这时若方向控制端 DIR 为低电平, 则 B 口为输入, A 口为输出, 数据从 B 口传向 A 口; 若方向控制端 DIR 为高电平, 则 A 口为输入, B 口为输出, 数据从 A 口传向 B 口。当三态控制端 OE' 为高电平时, A 口和 B 口均为高阻状态。

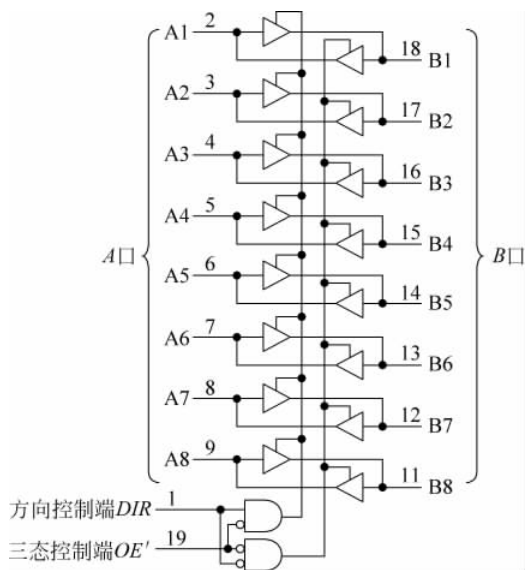


图 3-42 74HC245 内部逻辑图

3.2.4 CMOS 传输门

P 沟道增强型 MOS 管和 N 沟道增强型 MOS 管串接可以构成反相器。若将 P 沟道增强型 MOS 管和 N 沟道增强型 MOS 管并联则可以构成另一种非常重要的 CMOS 器件——传输门。

CMOS 传输门的电路结构如图 3-43(a)所示,其中 C 和 C' 为控制端, T_1 管的衬底接地, T_2 管的衬底接电源,图 3-43(b)为其图形符号。

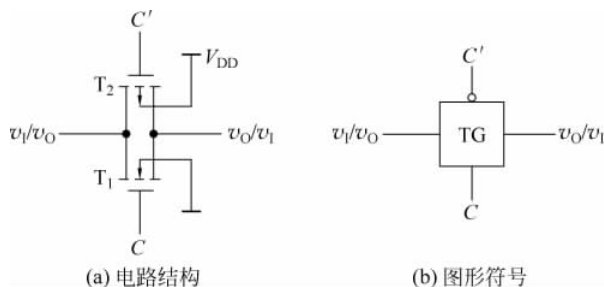


图 3-43 传输门结构及其等效电路

下面对传输门的工作原理进行分析。

(1) 当 C 端接高电平 V_{DD} , C' 端接低电平 $0V$ 时。

若输入 v_I 为低电平 ($0V$), 则 $V_{GSP}=0, V_{GSN}=V_{DD}$, 因此 T_P 截止而 T_N 导通, 如图 3-44(a)所示。若输入 v_I 为高电平 (V_{DD}), 则 $V_{GSP}=-V_{DD}, V_{GSN}=0$, 因此 T_P 导通而 T_N 截止, 如图 3-44(b)所示。若输入 v_I 从低电平向高电平逐渐变化, 则在 $V_{TN} < v_I < V_{DD} - |V_{TP}|$ 时 T_N 和 T_P 同时导通, 其原理分析类似于 CMOS 反相器。所以, 当 C 和 C' 均有效时, 无论输入 v_I 为低电平、高电平还是连续变化的模拟信号, 传输门均处于导通状态, 这时 $v_O = v_I$ 。

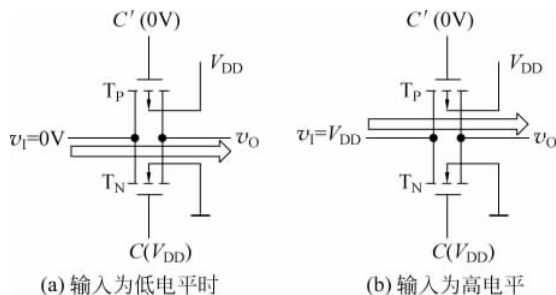


图 3-44 控制端有效时传输门的工作过程

(2) 当 C 端接低电平 $0V$, C' 端接高电平 V_{CC} 时。

若输入 v_I 为低电平 ($0V$), T_P 管的栅源电压为 0 因此截止, T_N 管因所加的栅源电压极性与开启电压相反同样处于截止状态; 若输入 v_I 为高电平 (V_{DD}), T_N 管的栅源电压为 0 因此截止, T_P 管因加的栅源电压极性与开启电压相反同样处于截止状态。所以, 当 C 和 C' 均无效时, 无论输入 v_I 为低电平还是高电平, T_P 和 T_N 均截止, 传输门断开, 故输出 v_O 为高阻状态。

综上所述,CMOS 传输门可以抽象为一个受控的开关:当控制端均有效时开关闭合,控制端均无效时开关断开。由于 CMOS 传输门内部 MOS 管的衬底独立,没有与源极相连,因此传输门源极与漏极结构对称,既可以将源极作为输入,也可以将漏极作为输入,所以 CMOS 传输门为双向模拟开关,既可以传输数字信号,也可以传输模拟信号。

CMOS 反相器和传输门是构成 CMOS 集成电路的基本单元。图 3-45 是用反相器和传输门构成异或门的原理图。当 A 为低电平时,传输门 TG_1 导通而 TG_2 截止,这时 $Y=B$; 当 A 为高电平时,传输门 TG_2 导通而 TG_1 截止,这时 $Y=B'$ 。因此可以得到表 2-6 所示的异或门真值表。

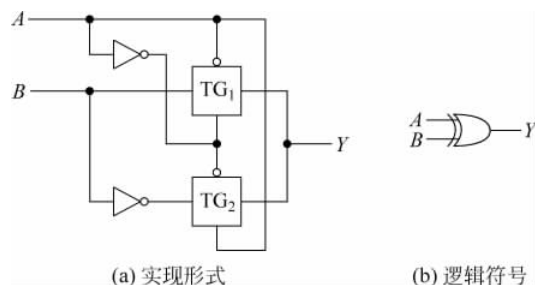


图 3-45 CMOS 异或门

74HC86 是四 CMOS 异或门,内部逻辑和引脚排列如图 3-46 所示。

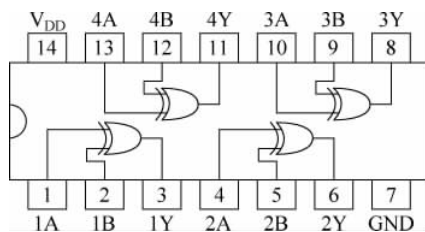


图 3-46 74HC86

传输门的两个控制端通常用一个信号控制,如图 3-47(a)所示,这时习惯上称其为电子开关,并采用图 3-47(b)所示的图形符号表示。

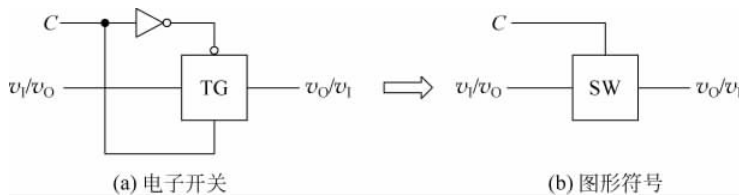


图 3-47 CMOS 电子开关结构和图形符号

CD4066 是 CMOS 双向模拟开关,内部由 4 个独立的电子开关组成,其引脚排列如图 3-48 所示。当控制端为高电平时开关导通,为低电平时开关截止。

CD4051/52/53 是多路双向模拟开关,其中 CD4051 为 8 路模拟开关,CD4052 为双 4 路模拟开关,CD4053 内部有三个 2 路模拟开关,其内部电路结构和功能表可阅查相关器件资料。

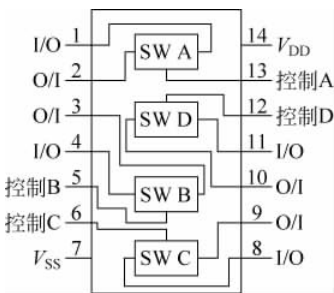


图 3-48 CD4066

思考与练习

- 3-5 OD/OC 门和普通门电路有什么区别？有什么特殊用途？
- 3-6 三态门有哪 3 种输出状态？有什么特殊用途？
- 3-7 OD/OC 门和三态门能否作为普通逻辑门使用？如果可以,说明其连接方法。
- 3-8 如何用 MOS 反相器和传输门实现同或逻辑关系？画出逻辑图。
- 3-9 异或门和同或门能否作反相器使用？如果可以,说明其连接方法。

3.3 设计项目

发光二极管和数码管是数字系统中常用的显示器件,用来指示电路的状态或者参数。发光二极管有多种规格,如图 3-49 所示。

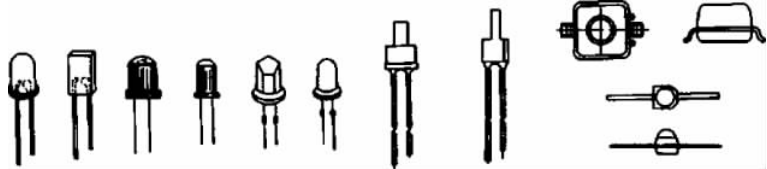


图 3-49 发光二极管

数字电路实验中常用的发光二极管有 $\phi 3$ 和 $\phi 5$ 两种。 $\phi 3$ 发光二极管的直径为 3mm,正常发光时所需要的驱动电流约 3mA。 $\phi 5$ 发光二极管的直径为 5mm,正常发光时所需要的驱动电流约为 10mA。

发光二极管既可以接成灌电流负载,用低电平驱动,如图 3-50(a)所示,也可以接成拉电流负载,用高电平驱动,如图 3-50(b)所示。具体根据驱动电路的驱动能力而定。

发光二极管能不能正常发光,不但要考虑驱动电路的输出电平,还要考虑驱动电路的输出电流是否满足发光二极管的电流要求。不同系列的门电路驱动能力不同,应用时需要特别注意。

表 3-7 是常用反相器输出特性数据表。可以看出,早期的 4000 系列 CMOS 反相器 CD4049 输出高电平时只有 1.6mA 拉电流能力,远远不能满足发光二极管驱动电流的要

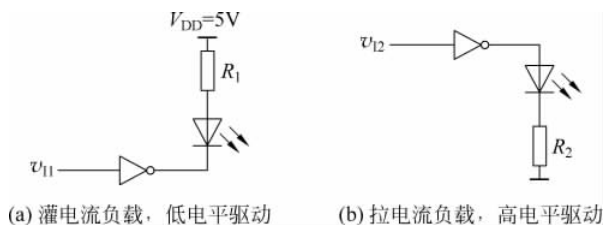


图 3-50 发光二极管驱动电路

求,输出低电平时允许有 5.0mA 灌电流能力,因此对于 CD4049 CMOS 反相器,图 3-50(a) 只能驱动 $\phi 3$ 系列发光二极管,图 3-50(b)则不满足驱动电流要求。

表 3-7 常用反相器输出特性数据表

参数	TTL($V_{CC}=5V, T=25^{\circ}C$)		CMOS($V_{DD}=5V, T=25^{\circ}C$)	
	7404	74LS04	CD4049	74HC04
$V_{OH(min)}/V$	2.4	2.7	4.6	4.4
$I_{OH(max)}/mA$	-0.4	-0.4	-1.6(典型值)	-25
$V_{OL(max)}/V$	0.4	0.4	0.05	0.33
$I_{OL(max)}/mA$	16	8	5.0(典型值)	25

对于 74HC 系列反相器,其高、低电平的最大输出电流为 $\pm 25mA$,因此图 3-50 两种形式的电路均能驱动 $\phi 3$ 和 $\phi 5$ 系列发光二极管,而且需要加适当的限流电阻,以防止电流过大而烧坏发光二极管。以驱动 $\phi 5$ 发光二极管计算,由于发光二极管导通时会产生 1.5~2V 的压降,若以 $i_D=10mA$ 、导通压降为 1.7V 进行计算,限流电阻 R_1 应取

$$R_1 = (V_{DD} - V_D - V_{OL})/I_D \approx (5 - 1.7 - 0)/(10 \times 10^{-3})\Omega = 330\Omega$$

限流电阻 R_2 应取

$$R_2 = (V_{OH} - V_D)/I_D \approx (5 - 1.7)/(10 \times 10^{-3})\Omega = 330\Omega$$

对于 74/74LS 系列 TTL 反相器,由于其高电平输出电流太小而低电平输出电流很大,因此应用图 3-50(a)所示的电路可以驱动 $\phi 3$ 和 $\phi 5$ 系列发光二极管,而 3-50(b)则不能正常工作。

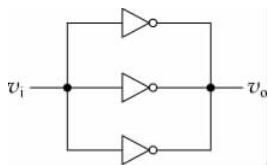


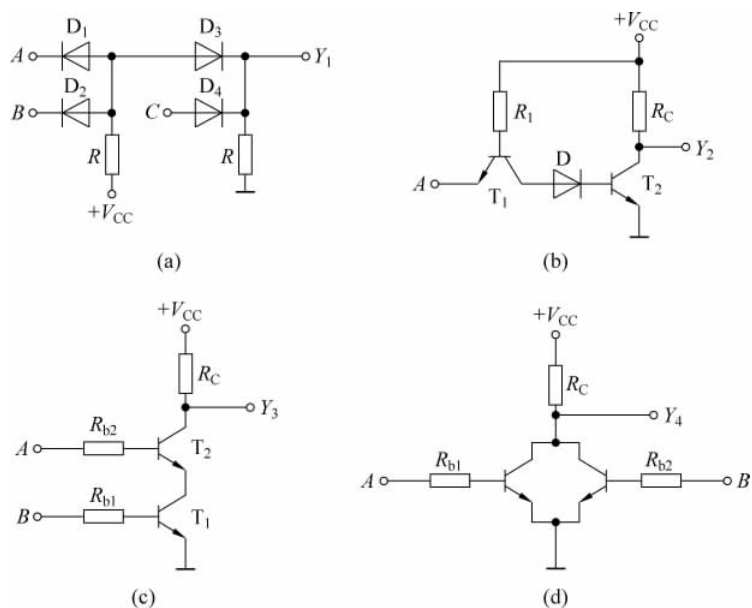
图 3-51 反相器并联增加驱动能力

由于 TTL 门电路发展比较早,故许多器件设计成低电平有效的形式,用低电平驱动灌电流负载。

需要说明的是,当门电路驱动电流不足时,可以将多个门电路并联以增加驱动能力。图 3-51 中 3 个反相器并联时,其输出电流为单个反相器驱动电流的 3 倍。

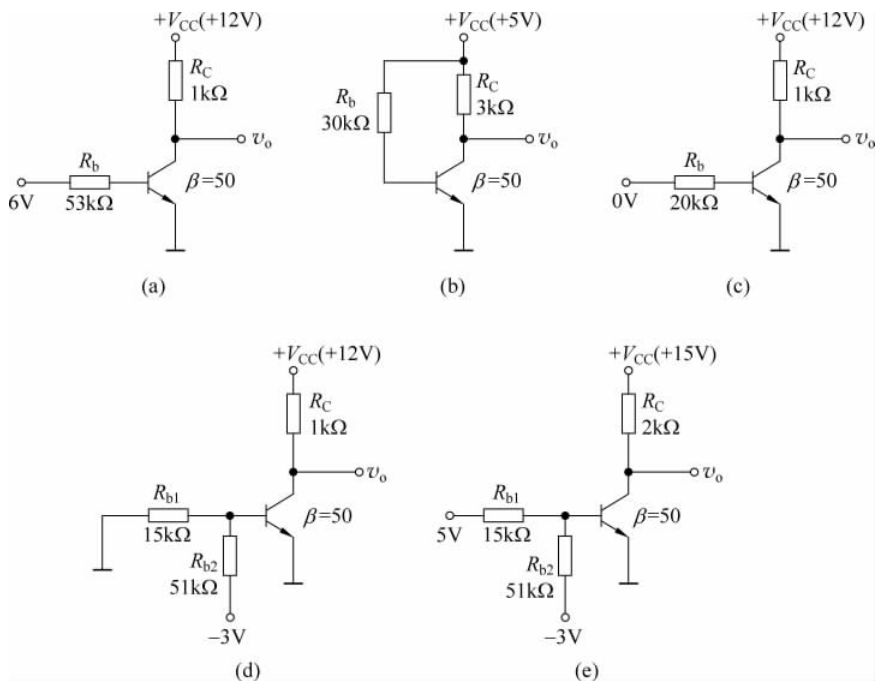
习题

3.1 分析图题 3.1 所示电路的逻辑关系,写出函数表达式。设电路参数满足三极管饱和导通条件。



图题 3.1

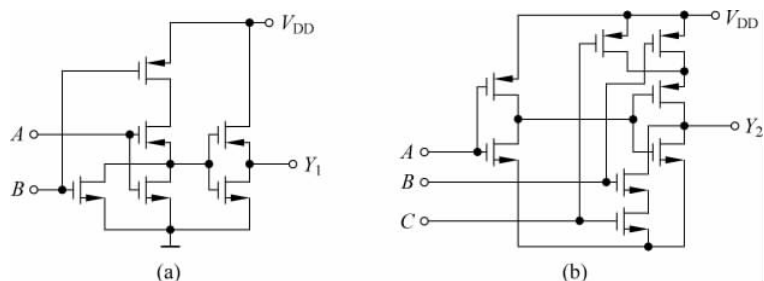
3.2 分析图题 3.2 所示电路中三极管的工作状态, 计算输出电压 v_o 的值。设所有三极管均为硅三极管, V_{BE} 按 0.7V 计算。



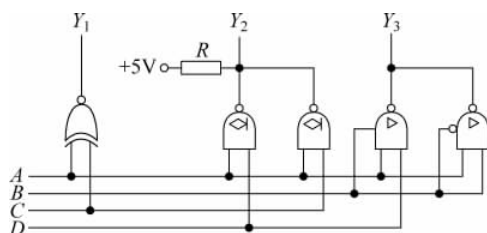
图题 3.2

3.3 分析图题 3.3 所示 CMOS 电路, 写出逻辑函数表达式。

3.4 分析图题 3.4 所示电路, 写出各逻辑函数表达式, 并列当 $ABCD=1001$ 时各函数的输出值。

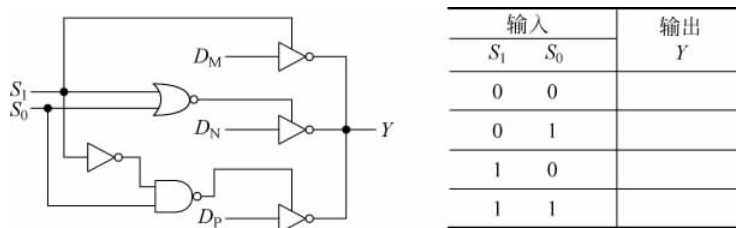


图题 3.3



图题 3.4

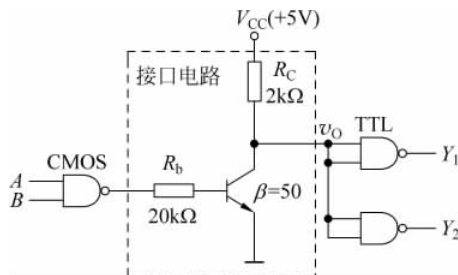
3.5 分析图题 3.5 所示电路,分析在 S_1 、 S_0 四种取值下输出 Y 的值,填入右侧表中。



图题 3.5

3.6 对于图 3-50 所示的发光二极管驱动电路。设发光二极管导通发光时导通压降为 2V,需要 8~10mA 驱动电流。反相器输出高电平为 5V,电流为 $400\mu\text{A}$,输出低电平为 0.2V,电流为 20mA。说明哪个电路能够正常工作,并计算限流电阻的阻值。

3.7 电路如图题 3.7 所示。已知 CMOS 与非门的输出电压 $V_{OH} \approx 4.7\text{V}$, $V_{OL} \approx 0.1\text{V}$; TTL 与非门的 $V_{IH(\min)} = 2.0\text{V}$, $V_{IL(\max)} = 0.8\text{V}$, $I_{IH(\max)} = 20\mu\text{A}$, $I_{IL(\max)} = -0.36\text{mA}$ 。计算接口电路的输出电平 v_O ,并说明接口参数选择是否合理。



图题 3.7