

# 单粒子效应

CMOS 工艺特征尺寸不断缩小,器件的结电容减少,工作电压降低,使纳米 CMOS 电路对单粒子效应更加敏感,同时,明显的单粒子串扰、多节点翻转等现象,严重影响其工作可靠性。本章首先介绍单粒子效应的基本概念、产生机制和现象,接着介绍新型器件和电路的发展趋势,然后介绍本底辐射的敏感度增强效应及新兴器件的相关机制,最后给出三维集成电路的单粒子效应。

## 5.1 单粒子效应概述

### 5.1.1 硅半导体中的单粒子效应产生原理

在微电子器件中,与单粒子效应产生相关的物理机制主要包括三个连续步骤:①通过高能粒子轰击敏感区域产生的电荷沉积;②释放的电荷在器件中输运;③器件敏感区域中的电荷收集。图 5-1 描绘了高能离子通过反向偏置 n+/p 结情况下的这些连续步骤。下面简要地讨论这些不同的机制<sup>[1-3]</sup>。

**电荷沉积(或产生):**当高能带电粒子轰击器件时,沿着粒子轨迹的电荷可以通过以下机制进行沉积:通过与材料相互作用的直接电离,或通过核反应发出的次级粒子与被轰击材料原子的相互作用间接电离。空间环境重离子( $Z \geq 2$ )产生的直接电离是特别重要的。它们主要通过非弹性相互作用与靶材料进行相互作用,并将大量能量传递到被轰击原子中的电子中。这些次级电子沿着粒子径迹被热化并产生电子-空穴对,如图 5-1(b)所示<sup>[3]</sup>。

在半导体或绝缘体中,大量的沉积能量被转换成电子空穴对,剩余的能量被转换成热量,并且非常少的能量转换成原子位移。实验表明,产生电子空穴对所需的能量取决于材料的带隙能。在微电子硅衬底中,离子每损失 3.6eV 能量产生一个电子空穴对。其他粒子,如地面环境的中子,不直接与靶材料的电子相互作用,因此不会在通过时使该物质发生电离。然而,这些粒子不应该被忽略,由于与构成微电子器件材料的原子发生核反应的概率的原因,它们也可能产生单粒子效应,这种机制称为间接电离。由核反应产生的带电产物可以采用与直接电离相同的方式沿轨迹方向沉积能量。由于这些次级粒子的电子空穴对的产生与离子辐射的类似,因此可以使用相同的一般模型和概念。

**电荷输运:**当电离粒子与半导体作用产生电荷柱时,释放的载流子在基本结构(例如 pn 结)中快速输运并被收集。如图 5-1(c)~(e)所示电荷的输运依赖两个主要机制:在电场区域中的电荷扩散和中性区域中的电荷漂移。沉积的电荷还可以与晶格中存在的其他移动载流子复合。

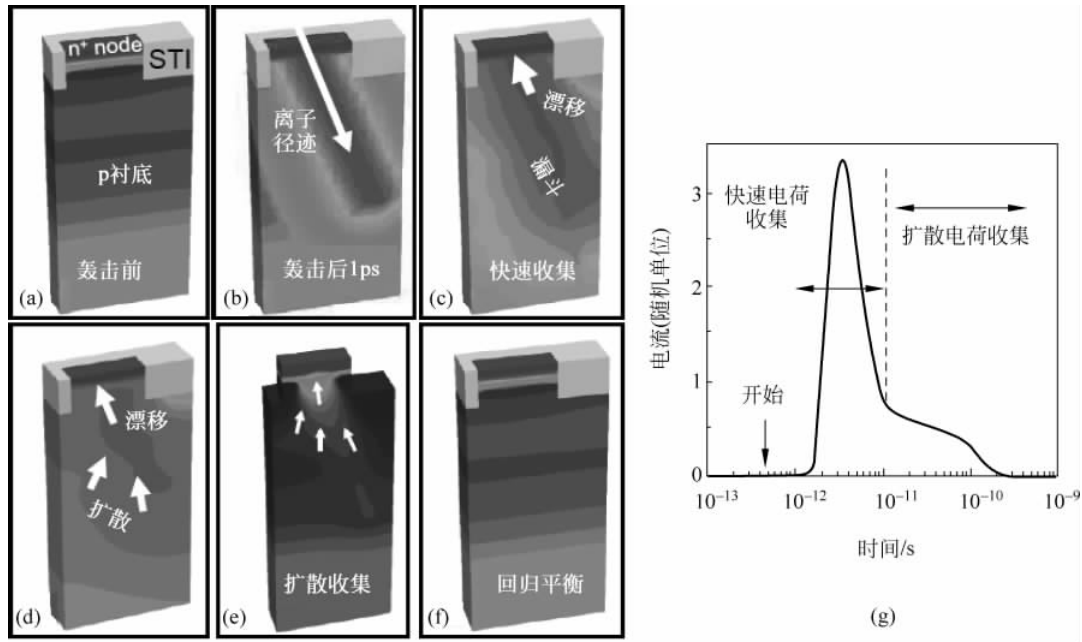


图 5-1 在反向偏置结中的电荷产生、运输和收集阶段以及由高能离子通过产生的合成电流脉冲

**电荷收集：**在器件中运输的电荷引起寄生电流瞬变，如图 5-1(g)所示，这可以在器件和相关电路的信号中引起干扰。对电离粒子轰击最敏感的器件，通常是包含反向偏置 pn 结的器件，因为 pn 结耗尽区的强电场可以非常有效地收集所沉积的电荷。电离辐射的影响根据电流瞬态的强度以及受影响的电路节点的数量不同而不同。如果电流非常重要，它可能会对器件的栅极绝缘体(例如单粒子栅穿)或门锁(例如单粒子门锁)造成永久性损坏。在常用的低功率电路中，瞬态电流通常仅仅只引起逻辑状态(单元翻转)的最终改变。

### 5.1.2 专有名词

根据 JEDEC 标准 JESD89A<sup>[4]</sup>、JESD57<sup>[5]</sup> 和 ESCC25100<sup>[6]</sup> 的定义，单粒子效应表示由单能量粒子轰击产生的微电子器件、组件、子系统或系统(数字或模拟)状态或性能的任何可测量或可观察的变化。单粒子效应包括单粒子翻转、多位翻转、多单元翻转、单粒子功能中断、单粒子门锁、单粒子硬错误、单粒子瞬态、单粒子烧毁和单粒子栅穿。软错误率指软错误发生的概率。这些现象(及相关特性)的形式定义如下。

(1) **软错误(Soft Error)：**来自锁存器或存储器单元的错误输出信号，可通过执行包含锁存器或存储器单元的器件的一个或多个正常功能来校正。软错误由辐射或电磁脉冲引起的误差，与在制造过程期间引入的物理缺陷无关。软错误可以由单粒子翻转、单粒子功能中断、多位翻转、多单元翻转和/或单粒子瞬态产生。软错误率已被业界采用，而更具体的术语单粒子翻转、单粒子功能中断等通常由航空电子、空间和军事电子社区使用。历史上，英特尔公司的 May 和 Woods 在 1978 年 4 月 IEEE 可靠性物理国际会议(IRPS)的论文中首次引入了术语“软错误”(针对 DRAM 和其他集成电路)，并且单粒子翻转由 NRL 的 Guenzer、Wolicki 和 Allas 在 1979 年的 IEEE 核与空间辐射国际会议(NSREC)上发表的论文(针对中子和质子的 DRAM 单粒子翻转)中介绍。

(2) **单粒子翻转(Single Event Upset,SEU)**: 由单能量粒子轰击产生的瞬态信号所引起的软错误。

(3) **单粒子翻转截面(SEU Cross Section)**: 每单位注量的单粒子事件数。对于器件单粒子翻转截面,尺寸是每个器件的敏感面积。对于位单粒子翻转截面,尺寸是每位的面积。

(4) **单粒子翻转率(SEU rate)**: 单粒子翻转发生的概率。

(5) **单粒子瞬态(Single Event Transient,SET)**: 由单能量粒子轰击诱发的集成电路中节点处的瞬时电压偏移(电压尖峰)。

(6) **单粒子门锁(Single Event Latch-up,SEL)**: 由于单个高能粒子穿过器件结构敏感区域所引起的器件异常自我维持的高电流状态而导致器件功能丧失。单粒子门锁可能会对器件造成永久性损坏。如果器件没有被永久性损坏,则需要重新打开器件(断开和重新打开)来恢复正常操作。以 CMOS 器件中的单粒子门锁为例,当单个粒子通过而引起寄生晶体管结构(pn-pn)电源到地短路。

(7) **单粒子栅穿(Single Event Gate Rupture,SEGR)**: 由于雪崩击穿导致的栅极介质材料全部或部分损坏。

除了以上术语,对于存储器,本书提到以下定义。

(1) **多单元翻转(Multiple-Cell Upset,MCU)**: 一次单粒子事件导致电路中的几个单元翻转功能失效。

(2) **多位翻转(Multiple-Bit Upset,MBU)**: 在同一数据字中出现两个或多个位错误的多单元翻转(多位翻转不能通过简单的单位错误代码纠正进行校正)。

(3) **单粒子功能中断(Single-Event Functional Interrupt,SEFI)**: 引起组件以可检测的方式复位、锁定或以其他方式失效的软错误,但并不总是需要器件的加电重启(断开和重新打开)来恢复可操作性,这与单粒子门锁或导致永久性损坏(如单粒子烧毁)不同。一些单粒子功能中断需要对器件进行加电重启。例如,新型复杂集成电路(如微处理器、DDR3 存储器和 NAND 闪存)就是这种情况。注意,单粒子功能中断通常与控制位或寄存器中的翻转相关联。

(4) **硬错误(Hard Error)**: 操作中的不可逆变化,通常与器件或电路中的一个或多个元件的永久损坏相关联(如栅极氧化物穿透、破坏性门锁事件)。错误是“硬”的,因为数据丢失,组件或器件即使在电源复位和重新初始化后也不再正常工作。

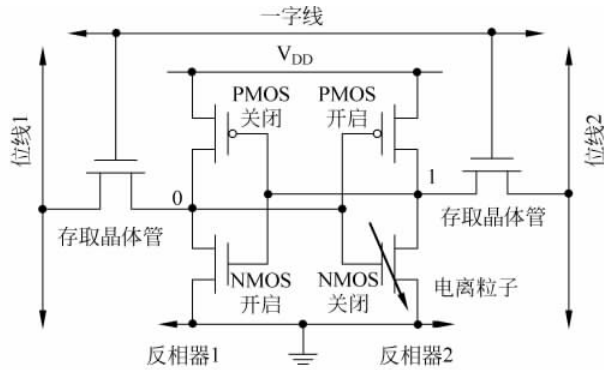
(5) **粒子的线性能量转换**: 单位长度损失的能量,用  $\text{MeV} \cdot \text{cm}^2/\text{mg}$  ( $1\text{pC}/\mu\text{m} \approx 100\text{MeV} \cdot \text{cm}^2/\text{mg}$ )表示。入射粒子引起的扰动大小主要取决于该粒子的线性能量转换。

### 5.1.3 存储器中的单粒子翻转机制

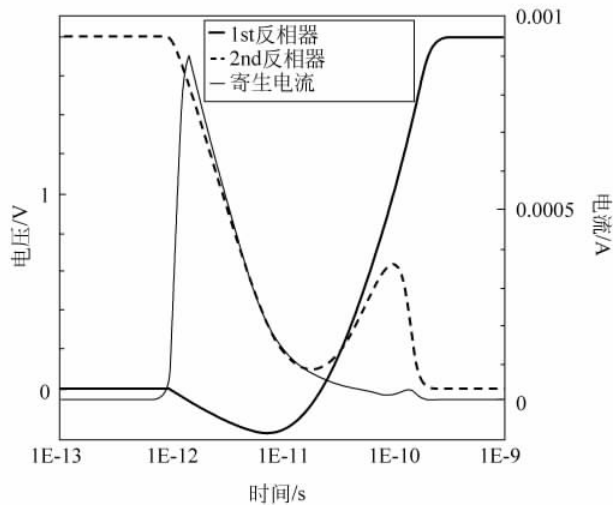
DRAM、SRAM 和基于 SRAM 的可编程逻辑器件,都会受到单粒子翻转机制的影响。与基于电容的 DRAM 不同,SRAM 由交叉耦合器件构成,其每个存储单元的电容显著地提高。当存储单元电容较低时,发生翻转的可能性较大。假设电源电压和单元尺寸随每个工艺时代的发展而减少,那么 SRAM 单元的电容也将继续减小,存储单元更容易受到更多类型粒子(具有较低线性能量转换的粒子)的影响。粒子轰击存储器单元敏感区域产生大量密集的电子空穴对。如果在特定敏感电路节点处收集的电荷超过了可以使存储器单元值翻转所需的最小电荷,就发生软错误。由单粒子命中引起的错误称为单粒子翻转。

图 5-2 显示出了在标准单端口 SRAM 单元中发生的单粒子翻转,它由两个 CMOS 反相器和存储节点连接到位线的两个开关晶体管组成。当字线为低(开关晶体管处于关状态)时,存

储单元使用背对背的反向器配置来维持数据存储。如果在其中一个节点上,粒子轰击引起瞬变,则该扰动可以通过 CMOS 反相器向前传播,并且在第二个节点处诱发瞬变。第二个节点反过来又将第一个节点引向错误的值,因此两个节点都将翻转。然后,存储器单元将反转其状态并且存储错误的信息;除了通过两个互补的位线显式地重写其状态外,没有其他的机制可以恢复其状态。因此在某种意义上,单粒子翻转是不会导致单元破坏的可逆效应。



(a) SRAM 单元



(b) 电离粒子感应的瞬态电流轰击第二反相器 NMOS 晶体管(截止状态)

图 5-2 标准单端口 SRAM 单元中发生的单粒子翻转

注意,当粒子轰击位线时,单粒子翻转也可能发生。在读操作期间,位线通过存储器单元的小电流放电。位线在存储器单元存取周期产生电压差,信息位被读为 0 或 1。如果该位线上任何单元开关晶体管中的二极管附近被粒子轰击,则很容易干扰该电压差,产生信息位读取逻辑误差。

收集到的导致软错误的电荷量被称为 SRAM 单元的临界电荷( $Q_{crit}$ )<sup>[7,8]</sup>。节点中收集的电荷取决于许多因素:栅极长度、衬底结构、电路节点的偏置、器件中的掺杂水平和入射粒子的特性(如能量、径迹和电荷)。临界电荷取决于节点电容和电源电压。在 SRAM 单元和触发器中,临界电荷还取决于反馈晶体管的强度。粒子轰击后,电路中出现的软错误取决于入射粒子的电荷沉积模式、碰撞的几何形状和逻辑电路的设计。对于简单的隔离结(如存储模式

中的 DRAM 单元),如果收集的电荷高于临界电荷,那么粒子的轰击将会引起软错误。在具有有源反馈的 SRAM 和逻辑电路中,仅当所收集的电荷超过临界电荷一定因数时才发生软错误,该因子取决于反馈的补偿电流。通常,较高的临界电荷意味着较少的软错误,但是与此同时,较高的临界电荷也意味着较高的功率损耗和较慢的逻辑门。

软错误发生的概率被称为软错误率,并且通常用时间故障(FIT)(每运行  $10^9$  小时发生的故障数)表示。例如在加速或实时测试期间使用的实际方程式为

$$\text{SER} = \frac{N_r}{AF \times \sum r} \times 10^9 (\text{FIT/MBit})$$

式中:  $N_r$  为在时间  $T_r$  内观测到的位翻转数目;  $\sum r$  为在时间  $T_r$  内  $\text{Bit} \times h$  计算的值;  $AF$  为相对于给定参考(如北京市大气中子通量)的加速因子(如粒子通量的放大系数)。

存储器中的另一个重要单粒子翻转机制是多单元翻转和多位翻转。它们对现代工艺的存储器越来越重要,主要表现在:电路特征尺寸的缩小增加了单粒子轰击,同时影响几个相邻单元的可能性。多单元翻转取决于粒子入射方向和特征尺寸。还与系统中存储组织及数据结构相关。如今,大多数现代存储器采用交叉存储,确保同一逻辑字的不同位物理上不相邻,从而大量地减少了多位翻转的出现。

#### 5.1.4 数字电路中的单粒子效应机制

随着 CMOS 特征尺寸连续缩小,已经可以确定单粒子瞬态成为主要的误差机制,并且引起数字电路设计者的关注。CMOS 尺寸缩小伴随着更高的工作频率、更低的电源电压和更低的噪声容限,这使电路单粒子瞬态敏感度越来越高<sup>[3,9-12]</sup>。

数字单粒子瞬态由收集到的能量粒子沉积电荷产生的暂时电压或电流瞬态构成<sup>[13]</sup>。即使该瞬态不在所触发的电路中诱发单粒子翻转,也可以通过后级电路传播,并且当其到达锁存器或存储元件时,可以被存储为不正确的数据<sup>[14]</sup>。与 SRAM 单元(当足够的电荷单粒子瞬态影响关键节点时,单粒子翻转作为“永久”错误发生)不同,在组合逻辑节点中,电荷单粒子瞬态只有当其通过电路传播并且被锁存到静态单元时,才可能变成“永久”错误<sup>[12]</sup>。数字单粒子瞬态必须满足一定数量的条件,才能在存储元件内引起错误<sup>[3,15]</sup>:

(1) 离子轰击必须产生能在电路中传播的瞬态电流。

(2) 必须有一个开放的逻辑通路,通过该逻辑通路,数字单粒子瞬态可以传播并到达锁存器或存储单元。

(3) 数字单粒子瞬态必须具有足够的幅度和持续时间,能够改变锁存/存储状态。

(4) 在同步逻辑中,数字单粒子瞬态必须在锁存器的使能时钟脉冲内到达锁存器。

(5) 单粒子瞬态的捕获概率随着时钟频率的增加而增加。

数字电路由时序逻辑(如锁存器、触发器、寄存器单元)和组合逻辑(如 NAND 和 NOR 门)构成。下面简要描述在这两类电路中单粒子瞬态的影响。

##### 1. 时序逻辑

核心逻辑中的典型时序元件是锁存器(图 5-3(a))、多米诺单元(图 5-3(b)),或寄存器文件单元(图 5-3(c))。类似于存储元件,核心逻辑中可以发生状态改变。在时序逻辑(如在 SRAM 中)中,软错误率与电路的时钟频率无关<sup>[17]</sup>。例如,不管时钟信号的状态如何,锁存状态可以通过电粒子轰击电路节点上沉积的电荷来翻转。

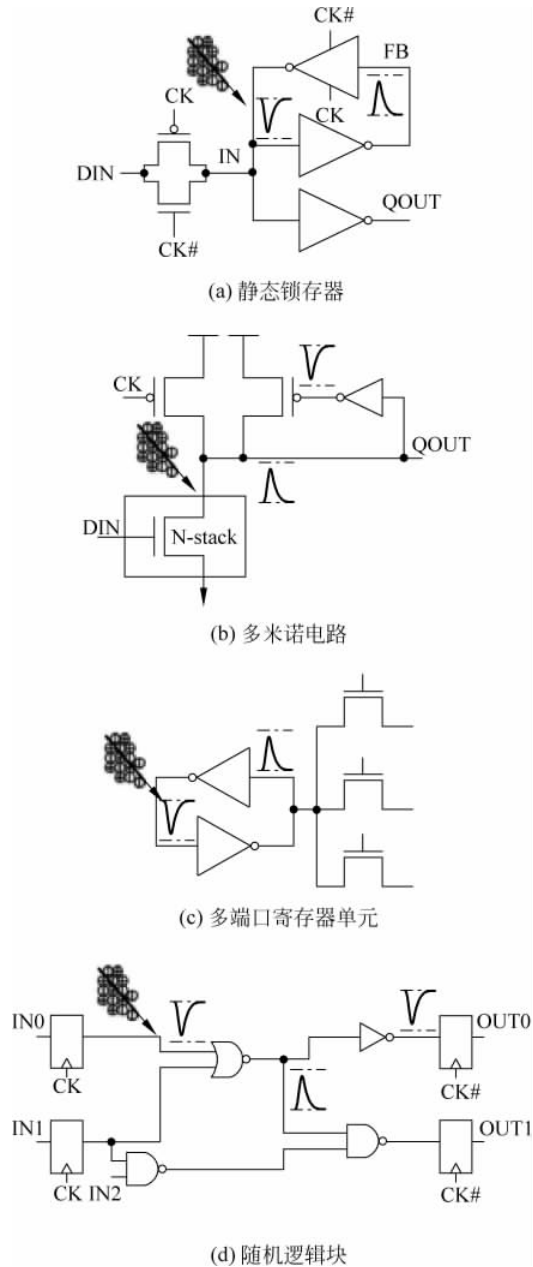


图 5-3 典型的时序逻辑和组合电路的示意图 \*

触发器电路(图 5-4)是其他典型时序逻辑电路<sup>[17]</sup>。因为工艺尺寸的缩小,触发器变得更容易受软错误的影响,主要是因为电源电压和其节点电容的减少。图 5-4 所示的简化示意图显示的触发器电路类似于 SRAM 单元,因为它们都采用交叉耦合反相器对的反馈回路。这类电路的软错误敏感度由临界电荷( $Q_{crit}$ )和收集效率( $Q_s$ )确定。在 SRAM 单元中,两个存储节点的  $Q_{crit}$  是相同的,因为单元是对称的。在触发器中,由于反相器的尺寸不同并且具有不同的

\* 书中符号与仿真软件保持一致。

扇出系数,使触发器电路与 SRAM 单元不同。然后,触发器中各个存储节点具有与 SRAM 不同的临界电荷,并且它们的软错误率敏感度可以变化几个数量级<sup>[18]</sup>。

2. 组合逻辑

组合电路中的任何节点都可能受到单粒子翻转的影响,从而导致电压的瞬变,并通过组合级传播,如图 5-3(d)所示。如果被存储器单元之类的时序元件锁存,则会引起错误。在组合逻辑中,一定数量的瞬变将不被锁存,即使被锁存,这些数据中的部分也将不被感知为用于软件操作的错误。逻辑电路中的瞬态误差在存储电路中可能不会被捕获,因为它可以被以下 3 种现象中的任何一种掩蔽<sup>[19]</sup>。

(1) 当粒子轰击组合逻辑的一部分时发生逻辑掩蔽<sup>[19,20]</sup>,由于后续结果完全由其他输入值确定,所以不能影响输出。例如,如果轰击发生在与非(或非)门(图 5-5(a))的输入<sup>[17]</sup>,其他输入处于控制状态(如用于与非(或非)门的 0 或 1),则轰击将被完全掩蔽并且输出将不变(如粒子轰击将不会导致软错误)。

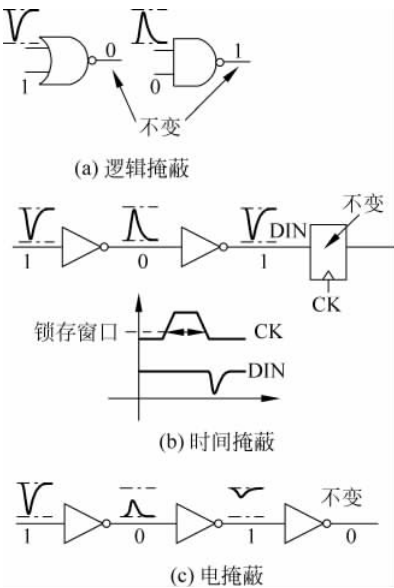


图 5-5 组合逻辑中的掩蔽现象说明

沿用来捕获脉冲,造成错误率增加。脉冲宽度是确定单粒子瞬态通过组合链的距离和锁存在存储器元件中作为错误数据的单粒子瞬态概率的关键参数。单粒子瞬态脉冲宽度越大,其到达时钟锁存边缘的概率越大。如果瞬变时间长于时钟周期,则每个瞬变将被锁存起来<sup>[11]</sup>。单粒子瞬态脉冲宽度和幅度取决于过程和电路参数(衬底与/或外延层掺杂,电路电容等)<sup>[12]</sup>。

## 5.2 新型器件和电路的发展趋势

### 5.2.1 半导体发展路线图

CMOS 连续缩小正在将信息处理工艺推广到更广泛的新应用中。这些应用大部分通过性能增益缩小导致复杂性增加来实现<sup>[22]</sup>。半导体国际工艺路线图在其早期版本中,强调了

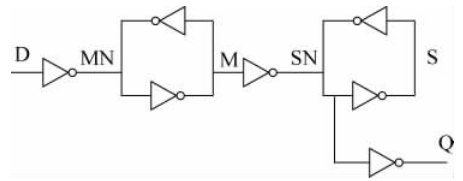


图 5-4 触发器电路的简化原理图

(2) 当粒子轰击产生的脉冲到达锁存器,而不是锁存器捕获其输入值的时钟到达时,发生时间掩蔽(或锁存窗口掩蔽)<sup>[20]</sup>。如图 5-5(b)所示<sup>[17]</sup>,当瞬变向时序元件(图 5-5(b)中的锁存器)传播时<sup>[17]</sup>,节点 DIN 上的扰动在锁存窗口之外<sup>[21]</sup>。因此,不会锁存错误,并且不会发生软错误。

(3) 对高于 CMOS 电路截止频率带宽的瞬态进行电掩蔽。这些瞬态将被衰减<sup>[34]</sup>。脉冲幅度可能会减小,上升和下降时间增加,并且最终脉冲可能会消失,如图 5-5(c)所示<sup>[17]</sup>。另外,由于大多数逻辑门是具有实质电压增益的非线性电路,具有足够初始幅度的低频脉冲将被放大<sup>[7]</sup>。

由于这些掩蔽效应,可以发现组合逻辑中的软错误率明显低于预期值<sup>[17,19,21]</sup>。除了这些掩蔽机制之外,两个影响组合逻辑中软错误率的关键因素是时钟频率和单粒子瞬态脉冲宽度<sup>[10]</sup>。随着时钟频率的增加,更多的锁存时钟

“小型化”及其在性能、摩尔定律的传统参数等方面的优点<sup>[7]</sup>。性能增加的趋势将继续，而性能总是根据具体应用的功耗来进行折中，为了提高性能也通过在器件中加入新材料和采用新的晶体管概念来维持。该进一步发展方向称为“延续摩尔定律(More Moore)”，见图 5-6<sup>[7]</sup>。

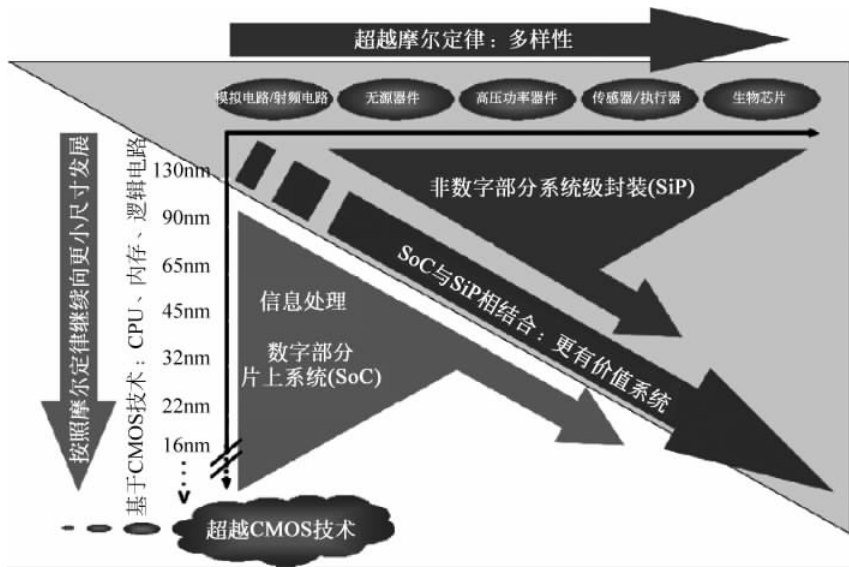


图 5-6 半导体国际路线图的双重趋势

关于这种“延续摩尔定律”趋势，图 5-7 说明了 CMOS 电源电压和物理栅极长度的急剧减少，如半导体国际路线图所预测的那样<sup>[8]</sup>。此外，根据未来 10 年的半导体国际路线图，每个集成片上系统中的晶体管数量每年增长 12 倍。如果假设软错误率/位稳定，那么这些集成片上系统中的软错误将相应地增长。因此，软错误是大多数大规模客户应用的关键可靠性问题（通常负责所有可靠性机制的最高故障率）。此外，如图 5-6 所示，尺寸缩小、核心电压降低和电路工作频率增加，是摩尔定律的三个重要方面，它们是集成演变中软错误率的直接结果。

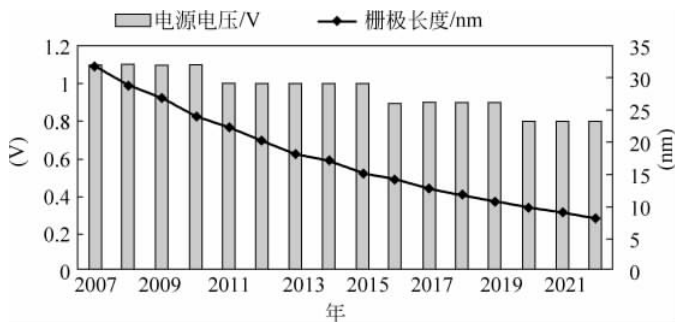


图 5-7 半导体国际路线图

摩尔定律的另一个重要方面是从体硅到绝缘体硅结构的过渡，以及从单栅极到多栅极器件的过渡。大量新器件的出现继续推动着超越 10nm 范围的集成，也直接影响着基于这种器件架构的电路的辐射可靠性。5.4.4 节将介绍超薄完全耗尽绝缘体上硅晶体管和栅极工艺单粒子效应的综述结果。

由于 CMOS 尺寸缩小趋势最终将接近极限，大家正在探索替代现有功能或新功能的若干

信息处理器件和微架构,以维持集成电路缩小的节奏,并在未来几十年内降低成本。第二个趋势特点是基于半导体器件的功能多样化。这些非数字功能确实有助于电子系统的小型化,尽管它们不一定能够以数字功能开发描述的速率进行缩小。因此,考虑到增加的功能,这种趋势可以称为“超越摩尔定律(More than Moore)”。

“超越摩尔定律”路线图对于这些器件而言必然更加多样化,从非平面 CMOS 架构到新奇的新器件,如自旋电子学、碳电子或忆阻器。由于刚刚开始这些工艺的探索,已发表的关于单粒子效应的结果仍然太分散,但是,跟当前 CMOS 解决方案相比,少数研究结果显示出更小的辐射敏感度。

### 5.2.2 现代工艺中的缩小效应

尽管 CMOS 工艺尺寸在“延续摩尔定律”观点下继续缩小,但是许多因素可以直接影响它们的单粒子效应敏感度,例如先前提到的,器件尺寸的缩小、工作频率的增加以及引起单粒子效应所需的临界电荷/能量沉积的减少。所有的这些参数不会以相同的方式影响软错误率和某些竞争。

#### 1. 特征尺寸缩小

##### 1) 几何缩小

器件特征尺寸缩小与电路集成度增加相结合,对软错误具有重要意义,如 Massengill 等在文献[22]中提到:

- (1) 提供给入射电离粒子的单位截面减小。
- (2) 粒子穿过的能量沉积体积减小。
- (3) 粒子在电路图的影响区域增加。

应当注意,对于体硅工艺,平面尺寸的减小,并没有伴随着(如阱或外延深度等)在前道处理中存在的垂直尺寸减小。因此,入射电离粒子径迹至电路节点的能量传递效率,已经以更接近特征尺寸平方(而不是特征尺寸立方)的速率缩小<sup>[22]</sup>。对于当前的体硅工艺节点来说,重要的解释已在图 5-8 中示意性地显示出来<sup>[22]</sup>。

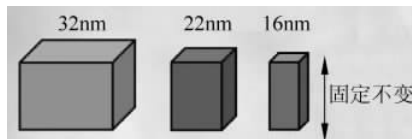


图 5-8 体硅工艺节点平面尺寸缩小示意图

最近从体硅到绝缘体硅工艺的迁移,其特征在于:完全隔离的薄或超薄顶部硅层是限制单粒子沉积体积

的重要几何因素;如果在这些新工艺中软错误敏感度没有涉及其他相反的现象,从纯体积缩小观点来看,软错误率应当下降。

图 5-9 说明了电路影响粒子区域的增加,这是最近工艺中效果最为明显的一种<sup>[22]</sup>。因为单粒子影响不是“点状的”,而是具有一定的径向延伸(导致如图 5-9 底部所示的径向电荷分布),这个影响点可以与电路中重要部分或多或少相交,取决于考虑的工艺节点。图 5-9 中,45nm SRAM 中  $\alpha$  粒子影响点与 6 个存储器单元相交,其影响最先受限于单个 130nm 工艺节点。这种纯几何效应部分地(并且仅部分地)导致所有工艺中观察到的多单元翻转。这些工艺通常指的是在 130/90nm 以下工艺节点。

##### 2) 离子径迹空间结构与器件尺寸

随着集成度增加,单粒子影响区域不仅影响电路,而且可以在器件级造成影响,因为离子径迹结构的特征径向尺寸与器件特征尺寸具有相同的数量级。图 5-10(a)显示了在  $0.25\mu\text{m}$

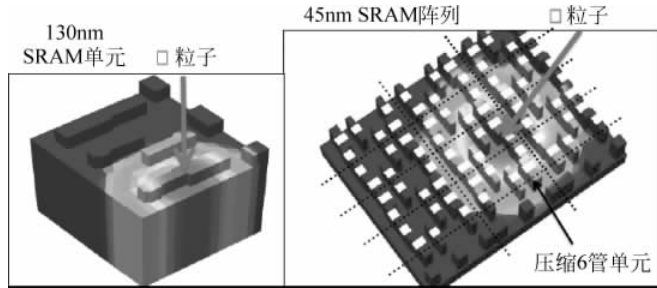


图 5-9 130nm 和 45nm 工艺中单个  $\alpha$  粒子轰击 SRAM 区域的示意图

和 50nm 绝缘体硅工艺尺寸下,高能重离子在硅中感应电荷分布之间的比较结果<sup>[23]</sup>。特别对于短沟道器件来说,不可忽略的沉积电荷部分位于器件的外部。换句话说,沉积电荷不能使用简单的径向函数来表示。例如,简单的圆柱形或高斯电荷产生函数,其具有均匀的电荷分布和沿着离子径迹的恒定线性能量转换。

然而,真正的离子径迹结构具有比简单高斯函数更复杂的径向轮廓,如图 5-10(b)所示<sup>[23]</sup>。此外,当粒子穿过材料时,径迹结构在空间和时间上都发生变化。在粒子轰击后,径迹核心具有产生高能初级电子(称为  $\delta$  射线)的特征。它们在非常短的时间内产生非常大密度的电子空穴对,并且在离子轨迹周围产生非常小的体积,称为离子径迹。这些载流子由漂移和扩散机制收集,并且通过非常密集的核心径迹中不同直接复合机制(辐射、螺旋)重组,这极大地降低了载流子峰值浓度。所有这些机制在时间和空间上修改径迹分布。当粒子穿过物质时,失去能量, $\delta$  射线变为较小的能量,并且产生更接近离子径迹的电子空穴对。然后,入射粒子在器件中产生特征性锥形电荷等离子体<sup>[2]</sup>。

使用各种蒙特卡罗方法<sup>[23,24]</sup>计算真实离子径迹结构,包括 Geant4 代码<sup>[46]</sup>。这些仿真强调了低能和高能粒子径迹结构间的重要区别,特别是当线性能量转换相同时。

为了考虑器件或电路仿真中的这些差异,可以设想不同的可行方案,第一个是考虑离子径迹结构的解析模型。一些文献中已经提出了几种模型,并且通过仿真代码实现。最有趣的模型之一是基于 Katz 理论<sup>[26]</sup>并由 Stapor 开发<sup>[27]</sup>的“非均匀幂律”轨迹模型。基于它们的理论,Waligorski 提出了一种用于水中离子径迹的解析模型<sup>[50]</sup>,后来 Fageeha 在硅中应用了此模型<sup>[28]</sup>。

在该模型中,离子径迹具有由幂律分布表示的过量载流子径向分布,并且允许电荷密度沿着径迹变化(线性能量转换沿着径迹不是恒定的)<sup>[29,30]</sup>。其他分析模型提出了恒定半径非均匀径迹或高斯分布非均匀径迹。但是,如文献<sup>[29]</sup>中所述,所有这些模型导致单位体积能量沉积的径向分布与离子径向距离的平方成比例。随后显示出这种依赖性是不准确的,特别是对于径迹芯区。

在文献<sup>[30]</sup>中,Rodbell 等遵循  $1/r^2$  定律(大半径)并假定最大半径为 1000nm 的情况下,将 IBM 仿真代码 SEEM-2 实现为离子径迹模型。他们研究了这种径向离子分布对 32nm 和 45nm 工艺中绝缘体硅锁存器单粒子翻转截面大小的影响。这项工作表明,具有实际径迹结构的蒙特卡罗建模,对正确再现实验辐射数据,以及导致单粒子翻转截面被低估的经典线性电荷近似(即没有半径依赖性)是必要的<sup>[30]</sup>。

为了考虑更实际的径迹结构,Raine 等<sup>[31]</sup>提出了一种有趣的方法,包括建立从 Geant4 仿真获得的离子径迹结构的数据库,并适用于多高斯的给定径迹<sup>[31]</sup>,这种工艺如图 5-10(b)所

示。所得的拟合系数在 Synopsys 公司的器件仿真器 Sentaurus 中作为输入数据。然后可以执行器件级 TCAD 仿真,评估精确的离子径迹结构对晶体管电操作的影响。

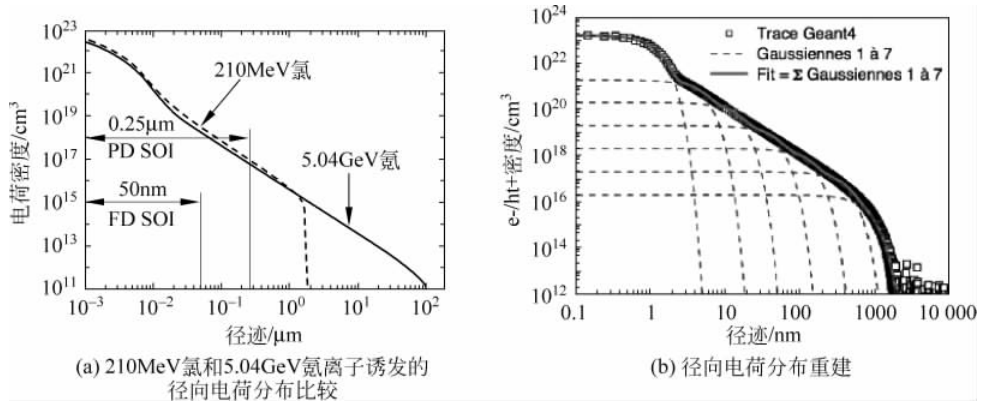


图 5-10 径向电离分布

Raine 等最近还使用蒙特卡罗仿真器研究了存储器单元级离子径迹径向尺寸的影响<sup>[31]</sup>。在这项工作中,对两种离子轨迹的描述进行了比较:将“离子径迹”视为一系列准时沉积电荷的“准时”方法(仅考虑线性能量转换随深度的演变,没有径向尺寸),提出使用 Geant4 获得现实径迹结构的新“径向”方法。在这种情况下,沉积电荷的分布在两个方向上离散化。图 5-11 显示出了使用“准时”或“径向”方法,在 4 种绝缘体硅工艺节点实现的 SRAM 中入射 10MeV/A 氩离子导致的单粒子翻转离子轰击图<sup>[54]</sup>。视觉上,与离子径迹“准时”方法所获得的值相比,“径向”方法获得的每位截面更大。这项研究强调了三个主要趋势:①只要径迹足够宽,则径向和准时单粒子翻转截面之间的比率随每个核子能量减少而增加;②对于给定的工艺节点和核子能量,该比率随着离子质量和线性能量转换增加而增加;③对于给定的离子和能量,该比率随着工艺整合而增加。

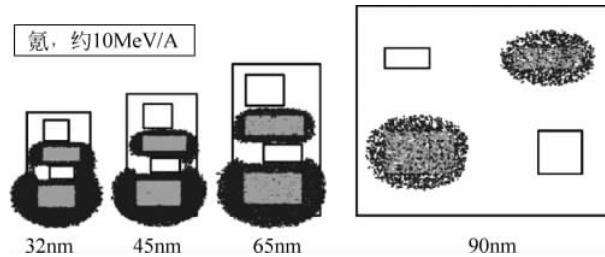


图 5-11 10MeV/A 氩离子入射的单粒子翻转

### 3) 阱中载流子沟道和电气相关效应

电路特征尺寸的缩小导致新工作区的出现,在这个工作区中单粒子产生的过量载流子可以在前道工艺过程中电路的特定区域中被限制或更精确地注入。这特别涉及注入在相反类型半导体区域中的给定半导体类型窄阱(在 p 型衬底中的 n 阱,反之亦然)。

沿粒子径迹的能量沉积和阱结构中过量载流子生成,一起产生电荷注入,因此瞬时干扰阱中的静电势分布。此外,阱延伸中的过量电荷传播可以具有足够的幅度,用来触发植入在同一阱中的晶体管源极到漏极的寄生双极注入。已经在 SRAM 存储单元中观察和仿真了该效应,特别是低于 90nm 的工艺节点。

图 5-12 分别显示了在有“三阱”和无“三阱”工艺中,SRAM 电路中出现的现象<sup>[32]</sup>。一方面,三阱工艺中 PNP 寄生双极晶体管的基极电阻显著减小,减少了单粒子门锁敏感度使得门锁晶体管更难以触发。另一方面,三阱工艺的存在使与 SRAM 存储单元中 NMOS 晶体管相关的 p 阱发生电隔离,在单粒子效应下,增加了 p 阱的载流子沟道。

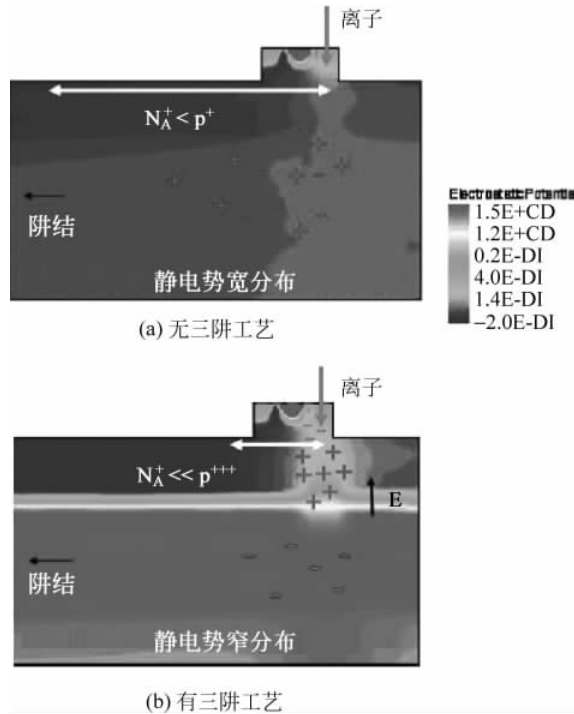


图 5-12 65nm SRAM 存储器单元离子径迹周围的静电势分布

三阱工艺静电势的窄分布,可以由大空穴电流密度解释。通过快速地将空穴携带到 p 阱中的 p 阱—三阱结处,大电流在离子轰击(图 5-12)附近产生。该空穴电流在小范围内(带有三阱工艺的较窄 p 阱横向截面)产生大正电荷梯度(p 阱浓度接近固定电荷沉积空穴  $p^{+++}$  的高浓度)。在有源区(晶体管)和三阱工艺中出现的这种空穴限制,引发了高电场,解释了在离子径迹周围观察到的静电电位增大。

图 5-13 显示了在是否具有三阱工艺的离子径迹和阱之间的 p 阱区域中仿真瞬态静电势和空穴电流密度<sup>[32]</sup>。在三阱工艺 50ps 时刻,击穿单元周围的 p 阱静电电位很高,源极仍然将电子注入 p 阱中。漏极的逻辑状态允许它快速恢复其反向偏置结,并从源极处收集大量的电子。没有三阱的工艺,电位和电流幅度都将减小,因此,不再有电子从源极注入 p 阱中。

与近期工艺(40nm SRAM)相关的另一示例如图 5-14 所示<sup>[33]</sup>。图 5-14 显示了在欧洲海拔高度单粒子效应测试平台(Altitude SEE Test European Platform, ASTEP)平台上,在高空进行实时实验时检测到的不同多单元翻转位图。这些大规模多单元翻转事件(大于或等于 10)对应于高密度 SRAM,相比于标准 40nm 节点,单元面积减少了 25%。这表明当工艺集成度增加时,同时减小存储器单元面积,多单元翻转敏感度增加。检测到的多单元翻转拓扑形状可以通过 SRAM 版图(垂直 p 阱和 n 阱的替代结构)组合和类似棋盘的图案来解释。这就是为什么人们可以观察到,版图相邻位在水平方向发生翻转呈垂直排列,这些水平方向翻转的相邻位出现是由于粒子对这两个相邻位 NMOS 漏极敏感区的影响造成的。由于这两个漏极位

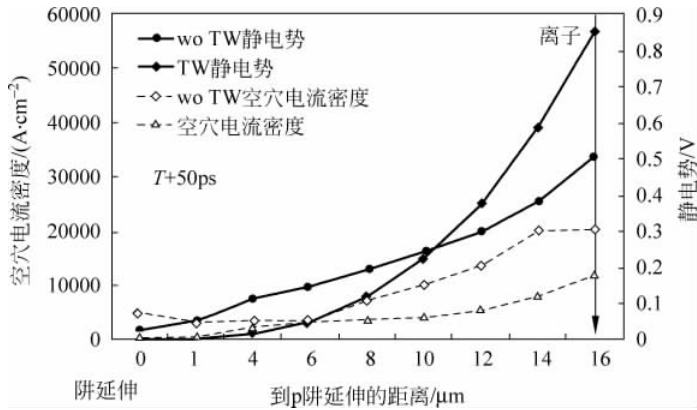


图 5-13 瞬态静电势和空穴电流密度的全三维 TCAD 模拟结果

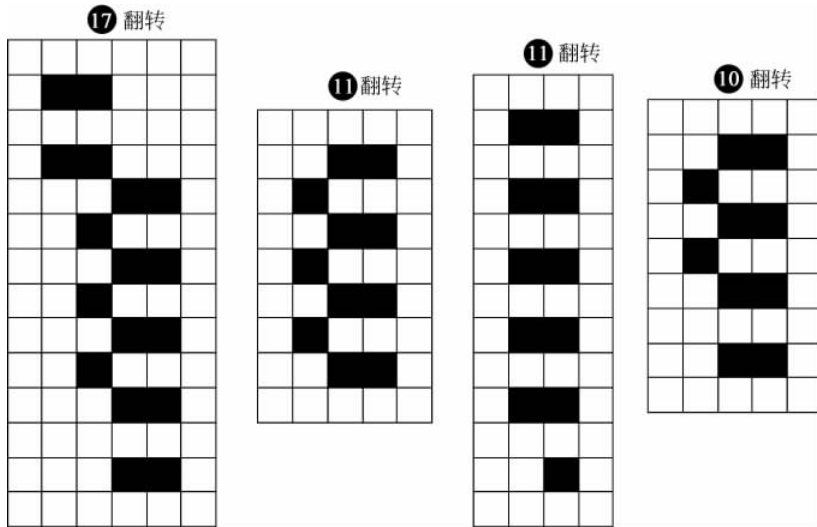


图 5-14 40nm 单端口 SRAM 检测到的不同多单元翻转的物理位图

于同一垂直 p 阱中,因此整体呈现垂直排列。对于以大量多单元翻转事件(大于或等于 10)为特征的所有粒子来说,由于电荷扩散和隧穿作用机理很明显,多位翻转呈列式排列占高优先级。

#### 4) 可变性和单粒子效应

可变性对于当前和未来 CMOS 工艺来说,是一个重要的挑战。随着器件尺寸不断缩小,这种挑战不断地增加。可变性主要有两个来源:全局来源和本地来源。如文献[34]中所述,全局可变性源对应所有工艺步骤诱发晶体管级参数变化,例如阈值电压和饱和电流。主要的可变性源是几何尺寸(如物理栅极长度)、偏移间隔和间隔宽度。它们是调节晶圆内晶体管参数的系统因素。另外,局部可变性来源与随机效应相关。在基于 Si/SiO<sub>2</sub> 的体硅工艺中,众所周知的来源是随机掺杂剂波动和线边缘粗糙度。这两种机制降低了晶体管的匹配因子,对于低电压的 SRAM 功能和电流镜的模拟块性能是最基本的。最近引入的高 k 电介质/金属栅极堆叠,带来了一种新的被称为“功函数调制”的局部可变性。

全局和局部可变性源可以经由器件几何形状或电特性的变化给电路的软错误率造成直接

影响,导致临界电荷的变化。以下两个范例说明了 SRAM 中的这种可变性效应。文献[33]给出的例子,分析了工艺诱发的变化对 SRAM 临界电荷( $Q_{\text{crit}}$ )的影响,推导了纳米节点工艺的 SRAM  $Q_{\text{crit}}$ 的分析公式。图 5-15(a)显示了驱动器和负载晶体管的阈值电压( $V_{\text{TH}}$ )变化对  $Q_{\text{crit}}$ 的影响。图 5-15(b)中也给出了具有不同工艺角(PMOS  $V_{\text{TH}}$ 的 $\pm 6\%$ , n-MOS  $V_{\text{TH}}$ 的 $\pm 3\%$ )的  $Q_{\text{crit}}$ 的变化,计算的  $Q_{\text{crit}}$ 值与 SPICE 仿真结果非常一致。

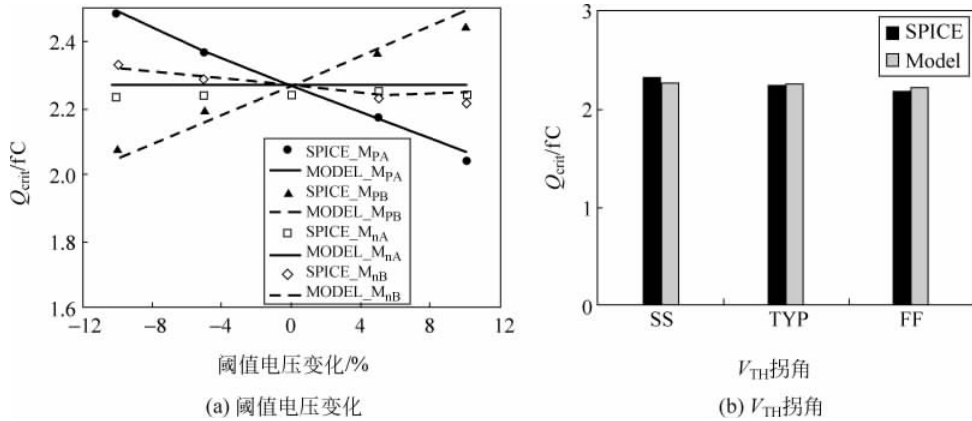


图 5-15 阈值电压( $V_{\text{TH}}$ )变化和  $V_{\text{TH}}$ 拐角的函数的临界电荷( $Q_{\text{crit}}$ )变化<sup>[60]</sup>

这种临界电荷的变化不可避免地引起软错误率的变化,如 Gasiot 等最新的研究成果<sup>[34]</sup>。在这项工作中,90nm CMOS 工艺中遇到的变化,已经通过研究大量来自单个晶圆的裸片到裸片的变化来表征。

采用  $\alpha$  粒子和大气中子对裸片进行标定,软错误率范围用晶圆上的原始位置函数表征。此外,将实验性软错误率范围与基于制造商工艺设计套件的电路仿真进行比较,考虑由工艺可变性诱发的默认参数范围。然后,利用实验数据校准的分析模型计算出临界电荷统计分布,从中推导出软错误率分布。图 5-16 给出 60 个 90nm SRAM 实例,比较中子与  $\alpha$  软错误率的实验数据和仿真数据。实验和仿真数据之间的良好一致性,证明了可以从工艺变化评估确定的临界电荷统计分布中推导出软错误率可变性。

## 2. 临界电荷

临界电荷( $Q_{\text{crit}}$ )是一个一阶度量,用来量化静态存储从一个逻辑状态翻转到另一个的难易程度。其对应于存储器单元中翻转数据位的最小电荷量。它与电路软错误率的关系是指数型的,如 Hazucha 和 Svensson 开发的分析模型所示<sup>[35]</sup>:

$$\text{SER} = K \times A \times F \times e^{-Q_{\text{crit}}/Q_s} \quad (5-1)$$

式中:  $K$  为比例因子;  $F$  为粒子注量( $\text{cm}^{-2} \cdot \text{s}^{-1}$ );  $A$  为对粒子轰击敏感的电路面积( $\text{cm}^2$ );  $Q_{\text{crit}}$ 为临界电荷;  $Q_s$ 为电荷收集效率(与  $Q_{\text{crit}}$ 相同的单位)。

软错误率的两个关键参数是 SRAM 单元的临界电荷( $Q_{\text{crit}}$ )和电路的电荷收集效率( $Q_s$ )。 $Q_s$  和  $Q_{\text{crit}}$ 均由工艺确定<sup>[36]</sup>,而  $Q_{\text{crit}}$ 还取决于电路特性,特别是电源电压和漏极节点有效电容。 $Q_{\text{crit}}$ 和  $Q_s$ 本质上是独立的,但都随着特征尺寸的缩小而减小。式(5-1)强调比率 $Q_{\text{crit}}/Q_s$ 的变化将对所得的软错误率具有非常大的影响。软错误率也与器件的敏感区域面积成比例,因此它随器件尺寸平方的减小而减小。

不同的解析/半解析模型可用来估计  $Q_{\text{crit}}$ 值,是完全 SPICE 或 TCAD 仿真方法。接下来,简要总结 Jahinuzzaman 的观点<sup>[60]</sup>。对于一阶  $Q_{\text{crit}}$ ,简单地建模成电容和电导分量的和:

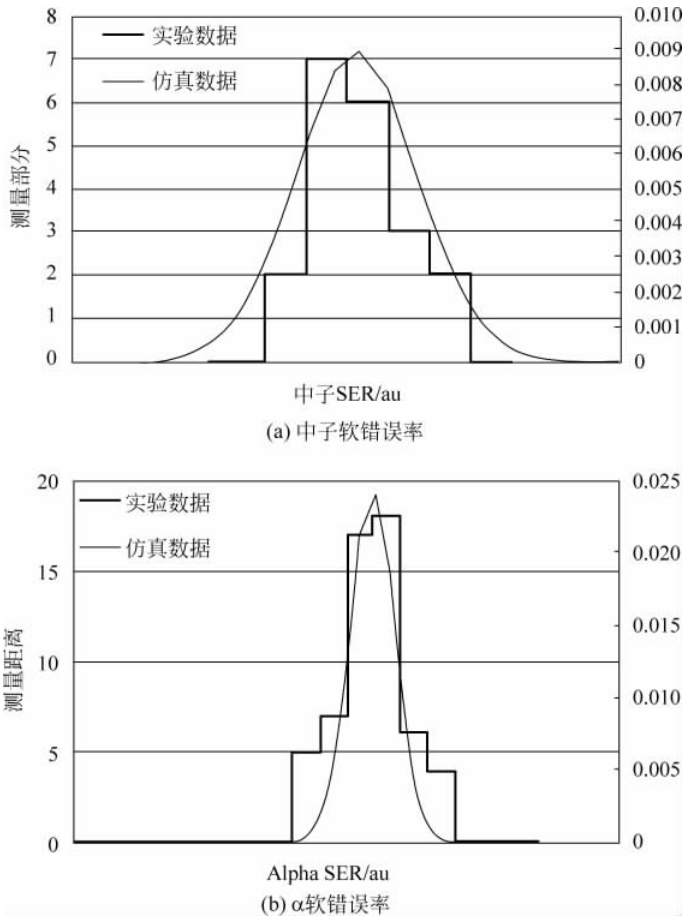


图 5-16 60 个 SRAM 实例的实验中和 α 软错误率及从临界电荷分布获得的中子和 α 软错误率的概率密度

$$Q_{crit} = C_N V_{DD} + I_{DP} T_F \tag{5-2}$$

式中： $C_N$  为被击穿节点的等效电容； $V_{DD}$  为电源电压； $I_{DP}$  为导通态 PMOS 晶体管的最大电流； $T_F$  为单元翻转时间。

尽管电容和电导分量确实对临界电荷产生影响，但是式(5-2)右边第一项通常被高估，因为反相器的翻转阈值小于  $V_{DD}$  (对于完全匹配的 NMOS 和 PMOS 则为  $V_{DD}/2$ )。此外，电导项仅考虑电流峰值，这是不现实的。

Xu 等提出了一种更准确的估计临界电荷的方法<sup>[37]</sup>：

$$Q_{crit} = \int_0^{V_{trip}} C_N dV + \eta I_p T_{pulse} \tag{5-3}$$

式中： $V_{trip}$  为 SRAM 单元的静态跳闸点； $\eta$  为校正因子； $I_p$  为导通态 PMOS 晶体管的驱动电流； $T_{pulse}$  为粒子诱导电流脉冲的持续时间。

式(5-3)提供了一种更好的估计  $Q_{crit}$  电容分量的方法，特别添加了结电容和后道 MIM (Metal-Insulator-Metal) 电容。然而，该模型未能包括：击中节点处电压瞬态的动态范围、 $I_{pulse}$  的定量描述以及不同晶体管的贡献。结果，式(5-3)在估计  $Q_{crit}$  的精度方面受到了限制。

文献[33,35]提出了在完全 SPICE 仿真方面具有减少误差(小于或等于 10%)的改进分析

技术。这个技术考虑了单元的动态行为,并且展示了解耦非线性耦合存储节点的简单方法。存储节点的去耦通过求解相关电流方程,使用经典的双指数脉冲电流方程计算临界电荷。这样开发的临界电荷模型由 NMOS 和 PMOS 晶体管参数组成。通过模型计算出的临界电荷值,与 90nm CMOS 工艺 SPICE 仿真的结果一致,最大误差小于 5%。

传统模型、TCAD、混合模式或全 SPICE 仿真,可用于研究晶体管/电路特征尺寸函数  $Q_{crit}$  的缩小。在最近的一项工作中,Massengill 等<sup>[22]</sup>提供了 6 管 SRAM 的  $Q_{crit}$  值随特征尺寸函数变化的结果(图 5-17)。20 世纪 80 年代早期,在经历了衬底、光刻和器件几十年的变化后,Petersen<sup>[38]</sup>对随着特征尺寸平方减小而减小的  $Q_{crit}$  的预测,已经非常准确。如图 5-17 所示,对于最近的工艺, $Q_{crit}$  值已小于 1fc,远低于硅中单电荷电离粒子沉积的电荷量。

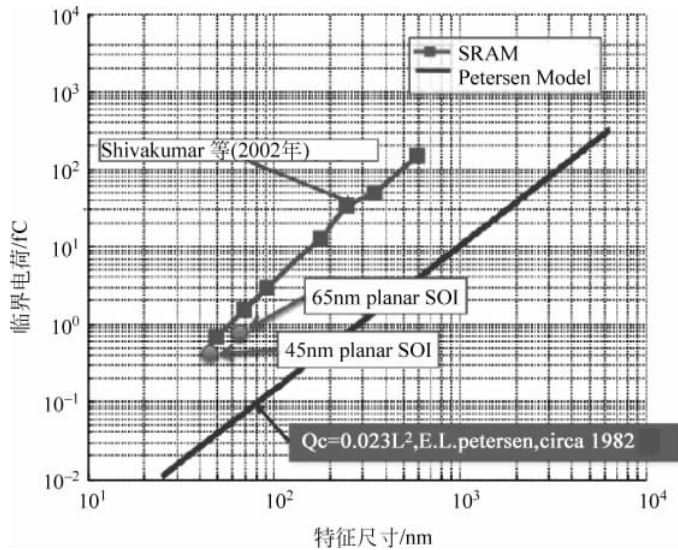


图 5-17 临界电荷缩小作为特征尺寸的函数

## 5.3 本底辐射的敏感度增强效应

### 5.3.1 低能质子

低能质子对现代电子学的影响是空间和地面应用的重要问题。低能质子通常在高能质子或中子的散射期间产生,并且主要是在空间辐射环境中。虽然屏蔽材料可以很容易地吸收低能质子,但是高能质子的散射可以产生影响电子的低能质子大注量率。此外,次级低能质子能在硅和其他材料高能中子发生的核散裂反应中产生,因此在地面辐射环境中也需要考虑低能质子引起的软错误率。

最近,几个作者报告了 SRAM 和锁存器中低能质子的直接电离证据<sup>[31,38,39]</sup>。如 Seifert 提到的<sup>[39]</sup>,背景中的低能质子能量是指处于或低于含有硅的质子核反应的最低阈值能量,即低于 MeV。在 65nm 体硅工艺以及 65nm 和 45nm 绝缘体硅器件中的影响已经报道出来<sup>[31,37,38]</sup>。这些文献研究表明,对于所研究的器件,临界电荷远低于 1fc,并且线性能量转换值足以通过直接电离引起扰动。

这种由低能质子直接电离的机理在 65nm CMOS SRAM(见图 5-18(a))情况下充分说明。

作者在进行的 TCAD 研究中表明<sup>[37]</sup>,如果峰值出现在敏感器件区域附近,则线性能量转换峰值接近  $0.5\text{MeV} \cdot \text{cm}^2/\text{mg}$ ,可能会诱发翻转。图 5-18(b)给出了在 65nm 绝缘体硅 SRAM 中,5 个单粒子翻转测试的质子束测量实验结果,包括:①特莱恩大学(Trine University)Meson 设施;②弗朗西斯 H·伯尔东北质子治疗中心(Francis H. Burr Therapy Center);③印第安纳大学(Indiana University)回旋加速器设施;④加利福尼亚大学戴维斯分校(University of California,Davis)的克罗克核实验室(The Crocker Nuclear Laboratory);⑤IBM 公司的 3MV 范德格拉夫(van de Graaff)设施。与先前工艺中制造的 SRAM 相比,该 SRAM 的低能质子单粒子翻转表现出不一样的结果。具体地,当质子能量降低至 1MeV 时,没有观察到翻转阈值;并且观察到翻转截面上的急剧上升小于 1MeV。小于 1MeV 时截面增大,可明显归因于低能质子直接电离引起的扰动。

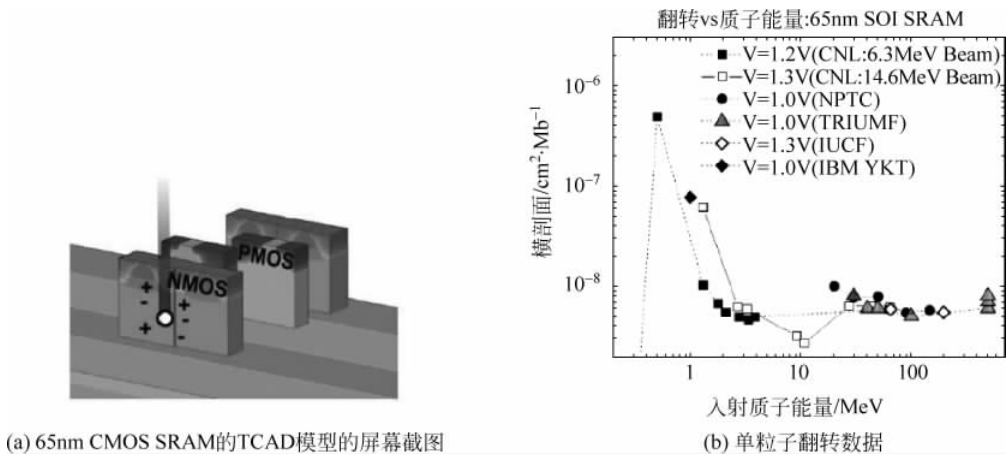
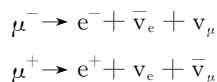


图 5-18 低能质子直接电离机能

### 5.3.2 大气 μ 子

大气 μ 子是地面自然辐射环境的重要组成部分。μ 子是轻子,是由大气宇宙射线级联中的“硬”成分产生,并且是通过弱相互作用使带电介子(π<sup>+</sup>和 π<sup>-</sup>)衰变的产物。它们寿命较短,但是由于相对时间扩张,这些粒子能够很容易地穿透大气,构成海平面上最丰富的高能带电粒子。

μ 子是带有单一负电荷的,且质量约为电子质量 207 倍的带电粒子。由 μ<sup>-</sup>表示并且也称为“负 μ”的 μ 子,拥有电荷相反、质量相等的对应反粒子:反 μ 粒子,通常称为“正 μ”(μ<sup>+</sup>)。μ 子是不稳定的粒子,平均寿命为 2.2μs。不与任何物质发生任何的相互作用,它们自发地衰变成三种粒子:

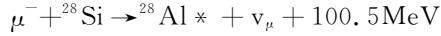


正负 μ 子与物质发生弱相互作用:它们可以在物质中行进很远的距离,因此深入到材料回路中。Ziegler 和 Lanford 率先指出了 μ 子在相对较低的入射初级能量下如何与物质发生相互作用<sup>[40]</sup>。他们将相互作用分解为三个主要过程。

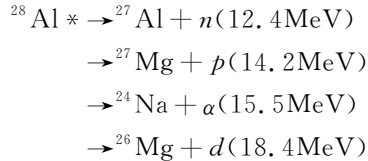
(1) μ 子直接电离唤醒。带电荷的 μ 子通过结合激发的电子而失去其穿过半导体材料的动能,结果沿着其径迹释放电子空穴对。

(2) 电磁散射诱发能量库仑硅核反冲。

(3) 当物质准停止时,通过原子核来俘获负  $\mu$  子。这种复杂的俘获机制释放反冲重核,同时发射轻粒子(中子、质子、氦核和  $\alpha$  粒子等)。当负  $\mu$  子在硅中停止时, $\mu$  子对电子学的影响表现为:平均约 35% 的粒子衰变成电子和两个中微子,剩余的 65% 被俘获<sup>[40]</sup>。如果假定中间状态,则反应是:



Sobottka 等<sup>[41]</sup>已经测量了一些遵循<sup>28</sup>Al 反冲核的模式下,<sup>28</sup>Si 中  $\mu$  子捕获后产生的带电粒子发射能谱:



其中,与每个最终状态一起列出的能量是相对于<sup>28</sup>Si 基态的基态能量。所有俘获的  $\mu$  子中,28% 诱发没有粒子发射,15% 诱发带电粒子发射(约 10% 质子,5% 氦核和小于 1% 氦核或  $\alpha$  粒子。在一些情况下,可能存在百分之几的  $\alpha$  粒子),67% 诱发中子发射,10% 诱发带电粒子和中子的发射<sup>[42]</sup>。

$\mu$  子对电子学的影响只有少量研究,直到最近这一现象才发生改变。可以参考 20 世纪 80 年代 Ziegler 和 Lanford<sup>[40]</sup>的开创性工作,和一些使用人工  $\mu$  子束存储的实验研究结果<sup>[42,43]</sup>。最近,Sierawski 等<sup>[43]</sup>结合测量和数值模拟,发表了对低能(小于 3MeV)和大气正  $\mu$  子在先进工艺上的影响,解释了  $\mu$  子的直接电离对不同工艺节点(65nm、55nm、45nm 和 40nm)的 SRAM 的影响。图 5-19 中呈现的数据表示了在使用加拿大国家粒子和核物理实验室(TRIUMF)的 M20B 表面  $\mu$  子束,对正常偏置下的 4 个不同 SRAM 进行  $\mu^+$  辐射的翻转率<sup>[42]</sup>。

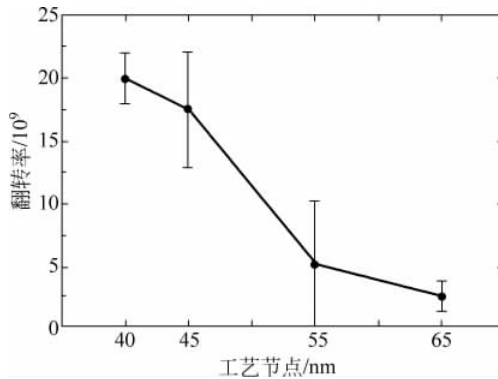


图 5-19 不同 SRAM 实验中  $\mu$  粒子诱发单粒子翻转的概率

文献[44]中的数据显示了  $\mu$  子对缩小工艺带来的单粒子翻转敏感性和能量沉积的影响明显增加。器件面积的减小导致能够通过电池并且产生翻转的粒子数量减少。这种减少将减小被波束扰乱的概率。因此,翻转概率的增加归因于电荷收集的几何形状差异,和注入的超过临界电荷的能量沉积粒子数量增加,或两者都有。此外,在这些实验中,入射  $\mu$  子具有动能分布,和阻止本领分布。随着工艺节点缩小,单个存储器单元翻转所需的电荷减小。这种趋势能够引起翻转小部分分布增加。与 65nm SRAM 相比,40nm SRAM 中 21.6MeV/c 光束的较大部分超过阻止本征阈值。尽管对于未来器件,翻转的概率在增加,但是不能从这些数据确定增

加的趋势是线性的还是超线性的。

作为对这些实验结果的补充,文献[45]中使用范德堡大学的 MRED (Monte carlo Racliative Energy Deposition) 代码进行一系列仿真。对于 32nm、22nm 和 16nm 这些具有代表性的敏感体积,估计的海平面误差率如图 5-20 所示<sup>[45]</sup>。每条曲线的产生电荷减少,软错误率增大,说明器件更敏感。在低于 32nm 工艺节点时,临界电荷减小到足以使该阈值发生显著误差率。图 5-20 的结果表示了 16nm 器件中误差率可能会发生大的变化。阈值低于 0.2fC 的器件,其显著增加的误差率表明,即使较小的设计差异,也可能对存储的可靠性产生很大的影响。

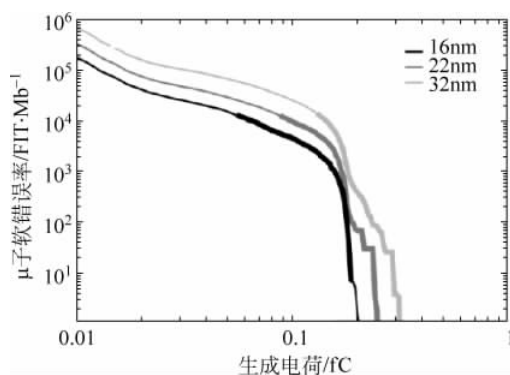


图 5-20 NYC 处  $\mu$  粒子诱导的事件率与 32nm、22nm 和 16nm CMOS 敏感体积所生成的电荷曲线

最近, Serre 等<sup>[46]</sup>研究了低能(小于 1MeV)负  $\mu$  子对 SRAM 存储的补充效应,并且证明了可以在硅中停止的负  $\mu$  子,它的电荷沉积附加机制的重要性。图 5-21 说明使用 TIARA-G4 仿真代码仿真 65nm SRAM 结构时,正负  $\mu$  子相互作用的多种可能情况<sup>[46]</sup>。图 5-21(a) 显示了后道结构顶层中的负  $\mu$  子衰变,这不能诱发翻转,因为  $\mu$  子不能在轻粒子中分解。图 5-21(b) 表示发生在硅衬底中的类似事件,在这种情况下,传入的正  $\mu$  子穿过完整后道结构,并且在统计上,可以穿过敏感漏极。如果受影响漏极中的沉积电荷高于该晶体管类型的临界电荷,对于该工艺,相应的存储器单元将被翻转。图 5-21(c) 和 (d) 显示了分别在后道和硅中发生的两个负  $\mu$  子俘获事件。这些事件产生大的次级粒子淋浴,包含一个或多个带电粒子,这些粒子能够到达有源硅区域,并且诱导一个甚至多个单元翻转。当然,如图 5-21(d) 所示,当在敏感漏极层紧邻区域产生  $\mu$  子俘获诱导淋浴时,诱发翻转的可能性是最大的。对比于进入的  $\mu$  子,根据其在结构中的穿透深度可知,这种情况下的能量间隔减少,因此俘获位置主要取决于  $\mu$  子动能。

为了说明这种效应, Serre 等绘制了图 5-22(a)<sup>[46]</sup>, SRAM 结构内顶点位置的分布与负  $\mu$  子俘获反应有关,对应于三种不同的入射  $\mu$  子动能值: 0.1MeV、0.3MeV 和 0.5MeV。在图 5-22 中清楚地显示出了它们的俘获位置(深度)与  $\mu$  子动能间的依赖性。结果,软错误的发生,以及由负  $\mu$  子辐射诱导的软错误率,提供了在包含敏感漏极的层处发生  $\mu$  子俘获的最大值(有源硅区)。这种行为在图 5-22(b) 中给出,绘制出由  $\mu$  子俘获反应诱导出的,或直接通过  $\mu$  子影响敏感漏极(直接电荷沉积在排水体积)产生的单元翻转百分比<sup>[48]</sup>。当增加初级粒子的动能时,一旦俘获发生在硅中活性层下面更深处,由  $\mu$  子俘获诱导出的失常部分迅速减小。在这种情况下,翻转主要由来自入射  $\mu$  子的直接电荷沉积引起。

总之,这些研究清楚地证明了低能大气  $\mu$  子作为最先进 CMOS 工艺地面级新辐射约束的重要性。将来需要对正负大气  $\mu$  子的精确比例作特别调查,以便将电荷沉积在硅中。对电路结构及电路的局部环境(掩蔽)而言,该比例易受 1MeV 以下的低能大气  $\mu$  子分布情况的影

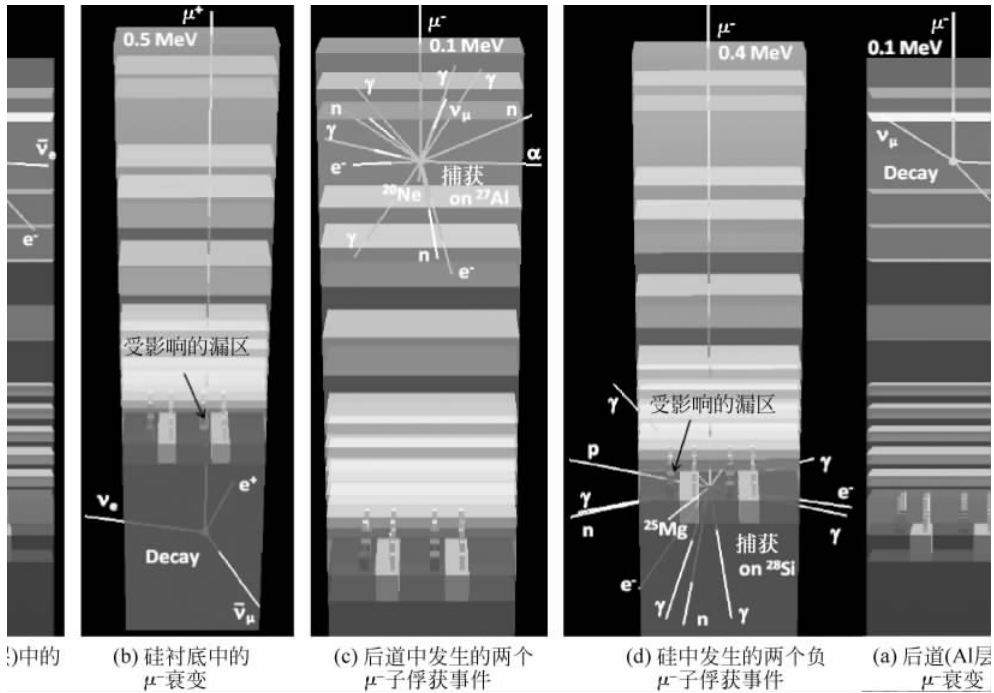


图 5-21 四个事件的可视化示意图

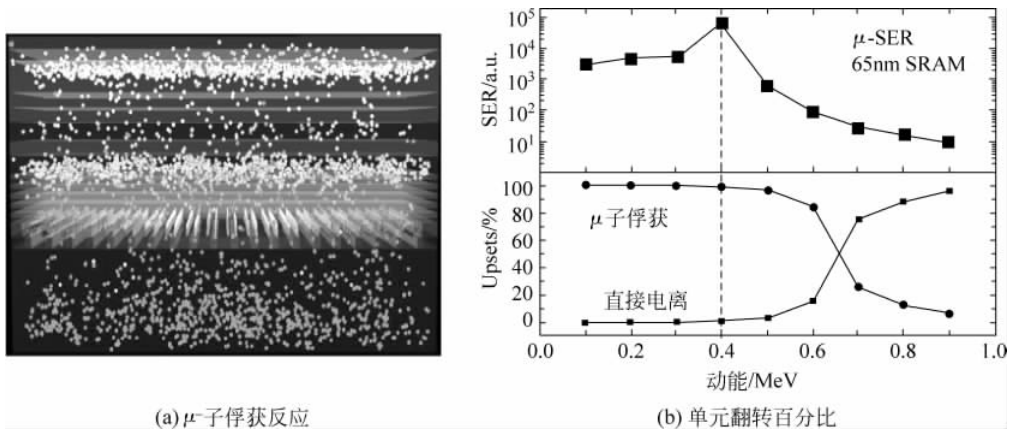


图 5-22 低能  $\mu^-$  子对 SRAM 存储的补充效应

响。当前缺乏与低于 1MeV 的大气  $\mu^-$  子的分布情况相关的实验和理论知识,因此应该精确估计  $\mu^-$  子在地面电子中的限制。

### 5.3.3 低 $\alpha$ 材料问题

在芯片封装时使用的材料(如焊球或模制化合物)中,或在晶圆级(硅、金属互连物、高栅极电介质中的钨或硅化物层中的铂)直接集成中,发现了  $\alpha$  粒子发射体同位素的存在。随着 CMOS 工艺的缩小,集成电路对  $\alpha$  粒子发射污染物的敏感度是一个关键问题,因为如前所述,电源电压和节点电容在不断减少。当前和未来工艺的直接后果,是增加了对在不同制造工艺水平下使用的较低  $\alpha$  发射材料的需要。这不仅包括代表  $\alpha$  粒子污染主要来源的包装材料,而且包括在前道和后道水平上使用的材料和合金。由于它们与电路敏感节点紧邻,因此,具有极

低  $\alpha$  粒子污染水平的前道工艺材料是不可忽视的软错误来源。

作为硅水平上  $\alpha$  粒子污染物严重性的说明,图 5-23 显示出了在法国莫达讷地下实验室 (LSM) 中进行的超过 3 年的 65nm SRAM 实时软错误率测试结果<sup>[47]</sup>。在 LSM 的深度处,宇宙射线被完全屏蔽,并且可以认为软错误是准排他性的,这是由于内部芯片的放射性造成的,如存在于芯片材料中的  $\alpha$  粒子发射(使用超低发射率封装)。在约 24 000 个小时的测量中,该实验检测到 3226Mb 的独立单端口存储和 90b 的翻转。这些结果可以通过使用蒙特卡罗软错误率仿真代码,以及假设在电路体硅中  $^{238}\text{U}$  污染为 0.1ppb 而完全再现,表明低  $\alpha$  材料(在这种情况下为硅晶圆)可能会引起可检测的软错误。

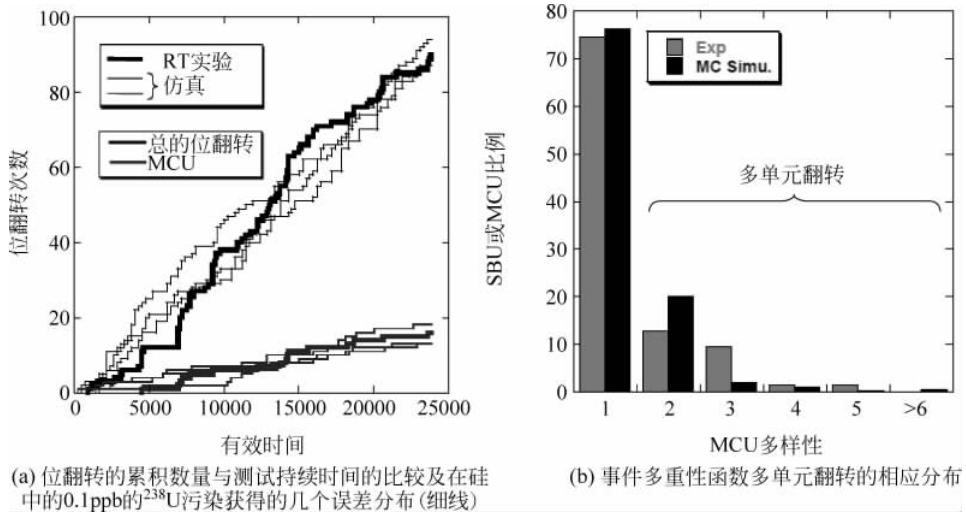


图 5-23 65nm SRAM 实时软错误率测试结果

此外,如 Clark 所指出的<sup>[47]</sup>,因为倒装芯片趋势和三维集成电路结构趋势,增加了对可靠的低  $\alpha$  封装材料的需求。在这些设计中,诸如晶圆级焊料凸块和铜柱焊料盖,这类的封装特征位于靠近器件的晶体管边上。这些特征增加了  $\alpha$  粒子发射中晶体管的易损性,导致了更高的软错误率。图 5-24 显示了作为工艺节点函数的包装材料,它的可接受  $\alpha$  发射限值<sup>[48]</sup>。这些投影说明了从标准低  $\alpha$  (LA) 到超低  $\alpha$  (ULA),甚至到超超低  $\alpha$  (SULA) 纯度的转变,其特征在于微电子进入纳米区域时的演变。合成(化学方面)和表征(计量工具)这种 ULA/SULA 材料的努力,代表了所有微电子业的挑战。

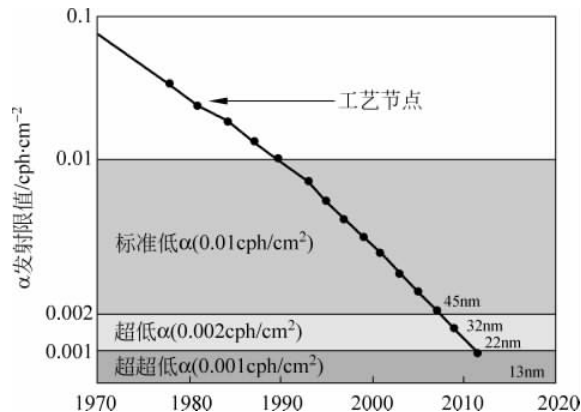


图 5-24 可接受的包装材料的  $\alpha$  发射限值作为工艺节点的函数

## 5.4 新兴器件和相关机制

### 5.4.1 绝缘体硅工艺

蓝宝石上外延硅工艺(Silicon On Sapphire, SOS)和绝缘体硅工艺是解决大容量器件对电离辐射敏感问题的解决方案<sup>[49]</sup>。体硅器件不使用衬底体积超过 99.9% 且具有寄生效应的源,例如泄漏电流、闭锁等。绝缘体硅材料消除了这种不便,因为绝缘体硅结构本身是基于厚绝缘体层(掩埋氧化物)在有源区(硅膜)和非活性衬底之间分离的原理。然后,没有寄生 pnpn 结构,不会导致 CMOS/绝缘体硅器件中的单粒子门锁效应。在 20 世纪 70 和 80 年代,SOS 和绝缘体硅工艺主要(专门)用于空间和军事应用。但是,除了它们的天然抗辐射之外,由于掩埋氧化物的存在,观察到的绝缘体硅 MOS 器件寄生电容低于体硅 MOS 器件寄生电容。这增强了绝缘体硅电路的速度性能。后来的研究表明,与体硅相比,绝缘体硅工艺中消耗的功率大大降低,并且使用绝缘体硅获得的集成密度更高。所有这些优点使绝缘体硅工艺成为用于大规模集成电路制造非常有吸引力的候选者。经过三十多年的材料研究和器件研究,绝缘体硅晶圆已确定进入半导体电子学的主流。绝缘体硅 MOSFET 显示出了短沟道效应免疫性的增强,并且提供了将硅器件扩展到纳米区域(20nm 沟道长度)的更大潜力。关于对辐射的敏感度,与体硅器件相比,绝缘体硅器件中的电荷收集部分仅限于非常薄的硅膜,这使得绝缘体硅器件天然抗单粒子效应。然而,绝缘体硅 MOSFET 独特的配置是体硅工艺中不出现新机制(如浮体)的原因。浮体是绝缘体硅器件特有的几种寄生现象的起源,如漏极电流过冲和下冲<sup>[50,51]</sup>或双极放大。双极放大是绝缘体硅器件和电路对单粒子敏感的主要原因<sup>[51-53]</sup>。如下面将要解释的,由于双极放大,尽管绝缘体硅器件具有比体硅器件更小的敏感体积,但是它们对辐射环境不是固有地免疫。

有两种主要的绝缘体硅 NMOS 和 PMOS 晶体管结构:全耗尽型和部分耗尽型,硅膜完全或部分耗尽取决于硅膜厚度和掺杂水平。全耗尽绝缘体硅器件通常设计成在标准操作模式下完全耗尽的非常薄的膜。在具有亚微米长度的部分耗尽绝缘体硅 MOSFET 中,横向双极晶体管(源极-体-漏极)可以很容易地导通。双极放大的基本机理如下:重离子轰击器件,在硅膜中产生电子空穴对。虽然少数载流子快速重组,但是体区中多数载流子的寿命可能非常长,大多数不复合的载流子可以向源区漂移并且提高体电位。然后,降低源极到体的势垒,这触发绝缘体硅晶体管固有的横向寄生双极晶体管保持电位的上升,直到多数载流子复合。双极电流放大收集的电荷,使单粒子翻转/单粒子瞬态免疫力降低,特别是在低线性能量转换时<sup>[54]</sup>。该效应通过体-漏结处的高电场,诱发碰撞电离机制进一步增强。虽然绝缘体硅器件具有比体硅器件更小的灵敏体积,但是增强的双极放大抵消了这种优势,结果使绝缘体硅对辐射的免疫性降低<sup>[51-53]</sup>。

为了减少这些双极效应,最常见的工艺是使用体接触(其将浮体区域连接到固定电位)。由离子轰击产生的过量空穴不再积累在浮体区域中,因为它们通过体接触被抽空。这大大减少了寄生双极晶体管效应。然而,由于其有限的电阻,导致沿着体接触存在电压降,并且双极效应基本不减小,所以体接触没有完全消除双极效应。抑制双极效应的体接触能力主要地取决于体接触相对于离子轰击的位置<sup>[55]</sup>。离子轰击距离体带越远,寄生双极晶体管效应就越大<sup>[56-58]</sup>。

双极放大也可以发生在全耗尽型晶体管电路中。以前的实验和理论研究已经表明,通常,基于全耗尽型绝缘体硅的器件,其浮体效应减小,所收集电荷的双极放大效果比部分耗尽型绝缘体硅器件小<sup>[58,59]</sup>。在  $0.25\mu\text{m}$  全耗尽型绝缘体硅电路上使用蒙特卡罗模拟,全耗尽型器件中的双极晶体管机制特性<sup>[60]</sup>: n 沟道 MOSFET,在关断状态下进行辐射后,过量的空穴累积在沟道中(主要在栅极氧化物附近)并且势垒降低;然后电子从源极扩散到漏极,以保持其电中性。这种机制与部分耗尽型绝缘体硅器件中的双极晶体管效应相当<sup>[51,52]</sup>。相对于部分耗尽型晶体管而言,双极放大对于全耗尽型来说不那么重要,所以基于全耗尽型晶体管的电路对单粒子翻转不敏感<sup>[59]</sup>。

使用被称为“双极增益”的参数  $\beta$  来量化绝缘体硅器件中寄生双极晶体管的影响。双极增益  $\beta$  对应于沉积电荷的放大倍数,等于漏极处的总收集电荷( $Q_{\text{coll}}$ )和沉积电荷( $Q_{\text{dep}}$ )的比:

$$\beta = \frac{Q_{\text{coll}}}{Q_{\text{dep}}} \quad (5-4)$$

使用式(5-5)获得在漏电极处的总收集电荷:

$$Q_{\text{coll}} = \int_0^t I_D dt \quad (5-5)$$

式中:  $I_D$  为由电离粒子诱发的漏极电流瞬态。

使用式(5-6)计算出绝缘体上硅器件中的沉积电荷,将它作为粒子线性能量转换的函数<sup>[61]</sup>:

$$Q_{\text{dep}}[\text{fC}] = 10.3 \times \text{LET}[\text{MeV}/(\text{mg} \cdot \text{cm}^{-2})] \times t_{\text{Si}}[\mu\text{m}] \quad (5-6)$$

式中:  $t_{\text{Si}}$  为硅膜厚度; 10.3 为硅的倍增系数(使用硅密度和在硅中产生电子孔对所需的能量计算— $3.6\text{eV}$ <sup>[61]</sup>)。

在式(5-6)中,考虑正常的人射离子轰击,并且假设线性能量转换在活性硅膜的离子径迹上是恒定的。

在许多研究文献中已经解决了全耗尽绝缘体硅器件的辐射瞬态响应。例如,文献[62]中使用测量和三维数值模拟,研究被栅极长度为 50nm 和 80nm 的被重离子辐射过的全耗尽绝缘体硅 MOSFET 的漏极电流瞬态和双极放大。测试的器件是全耗尽单栅极绝缘体硅工艺制造下的浮体(没有体触点)NMOS 晶体管<sup>[61]</sup>。晶体管已经用中间隙 TiN 栅极处理,并且硅膜几乎是本征的(p 型,  $10^{15}\text{cm}^{-3}$ )。硅膜和掩埋氧化物的厚度分别为 11nm 和 100nm,等效栅极氧化物厚度接近 1.8nm。将三维数值模拟结果与在 GANIL(Grand Accélérateur National d'Ions Lourds, Caen, France)进行的重离子实验测量的实验数据进行比较。由于离子轰击导致的模拟漏极电流瞬态已经归一化为它们的峰值,并且在图 5-25 中<sup>[62]</sup>,已经与基于时间的初始高斯产生的电荷进行比较。在低注入状态( $\text{LET}=0.1\text{MeV}/(\text{mg} \cdot \text{cm}^{-2})$ )下,漏极电流瞬态几乎与电荷产生同步,这说明了一种弱的双极性放大。在高线性能量转换下,漏极电流峰移动,并且明显比高斯产生的要宽,这说明了一种显著的双极放大。由于更重要的浮体效应,及在介质线性能量转换中注入的电荷双极放大, $\text{LET}=4\text{MeV}/(\text{mg} \cdot \text{cm}^{-2})$ 的瞬态尾部比  $\text{LET}=100\text{MeV}/(\text{mg} \cdot \text{cm}^{-2})$ 的更长。瞬态尾部从  $0.1\text{MeV}/(\text{mg} \cdot \text{cm}^{-2})$ 增加到  $4\text{MeV}/(\text{mg} \cdot \text{cm}^{-2})$ ,对于更高的线性能量转换则降低。

双极增益随线性能量转换值的变化如图 5-26 所示<sup>[62]</sup>,连同  $\text{LET}=30\text{MeV}/(\text{mg} \cdot \text{cm}^{-2})$ 的实验结果完全反映了作为线性能量转换函数的瞬态持续时间行为。线性能量转换值约为  $4\text{MeV}/(\text{mg} \cdot \text{cm}^{-2})$ 时,双极放大值最大。当线性能量转换增加时,双极增益减小,因为寄生

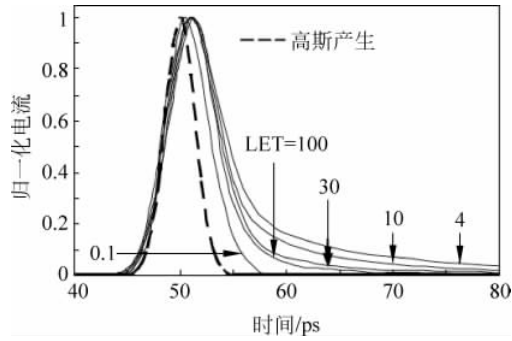


图 5-25 用  $\text{MeV}/(\text{mg} \cdot \text{cm}^{-2})$  表示的不同线性能量转换量子情况下的漏极电流与时间的关系

双极晶体管进入对应于高电流密度的高注入状态。然后,碰撞电离产生更多的空穴,这显著增加了体内的总空穴浓度,并且导致寄生双极增益降低。对于  $80\text{nm}$  栅极长度的全耗尽绝缘体上硅晶体管,收集  $18\text{fC}$  电荷和  $6.8\text{fC}$  最大沉积电荷,双极增益为  $2.6$ 。该增益值与相同工艺制造的栅极长度为  $L=50\text{nm}$  的晶体管上执行脉冲激光辐射时产生的增益数量级一致,均为  $2.6$ <sup>[58]</sup>。如果考虑在绝缘体上硅工艺中观察到的寄生增益的  $1/L$  行为<sup>[63]</sup>,则可以在两个增益值之间找到非常好的拟合。

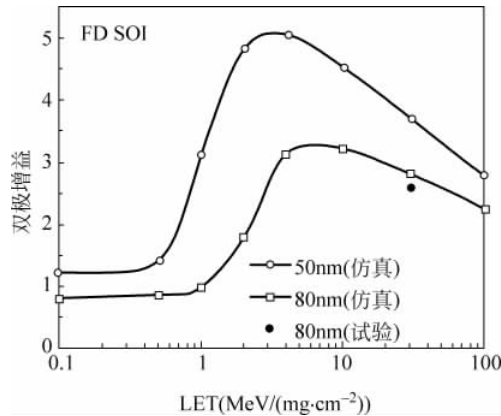


图 5-26 对于两个栅极长度的全耗尽单栅绝缘体上硅器件的双极增益

关于绝缘体硅静态存储器单元中的单粒子翻转敏感度和绝缘体上硅电路中数字单粒子瞬态传播的缩小趋势,已经由 Gaillardin 等<sup>[64]</sup>使用混合模式仿真来解决。在这种方法中,所有器件(具有  $50\text{nm}$  栅极长度和  $3\mu\text{m}$  栅极宽度的全耗尽绝缘体硅 NMOS 和 PMOS 晶体管)已经在完全三维建模,然后连接,并且只有断开的 NMOS 被电离粒子轰击。分析存储器单元的单粒子翻转阈值( $\text{LET}_{\text{TH-SEU}}$ ),和用于反相器链( $\text{LET}_{\text{TH-SET}}$ )中的未经衰减传播的数字单粒子瞬态临界线性能量转换值。改变离子轰击线性能量转换,直到观察到静态存储器单元发生翻转,可确定单粒子翻转的线性能量转换阈值。文献[64]中作者将  $50\text{nm}$  全耗尽绝缘体硅工艺获得的  $\text{LET}_{\text{TH-SEU}}$  添加到 Dodd 等<sup>[16]</sup>在前绝缘体硅工艺上呈现的数据中,如图 5-27 所示<sup>[64]</sup>。文献[64]中获得的结果表明, $50\text{nm}$  器件的线性能量转换阈值与之前的工艺节点( $\text{LET}_{\text{TH-SEU}} = 2\text{MeV}/(\text{mg} \cdot \text{cm}^{-2})$ )相比,具有相似的值。与体内栅极提供的有效静电势控制相关的,减小的灵敏体积,减轻了在这种先进  $50\text{nm}$  全耗尽绝缘体硅工艺中由电离粒子轰击引起的效应。

用于反相器链中的非衰减瞬态传播的  $LET_{TH-SET}$  也在文献[64]中作为器件缩小函数进行研究。对于全耗尽绝缘体上硅 50nm 反相器链获得的结果与文献[9]中的数据一致。显示出了与单粒子翻转线性能量转换阈值相反的结果,  $LET_{TH-SET}$  随着工艺缩小而减小<sup>[64]</sup>。这些电路的速度随着尺寸缩小而增加, 并且足以传播与正常电路信号不可区分的较短瞬态<sup>[43,157]</sup> (在小于  $0.1\mu\text{m}$  的工艺中小于 100ps)。重要的是要注意, 图 5-27 中关于 50nm 全耗尽绝缘体硅器件的结果已经通过仿真获得<sup>[64]</sup>, 并且需要通过实验确认。

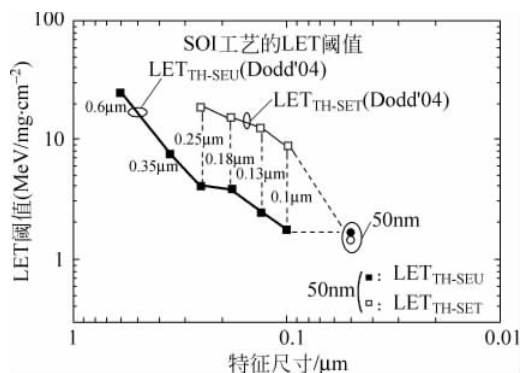


图 5-27 反相器链中非衰减瞬态传播的  $LET_{TH-SET}$  也作为器件的缩小函数

#### 5.4.2 多栅极器件

现在多栅极纳米线 MOS 晶体管(见图 5-28)被广泛认为是满足 10nm 规模路线图要求的最有希望的解决方案之一<sup>[65]</sup>。文献中已经提出了各种各样的结构, 包括平面双栅极<sup>[66]</sup>、垂直双栅极、三栅极<sup>[65,67]</sup>、FinFET<sup>[68,69]</sup>、 $\Omega$  栅极<sup>[70]</sup>、 $\pi$  栅极<sup>[71]</sup>、 $\Delta$  沟道绝缘体上硅 MOSFET<sup>[72]</sup>、DELTA 晶体管<sup>[112]</sup>、全栅极<sup>[65,73]</sup>、矩形或圆柱形纳米线<sup>[74]</sup>。这些结构表现出了对由导电沟道和周围栅电极间增强的静电耦合所导致的短沟道效应的优异控制。如图 5-28 所示<sup>[75]</sup>, 研究表明当等效栅极数从 2(对于双栅器件)增加到 4(对于栅极电极围绕整个沟道缠绕的栅极全围器件)时, 静电控制得到增强。以这种方式, 可以将多栅极器件设计为具有内在沟道的高可能性的弹道输运, 从而提供更高的迁移率, 消除掺杂波动。此外, 对于对称平面双栅极器件及载流子迁移率和源极-漏极输运, “体积反转”的条件是有益的<sup>[75]</sup>。

为了进一步增强导通电流与截止电流的比( $I_{ON}/I_{OFF}$ ), 使之比常规单通道器件具有更高的电流驱动能力, 最近已经提出了具有多栅极操作的三维垂直堆叠纳米线 MOSFET, 也称为多通道纳米线 MOSFET<sup>[75,76]</sup>。多通道纳米线 MOSFET(图 5-28)结合了多栅极结构和垂直堆叠沟道三维集成形成的良好短沟道效应控制和高导通电流的优点。具有超薄和窄沟道(约 10nm)的全栅极器件被看作是用于栅极长度为 10nm 以下的截止状态电流控制的理想结构<sup>[76]</sup>。同时, 这种器件每个表面的电流密度受限于纳米线之间的光刻间距。通过全栅极器件的垂直集成可以改善电流密度。由于垂直堆叠沟道的集成, 与具有相同栅极堆叠的平面晶体管相比, 全栅极器件可以实现每个布局表面的电流密度增加 5 倍<sup>[76]</sup>。

通过实验和三维数值仿真研究重离子辐射的多栅极器件的瞬态响应, 研究表明多栅器件比全耗尽的单栅绝缘体硅晶体管具有更高的抗辐射能力, 特别是体电位控制的增强和浮体效应的减少。仿真研究还表明, 由于小的有源体积允许所有过量电荷被快速排出, 瞬变和电荷收集在多栅极器件中非常快。然而, 这些非常快速的瞬变对于本征器件是特定的, 并且可以受多

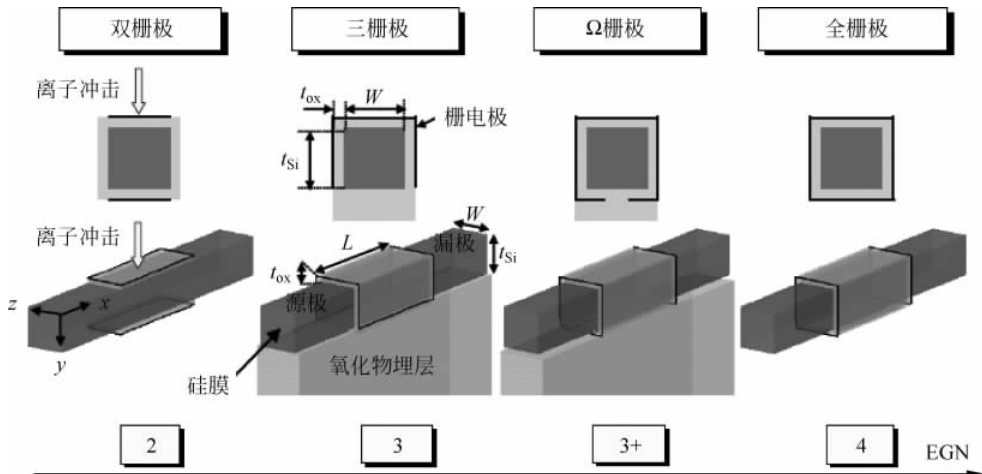


图 5-28 双栅极、三栅极、 $\Omega$  栅极和全栅极结构及其主要几何参数的示意图

栅极工艺中不成熟的制造工艺相关的外在因素影响而退化。如文献[64]中所示,其中由源极和漏极的长阻抗通路的工艺过程,发现 $\Omega$ 栅极器件的辐射诱发电流瞬变明显长于单栅全耗尽绝缘体上硅器件。如果该区域的长度增加,则在体内产生载流子的时间需要多于到达漏极电极的时间<sup>[64]</sup>。因此,电流瞬变更宽,大约为 64ps,且瞬态曲线尾部更长。因此,这些器件收集比类似栅极长度的平面全耗尽绝缘体上硅器件更高的总电荷<sup>[64]</sup>。这个长瞬态不是 $\Omega$ 栅极器件的固有特性。因此,将沟道连接到漏极(源极)电极的高度掺杂存取区域的长度是辐射诱发电流瞬变的关键问题,因此必须小心地优化存取区域以便保持 $\Omega$ 栅极器件的本征抗辐射能力<sup>[64]</sup>。

等效门的数量也是多栅极器件的辐射诱发响应的关键参数。图 5-29 显示了通过三维数值仿真获得的不同多栅极器件中漏极电流瞬变的集合<sup>[75]</sup>。这些结果表明,当等效栅极数增加时,漏极电流瞬变的峰值减小。从平面双栅极到全栅极器件,漏极电流瞬态尾部在逻辑上变短。文献[75]中的仿真结果也表明,由于浮体效应的减少,增加等效栅极数时双极放大减小。然而,由于离子轰击产生的电荷足以使体-漏结处的电场塌陷及双极放大减少,在高线性能量转换下多栅极器件不同结构之间的差异被显著降低。

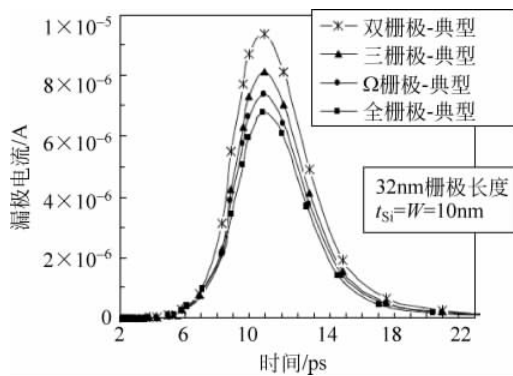


图 5-29 平面双栅极、三栅极、 $\Omega$  栅极和全栅极器件的硅膜中由离子垂直(y 方向)引起的漏极电流瞬变

多栅 MOSFET 的尺寸要求使用越来越薄的硅膜,为此必须考虑一些新的现象,如量子力学约束。这些现象会引起强子的分裂,载流子被限制在由硅膜形成的窄势阱中<sup>[77]</sup>。量子效应

明显改变了沟道中的三维载流子分布,使电荷中心从界面移动到了硅膜中。相对于“经典”情况(即没有量子效应),在量子情况下,反转电荷和漏极电流减小。当薄膜更薄时,量子力学约束更强。已经表明,对于低于 10nm 厚的沟道,能量量子化变得更为重要,为此,必须考虑器件仿真中的量子效应。在单栅极或双栅极结构中,载流子被限制在单个方向(垂直于栅极电极和源极至漏极的轴)。在多栅极结构中,特别是在全栅器件中,量子力学的限制性更强,因为载流子能量在两个方向上(在垂直于栅极电极和源极到漏极轴的两个方向上)被量子化。然后,在等效栅极数 $\geq 3$ 的多栅极器件中,载流子限制及其效应(例如,总反转电荷的减少)比单栅极或双栅极结构更强。

量子限制对多栅极器件辐射响应的影响已经通过量子数值仿真进行了研究<sup>[75]</sup>。在该研究中,栅极长度已经从 32nm 减小到 20nm,并且相应的膜厚度从 10nm 减小到 5nm(见表 5-1)。与全耗尽的绝缘体上硅基器件相比,表 5-1 中显示的多栅器件的双极放大非常低,因为在多栅极器件中,栅极对沟道的控制得到加强,并且显著降低了浮体效应。如上所述,当将双栅极增加到全栅极结构的栅极数量时,双极性放大减小。然而,由于非常薄的方形导线截面( $t_{Si} = W = 5\text{nm}$ ),20nm 栅极长度器件与 25nm 和 32nm 栅极长度器件相比,四种结构之间的差异减小。当减小截面时,栅极配置的影响被衰减,并且用于不同结构的双极增益的值几乎相同。这种行为可以由以下事实解释:在栅极长度大约为 5nm 及以下时,栅极静电控制和量子力学约束的组合导致了所有栅极配置的膜中类似载流子的密度分布。在最终的集成度上,可以预测所有多栅极纳米线结构(等效栅极数 $\geq 2$ )对重离子辐射的敏感度相等。

表 5-1 通过量子三维数值模拟获得的多栅极纳米线 MOSFET 中的双极增益

栅极长度	$W = t_{Si}$	结 构	等效栅极数	双极增益
32nm	10nm	双栅极	2	1.79
		三栅极	3	1.49
		$\Omega$ 栅极	3+	1.3
		全栅极	4	1.18
25nm	8nm	双栅极	2	1.53
		三栅极	3	1.21
		$\Omega$ 栅极	3+	0.94
		全栅极	4	0.82
20nm	5nm	双栅极	2	0.82
		三栅极	3	0.78
		$\Omega$ 栅极	3+	0.73
		全栅极	4	0.72

关于多栅极器件电路抗辐射的研究只有在极少的文献中提及。最近,Seifert 等<sup>[78]</sup>报道了基于 22nm 三栅极器件工艺的 SRAM 逻辑电路测量的辐射诱导软错误率。他们的工作表明,SRAM 和时序元件软错误率在 22nm 三栅极中比在用于高能中子和质子的 32nm 平面器件中减少了至少 25%<sup>[78]</sup>。对于  $\alpha$  粒子,软错误率的降低甚至更大,这表明  $\alpha$  粒子的软错误率在所研究的工艺中可以忽略<sup>[78]</sup>。与平面体硅工艺相比,本研究证实了多栅极器件在抗辐射方面的优点<sup>[78]</sup>。

#### 5.4.3 体硅和绝缘体硅 FinFET 晶体管

通常在绝缘体硅衬底上制造 FinFET。与体晶片相比,绝缘体硅晶片具有许多缺点,例如

自加热、成本、缺陷密度等问题。除绝缘体硅的大多数缺点之外,体衬底与现有的平面 CMOS 工艺兼容,这大大减少了制造成本,在大块晶片上制造 FinFET 也更加方便<sup>[79]</sup>。图 5-30(a) 示出了典型体 FinFET 的三维结构<sup>[79]</sup>; 图 5-30(b) 中示出了体硅结构和绝缘体硅 FinFET 结构之间的比较<sup>[80]</sup>。

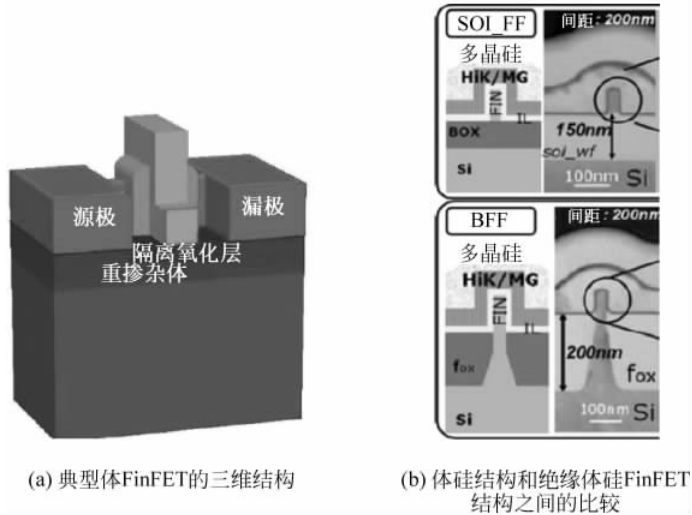


图 5-30 体硅和绝缘体硅 FinFET 晶体管

由于辐射效应,与绝缘体硅 FinFET 相比,体硅 FinFET 的性能被真正降低。El-Mamouni 等<sup>[80]</sup>使用顶侧单光子吸收研究了体硅和绝缘体硅 FinFET 的瞬态响应。据报道,在这项工作中,PMOS 绝缘体硅 FinFET 的电荷收集低于与之类似的大容量器件。研究发现在体硅 FinFET 器件上测量的瞬变大于绝缘体硅 FinFET。由于源层与衬底之间具有氧化物层,绝缘体硅 FinFET 具有比体硅 FinFET 更小的集电极体积。因此,绝缘体硅 FinFET 晶体管的收集体积仅限于鳍,而体 FinFET 的收集体积延伸到阱区中。

使用激光测试的结果已经在文献<sup>[80]</sup>中报道,其中显示了在 130nm 体硅 p 沟道 FinFET 中,电荷收集主要取决于漏极的结构。在测试的器件中,漏极区域中的电荷收集掩盖了鳍对电荷收集过程的贡献<sup>[80]</sup>。漏极/衬底 p-n 结有效地收集了在衬底中产生的电荷<sup>[80]</sup>。在漏极结下面的衬底中产生的载流子也可以扩散到被收集的漏极结中。在 n 沟道体硅 FinFET 中的重离子诱发电荷收集测量中显示,对漏极区的轰击会发生最大量的收集电荷<sup>[80]</sup>。器件缩小会影响鳍的几何形状,但漏极(和源极)区域可能支配电荷收集<sup>[80]</sup>。

如图 5-31(a)所示,El-Mamouni 等<sup>[80]</sup>最近报道了具有常规和缩小面积漏区的 70nm 体硅和绝缘体硅 FinFET 获得的重离子诱导电荷收集(鞍形布局)。图 5-31(b)显示了在这些器件上测量的漏极瞬态电流。

在具有鞍形接触的块状 FinFET 中收集的电荷量比哑铃接触的块状 FinFET 中收集的电荷量至少小 17%<sup>[80]</sup>。当临界电荷值在 1~10fC 数量级时,这个结果是非常重要的,如文献<sup>[81]</sup>所示。分流效应对所研究的体硅和绝缘体硅 FinFET 上的电荷收集过程起这至关重要的作用<sup>[80]</sup>。小特征尺寸允许离子轨迹影响整个沟道区域。与其大量的对应物相比,绝缘体硅 FinFET 显示出对单粒子效应更高的耐受性。这里给出的结果表明,漏极区的改进设计将使体硅 FinFET 单粒子效应的耐受性显著增加<sup>[80]</sup>。具有哑铃和鞍形接触的绝缘体硅 FinFET 中

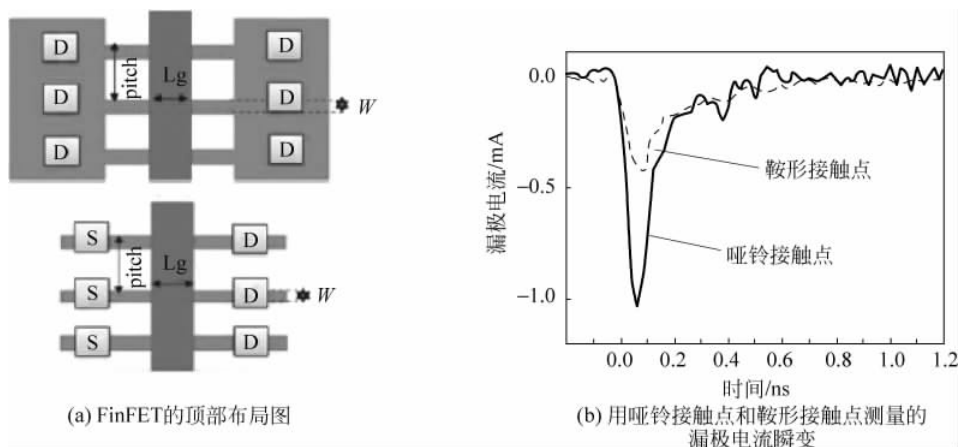


图 5-31 FinFET 晶体管

的电荷收集显示出对衬底偏压的强烈依赖性,当衬底为负偏压时,收集的电荷量最高<sup>[80]</sup>。这种效应可以降低绝缘体硅器件的单粒子效应容限<sup>[80]</sup>。

#### 5.4.4 具有独立栅极的多栅极和多沟道器件

尽管由于多个导电表面具有优异的电性能,常规多栅极 MOSFET 或多沟道纳米线 MOSFET 仅能提供三端操作,因为该器件具有单个栅极电极(围绕沟道),或者在双栅极器件的情况下,两个栅极被连接在一起。近年来已经提出了具有独立栅极的平面双栅极 FinFET 和多沟道纳米线场效应管结构<sup>[184-190]</sup>,这使得四端操作可以实现。这些器件提供了一些新的可能性,例如除了常规开关操作之外,还可以由两个门之一控制动态阈值电压、跨导调制、信号混合器。因此,四端-双栅场效应管、四端-FinFET 和四端-多沟道纳米线场效应管有望用于未来的高性能低功耗集成电路。这些不同架构的示意结构如图 5-32 所示<sup>[81,82]</sup>。

已经通过文献[81]和[82]中的三维数值仿真对独立栅极器件的辐射响应进行了研究,并将其与三端器件进行了比较。图 5-33(a)给出了第二栅极偏压对双栅场效应管中电子密度分布(静态模拟)的影响<sup>[82]</sup>:三端-双栅场效应管中,电子密度相对于两个栅极界面对称,但是可以通过第二栅极偏压破坏四端-双栅场效应管中的对称性。静态漏极电流也被第二栅极的偏置深度改变,如图 5-33(b)所示,用于 FinFET 器件。对于负  $V_{G2}$ ,四端-FinFET 的截止态电流低于三端-FinFET 的截止态电流,对于正  $V_{G2}$ ,其截止态电流更高。

关于辐射诱发的漏极电流瞬变,仿真结果表明四端-FinFET 中漏极电流瞬变的峰值高于正  $V_{G2}$  下三端-FinFET 中的漏极电流瞬变,低于负  $V_{G2}$  下三端-FinFET 中的漏极电流瞬变。在文献[81]和[82]中获得的结果还表明,对于低 LET 和中间 LET(低于约  $5\text{MeV}/(\text{mg} \cdot \text{cm}^{-2})$ ),在正和负背栅极偏压下四端中收集的电荷和双极放大(参见图 5-34)比三端中高<sup>[82]</sup>。这是由于三端器件中的前栅极能够更好地控制沟道中的静电电位,这减少了浮体效应。这些结果示于图 5-34(a)的 FinFET 器件和图 5-34(b)的多沟道纳米线场效应管。对于高于  $5\text{MeV}/(\text{mg} \cdot \text{cm}^{-2})$  的线性能量转换值,所有器件的双极增益都相同。在四端器件中,双极增益随着正  $V_{G2}$  的增加和负  $V_{G2}$  的减小而增加。最后,由于 SRH 的复合率较低,负  $V_{G2}$  的双极增益高于正  $V_{G2}$  的双极增益。

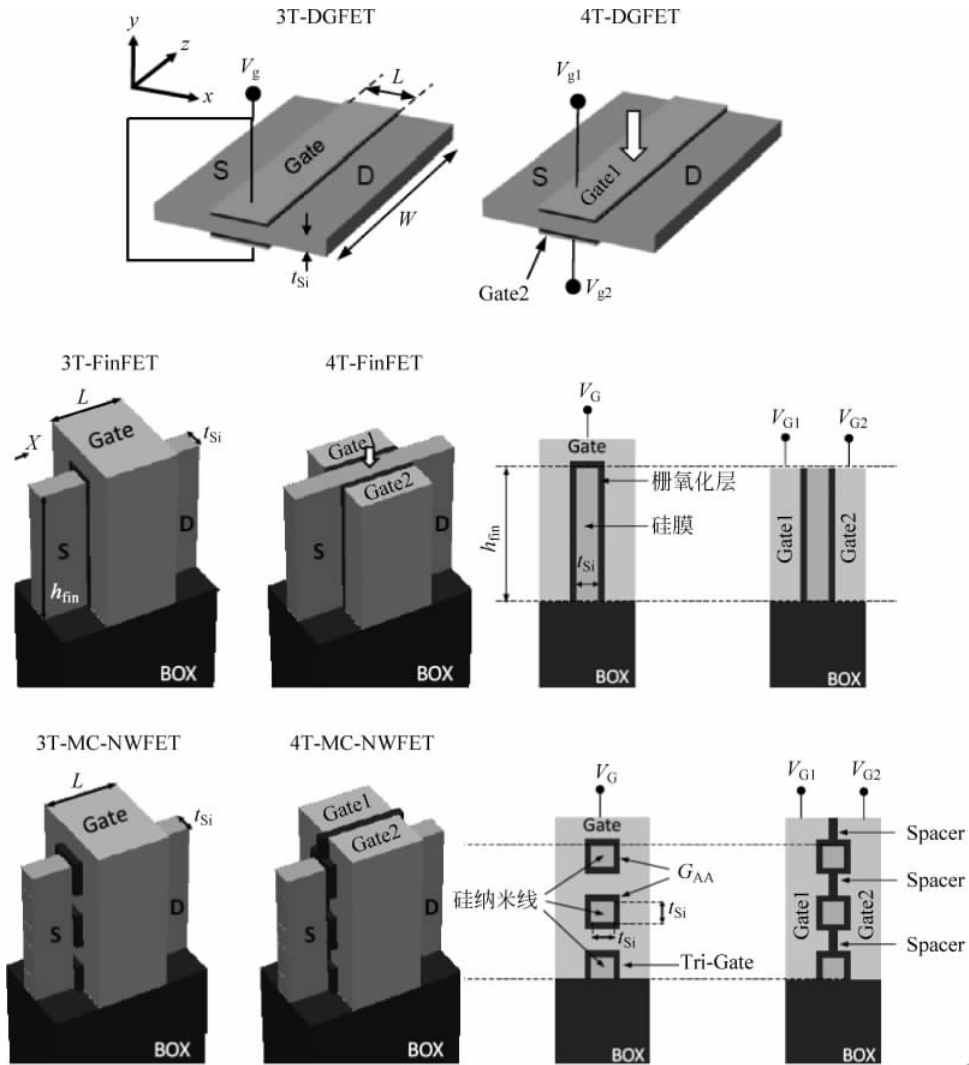
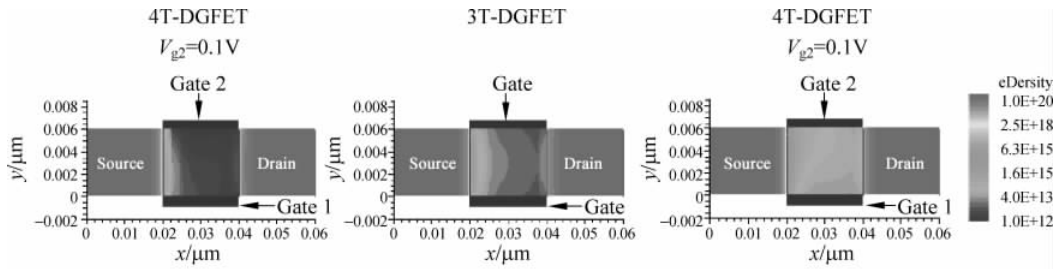


图 5-32 具有三端或四端的三维双栅极、FinFET 和多沟道纳米线场效应管结构的示意图

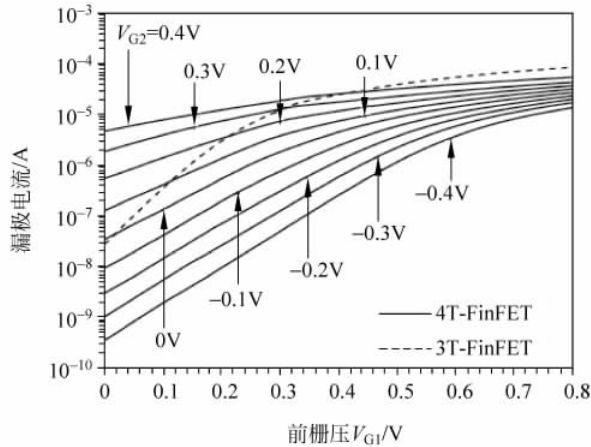
#### 5.4.5 III-V 族 FinFET 和隧道场效应管

为了改善 CMOS 器件的性能,特别是导通电流,根据半导体国际路线图对未来工艺节点的建议,最近已研究了用高迁移率材料替代 MOSFET 沟道中的硅<sup>[82]</sup>。由于价带和导带中的低导电率有效质量(其导致比 Si 中更高的空穴和电子迁移率),在最近的研究中已经详细考虑了采用 GaAs、InAs、InSb 或三元化合物的 Ge 和 III-V 族材料来增强 PMOSFET 和 NMOSFET 的性能,以便适用于高性能 CMOS 逻辑应用。McMorrow 等首次研究了 III-V 族材料工艺的单粒子效应敏感度<sup>[50,51]</sup>。正如 Dodd 等<sup>[83]</sup>的解释,由于内部的增益机制,III-V 族材料工艺通常比硅对单粒子翻转更敏感,这会导致更高的电荷收集效率及更强的单粒子效应敏感度。此外,与先进的 CMOS 工艺类似,更高的操作速度引起了对单粒子瞬态敏感度的增加<sup>[52]</sup>。

近年来已经提出了用于低电压应用的陡峭开关器件,例如隧道场效应管。隧道场效应管



(a) 在三端-双栅场效应管、四端-双栅场效应管(偏置为 $V_{G2}=-0.1V$ 和 $V_{G2}=0.1V$ )的沟道中间垂直截面(平面 $xy$ )处的电子密度2-D分布



(b) 不同 $V_{G2}$ 值下 $V_{G1}$ 与漏极电流的关系

图 5-33 第二栅极偏压影响

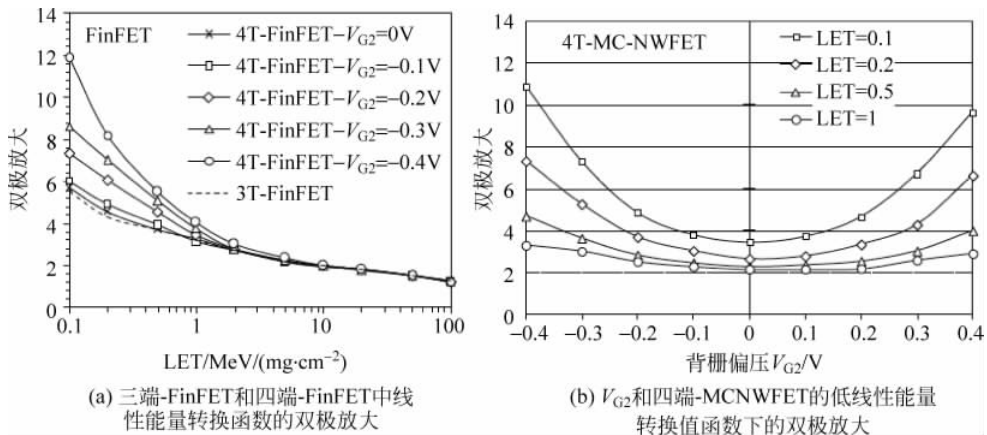


图 5-34 正负背栅偏压的影响

允许克服每 10 年 60mV 的基本亚阈值摆动,这是传统 MOSFET 的固有限制。这种限制是由于带间隧穿中载流子注入的特定机制,这出现在现有隧道场效应管设计<sup>[84-86]</sup>构建块反向偏置下操作的门控 PIN 二极管中。它允许减小电源电压(对于低电压应用所需要的),这将会大幅度减小隧道场效应管中的截止态电流。由于这个特点,这些器件成了目前研究的重点,是最有希望的新器件之一。将高迁移率材料与隧道场效应管结合可以达到低功率应用的预期性能。

Liu 等<sup>[87]</sup>使用器件和电路仿真研究了 III-V 族 FinFET 和 III-V 族异质结隧道场效应管中的瞬态误差和瞬态漏极电流。图 5-35 示出了仿真的 MOSFET 和异质结隧道场效应管结构<sup>[87]</sup>。图 5-36 示出了 Si NMOS 晶体管、InAs NMOS 晶体管和 InAs N 型异质结隧道场效应管在 n 型器件沟道区域中离子轰击前后的空穴密度随时间的演变<sup>[87]</sup>。在 NMOS 晶体管中，辐射诱导的空穴存储在体内(由于源极势垒)，这将导致势垒的降低和沟道电势的增加<sup>[87]</sup>。由于寄生双极性放大机制，额外的电子流入沟道会进一步增加漏极节点电荷的收集<sup>[87]</sup>。相反，在异质结隧道场效应管中，由于源极和漏极掺杂的不对称性，电子和空穴可以通过双极性输运。如图 5-36 所示，其中异质结隧道场效应管中的空穴密度由于双极输运而快速下降，并且沟道势垒不变，如图 5-37(b)所示<sup>[87]</sup>。空穴和电子可以分别在源极和漏极处收集，这大大减少了体电荷存储感应的双极增益，并进一步减少了收集的电荷、瞬态电流幅度和瞬态持续时间，如图 5-37 所示<sup>[87]</sup>。

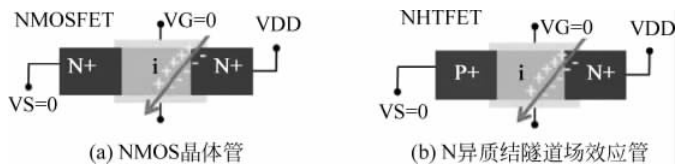


图 5-35 模拟的 NMOS 晶体管和 n 异质结隧道场效应管示意图

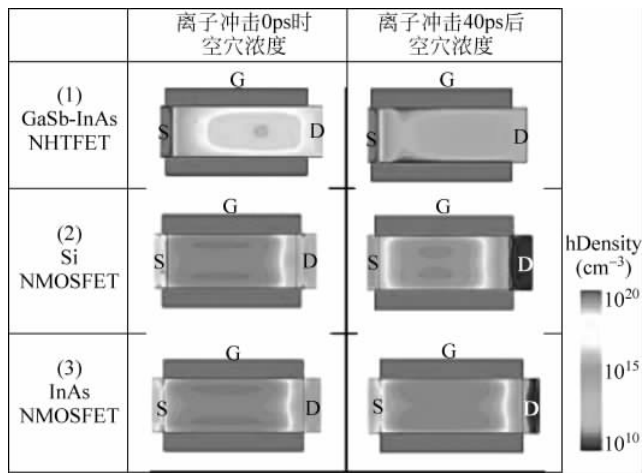


图 5-36 n 型器件沟道中空穴密度的时间演变

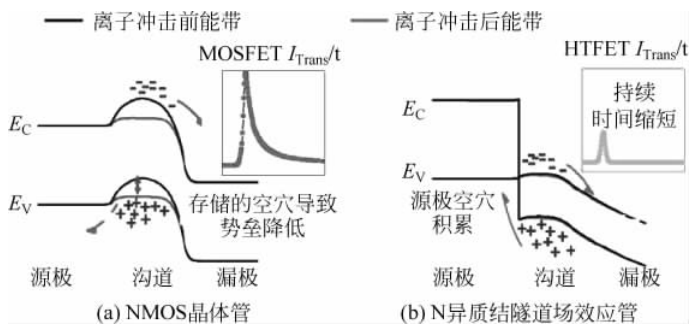


图 5-37 离子轰击前后的 NMOS 晶体管

图 5-38(a)中比较了漏极瞬态电流的分布,图 5-38(b)显示出了收集的电荷<sup>[87]</sup>。在LET=0.1pC/ $\mu\text{m}$ 时,与 Si FinFET 相比,异质结隧道场效应管的瞬态持续时间减少了 80%,收集的电荷减少了 90%<sup>[87]</sup>。图 5-38(b)还表明,由于载流子迁移率较高,与 Si FinFET 相比,在 III-V 族 FinFET 中收集到的电荷增多了 2 倍。文献<sup>[87]</sup>中获得的结果也表明了同 MOSFET 相比,异质结隧道场效应管中的双极性增益显著降低。与 Si FinFET 相比,异质结隧道场效应管的电流大小降低,电荷收集量减小 10 倍<sup>[87]</sup>。

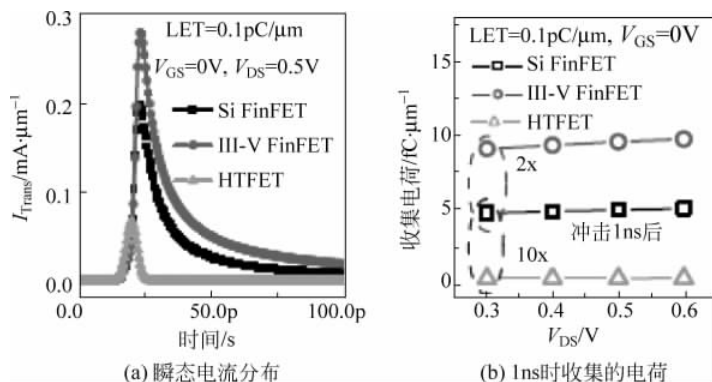


图 5-38 辐射诱导的瞬态电流分布和 1ns(LET=0.1pC/ $\mu\text{m}$ )处收集的电荷

SRAM 软错误率和逻辑软错误率预测也已在文献<sup>[87]</sup>中使用简化的分析模型进行了研究。结果如图 5-39 所示,由于低的电离能量 III-V 族 FinFET 的电荷沉积增加,与 Si FinFET 相比,所有存储高电压  $V_{\text{dd}}$  的 SRAM 单元软错误率的增加<sup>[87]</sup>。III-V 族 FinFET 的逻辑电路与 Si FinFET 相比,由于改进的锁存窗口掩蔽,在 0.5V 以下软错误率减少<sup>[87]</sup>。异质结隧道场效应管与 SRAM 和逻辑电路 0.3~0.6V 的电压范围上 Si 和 III-V 族 FinFET 相比,显示出了这些器件优良的辐射弹性<sup>[87]</sup>。这种基本的优点源于双极增益降低、导通状态增强的米勒电容效应以及改进的锁存窗口掩蔽,这使得异质结隧道场效应管适用于具有辐射应答的超低功率应用。

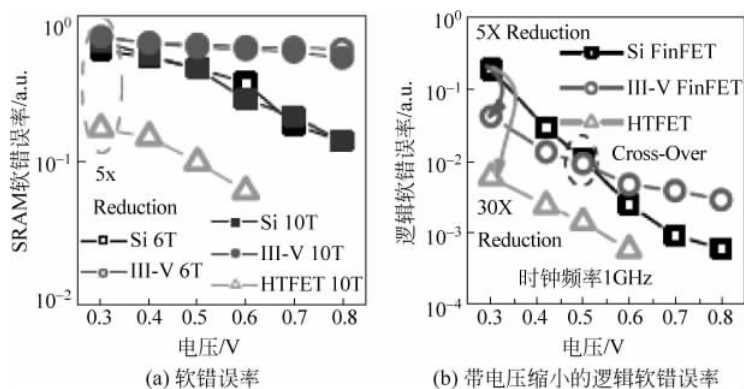


图 5-39 各种 FinFET 的 SRAM 软错误率和带电压缩小的逻辑软错误率

#### 5.4.6 无结器件

最近有文献提出了在整个硅膜(包括源极,沟道和漏极区域)中具有相同类型的半导体无结 MOSFET,如图 5-40(b)所示<sup>[88]</sup>。无结双栅 MOSFET 具有夹在两个栅极之间的重掺杂硅

膜。两个栅极用于控制通道中的静电电位，然后开启和关闭器件。与常规工艺相比，无结 MOSFET 的制造相当简单，因为在器件中没有掺杂浓度梯度<sup>[89]</sup>且没有半导体类型的倒置。截止电流由栅极的静电控制而不是由反向偏置的源极-沟道或漏极-沟道二极管的泄漏电流唯一确定<sup>[86]</sup>。

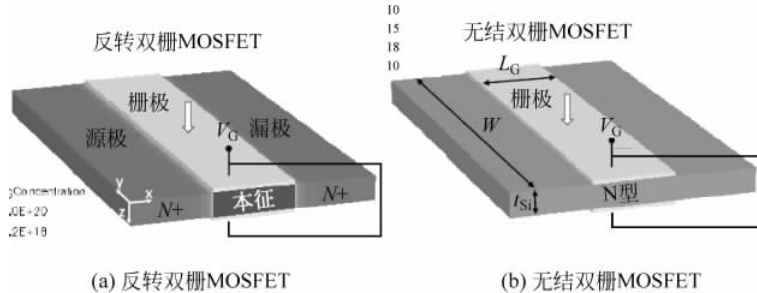


图 5-40 模拟的反转双栅 MOSFET 和无结双栅 MOSFET 结构示意图

无结双栅 MOSFET 的操作与常规反转双栅场效应管的操作不同。如果栅极下不产生导电沟道，则传统场效应 MOS 晶体管通常处于截止状态，其节点被反向偏置且电流流动被阻断。必须要在栅极上施加电压才能使晶体管导通。跨栅极氧化物产生的垂直电场将载流子吸引到氧化物下表面，形成反型沟道，载流子通过该沟道从源极流到漏极。在反转双栅场效应管中，当器件导通时电场最高。相反，无结晶体管通常处于导通状态，并且电流在沟道中从源极流到漏极<sup>[90]</sup>。在该晶体管中，栅极和掺杂硅膜之间的幂函数差导致正的平带电压。在导通状态下，无结晶体管处于平带状态，横向电场为零<sup>[90]</sup>。电场将用于消耗硅膜并关闭晶体管。与反转双栅场效应管不同，无结双栅 MOSFET 关闭状态的电场高，导通状态的电场非常低<sup>[89]</sup>，它在膜体积中发生导电，与在硅/氧化物界面处发生传导的反型器件相反。这可以增强导通状态下的迁移率，因为其表面粗糙度导致了散射的减小。然而，无结双栅 MOSFET 沟道中的高掺杂水平预期会诱导出比反转双栅场效应管更大的浮体效应，这降低了器件对单粒子的免疫性。此时，两个栅极对沟道电位的控制良好。

从抗辐射的角度来看，由于无结双栅 MOSFET 中高掺杂水平的硅膜预期的漂浮体效应强，可能对单粒子的免疫性具有负面影响。尽管无结双栅 MOSFET 是双栅极配置，其对固有通道的辐射比反转双栅场效应管更敏感。在文献[88]中研究了无结双栅 MOSFET 辐射诱导的瞬态响应，并将其与具有相似几何参数的反转双栅场效应管进行了比较。图 5-41 显示了反转双栅场效应管和无结双栅 MOSFET 中离子冲击引起的漏极电流和收集的电荷瞬变<sup>[88]</sup>。无结双栅 MOSFET 在离子轰击后的漏极电流衰减比反转双栅场效应管慢，原因是无结双栅 MOSFET 中的浮体效应比反转双栅场效应管强。这是由无结双栅 MOSFET 中的高掺杂引起的，膜在反转双栅场效应管中是固有的。无结双栅 MOSFET 中收集的电荷比反转双栅场效应管高，并且随着掺杂水平的提高而增加。

线性能量转换函数的双极放大如图 5-42 所示。正如前面所说的，无结双栅 MOSFET 的双极增益高于反转双栅场效应管。当线性能量转换增加时，双极增益减小，因为此时寄生双极晶体管进入高注入状态。当线性能量转换值非常高时，无结双栅 MOSFET 的双极增益快速下降，并达到反转双栅场效应管中双极增益的值。当沟道掺杂增加时，浮体效应增强，且收集的电荷和双极放大增加。对于更高的掺杂水平，冲击电离也更大，这有助于增强双极放大。从这些结果可以得到，与反转双栅场效应管相比无结双栅 MOSFET 的单粒子现象的免疫力更

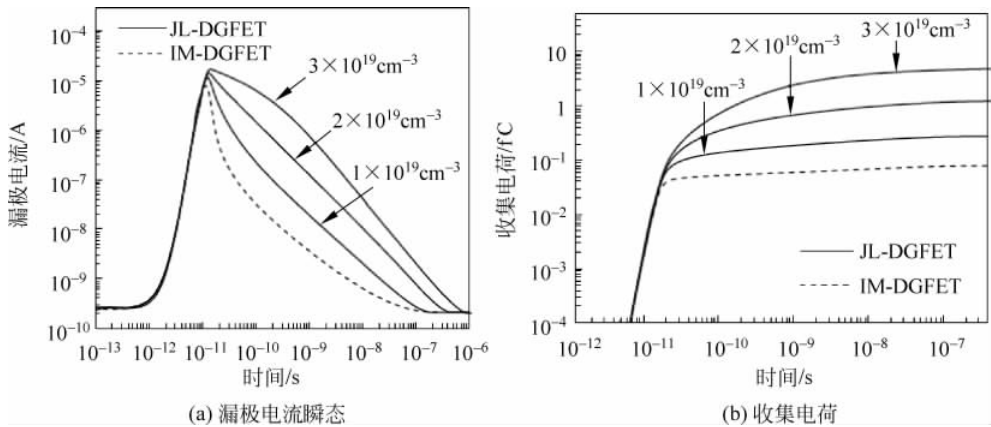


图 5-41 反转双栅场效应管和无结双栅场效应管结构中的漏极电流瞬态和收集的电荷

差。这可能对基于这些器件的电路在照射下的行为有影响。但是单个器件的行为不足以确定电路对单粒子的灵敏度,因为这同时也取决于负载电容。需要对此进行更详细的研究才能精确地量化无结双栅 MOSFET 电路的单粒子的灵敏度。

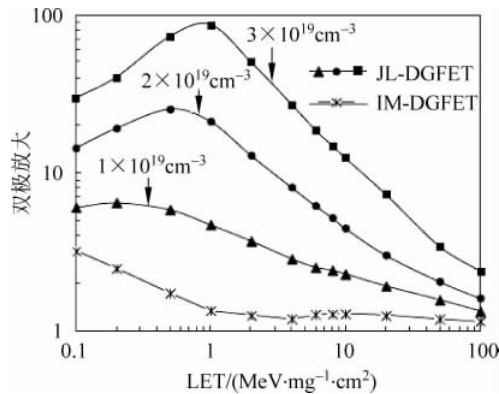


图 5-42 双极放大在反转双栅场效应管和无结双栅 MOSFET 中的线性能量转换函数

### 5.5 三维集成

根据“超越摩尔定律”问题的提出,可以总结出了一个更具有发展前景的观点:三维集成。实际上,由于模型的小型化、异构集成、电路性能的改进和功率消耗的降低等原因,电子系统集成的发展越来越多地涉及三维集成。目前已经提出了用于三维集成电路的各种工艺,包括三维单片和三维异质集成电路方法。图 5-43 显示了微电子器件集成的这一历史趋势(从第一个分立元件到三维集成电路)。三维堆叠几何结构以及未来电路的异质性提出了一些有待解决的问题,其中包含对软错误及单粒子效应的敏感性。

实际上,在二维平面实现的电路中,高能粒子具有到达硅芯片有源表面的相对浅且无障碍的路径<sup>[66]</sup>。在三维集成工艺下,由于堆叠了多个裸片,入射粒子在轰击内层晶体管之前需要穿透多个材料层。堆叠管芯对入射粒子是否具有拦截能力以及如何改变三维芯片不同层之间的软错误率,这在很大程度上是未知的。

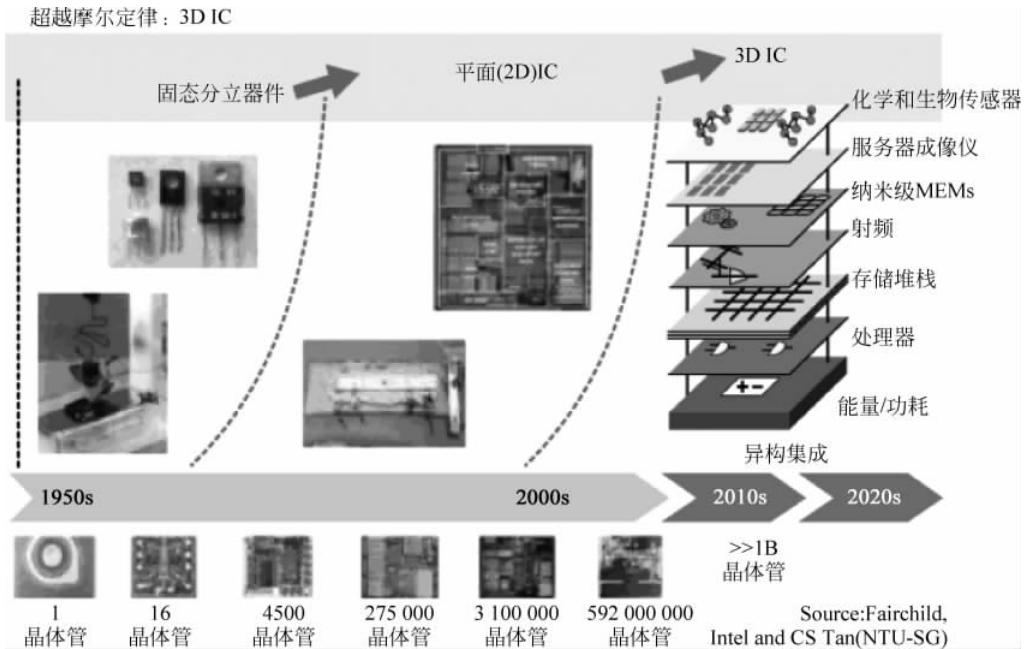


图 5-43 微电子器件的集成历史趋势

Zhang 和 Li<sup>[66]</sup>进行了第一批评估三维芯片微体系结构脆弱性的研究。在这项工作中，他们开发了一个分析模型和一个仿真框架，用来量化三维集成对微架构软错误率的影响。图 5-44(a)显示出了模拟三维处理器的截面图<sup>[66]</sup>。每个管芯的厚度大约为  $27\mu\text{m}$ ，两个管芯之间的间隔为  $2\mu\text{m}$ 。假设  $\alpha$  粒子仅从封装发射，并且电路软错误率与  $\alpha$  粒子注量成正比，他们评估了到达堆叠芯片的不同注量，如图 5-44(b)所示。可以从这些计算中推断出，由于存在垂直管芯堆叠的固有屏蔽效应，内层的软错误率将减少高达 90%。与绝缘体上硅晶片顶部构建的平面处理器相比，这为有选择地将抗辐射的绝缘体硅工艺部署到易损层提供了机会，由此衬底成本将降低 75%。

最近，Gouker 等完成了另一个非常完整的辐射效应研究<sup>[91]</sup>，即利用在 MIT 林肯实验室（三维集成电路工艺）开发的新型三维工艺制造了  $3 \times 64\text{Kb}$  绝缘体硅 SRAM 电路中。在该方法中，使用薄膜平面化、层对准和氧化物结合的标准 CMOS 制造工艺堆叠了三个完全制造的二维电路晶片。目前已经制造了微米级的三维通孔以在层之间互连电路。图 5-45 比较了具有三个全耗尽绝缘体上硅 CMOS 层的二维绝缘体上硅集成电路和三维集成电路晶片的截面。三维集成电路具有 11 个互连金属层，SRAM 有源电路被限制在绝缘体硅衬底上方的  $20\mu\text{m}$  厚的层内。

Gouker 等<sup>[91]</sup>的研究显示出了这些三维绝缘体硅 SRAM 对  $500\text{MeV}$  质子诱发的电离辐射容忍程度至少高达  $100\text{krad}$ 。使用能量在  $4.8 \sim 500\text{MeV}$  的质子和  $14\text{MeV}$  的中子进行测试也产生了类似的结果。对所有层而言，三维绝缘体硅 SRAM 的翻转截面类似，并且也类似于单层二维 SRAM 的翻转截面。层之间的差异直接归因于器件宽度、栅极长度和绝缘体上硅厚度限定的敏感体积临界尺寸的变化。用质子和中子测量的角效应也直接归因于敏感体积内的粒子路径长度的变化。翻转截面对中子/质子入射角具有反余弦相关性。没有发现层级效应，蒙特卡罗模拟同样证实了这一结果。由此可得，在单层二维电路中成功实施的辐射硬化设计工艺在三维集成电路中是有效的。

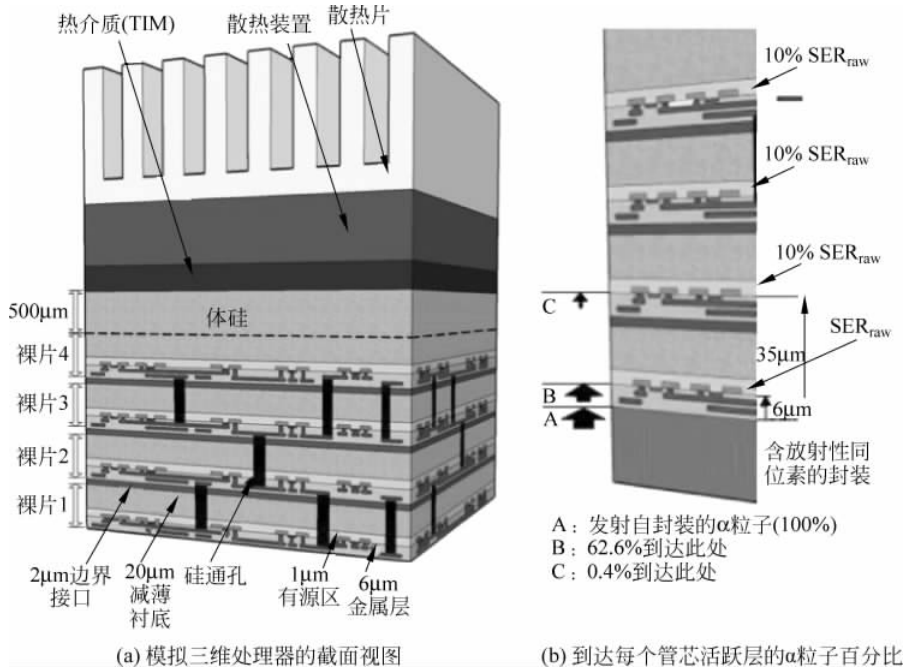


图 5-44 三维芯片微架构软错误率

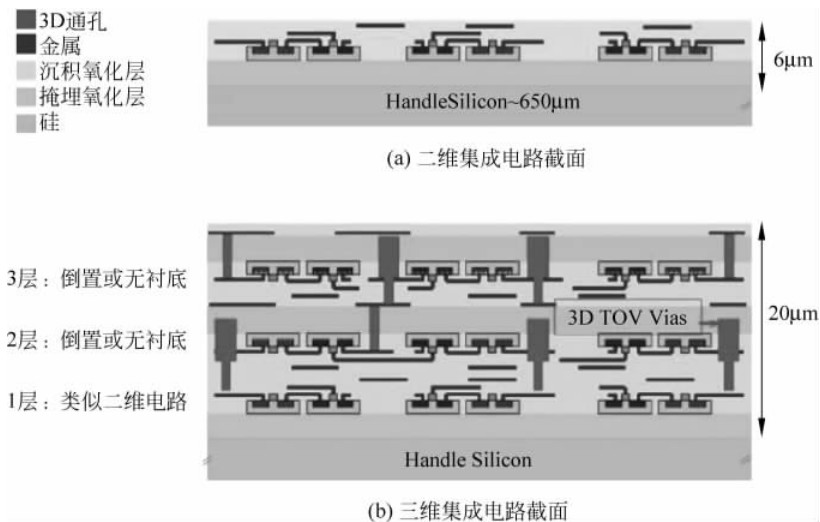


图 5-45 二维集成电路和三维集成电路晶片的截面

## 5.6 本章小结

本章介绍了与先进 CMOS 工艺相关的单粒子效应领域的前沿研究工作。在简要概述了基本的单粒子效应现象之后,我们描述了体硅工艺上的单粒子效应的产生,及在存储器和数字电路中发生的单粒子效应术语和单粒子翻转机制。从微电子领域(器件和电路路线图)背景开始讨论,集中在当前工艺缩小效应下,因为它可能影响电路单粒子效应敏感,详细地讨论了新

兴器件和电路的演变趋势。相继研究了几何尺度缩小及其对软错误率、离子轨迹结构、器件尺寸、阱中载流子限制、相关电效应和单粒子效应的影响,同时,还研究了临界电荷演变、背景辐射的敏感性效应增强和低 $\alpha$ 材料问题。然后,综述了新兴器件和相关机制,特别是绝缘体上硅工艺、多栅极器件、体硅、绝缘体硅 FinFET、具有独立栅极的多栅极和多沟道器件、III-V 族 FinFET、隧道场效应管和无结器件。最后,关注了三维集成电路中的单粒子效应,“超越摩尔定律”允许电子系统以三维方式集成。

## 参考文献

- [1] Dodd P E. Device simulation of charge collection and single-event upset [J]. Nuclear Science IEEE Transactions on,1996,43(2): 561-575.
- [2] Dodd P E. Physics-based simulation of single-event effects [J]. IEEE Transactions on Device & Materials Reliability,2005,5(3): 343-357.
- [3] Baumann R C. Radiation-induced soft errors in advanced semiconductor technologies [J]. IEEE Transactions on Device & Materials Reliability,2005,5(3): 305-316.
- [4] Wrobel F,Gasiot J,et al. Hafnium and Uranium contributions to soft error rate at ground level [J]. IEEE Transactions on Nuclear Science,2008,55(6): 3141-3145.
- [5] Adamiec G,Aitken M. Dose-rate conversion factors; update [J]. Ancient Tl,1998,1998: 35-50.
- [6] Measurement and reporting of Alpha particle and terrestrial cosmic ray-induced soft errors in semiconductor Devices [S]. JESD89 revision v1.0,2006.
- [7] Dahlgren P,Liden P. A switch-level algorithm for simulation of transients in combinational logic [C]. International Symposium on Fault-tolerant Computing,1995.
- [8] Weller R A,Schrimpf RD,et al. Monte Carlo simulation of single event effects [C]. Radiation Effects on Components and Systems Short-Course,2009.
- [9] Karnik T,Hazucha P,et al. Characterization of soft errors caused by single event upsets in CMOS processes [J]. 2004,1(2): 128-143.
- [10] Rajeevakumar T V,Lu NC,et al. A new failure mode of radiation-induced soft errors in dynamic memories [J]. IEEE Electron Device Letters,2002,9(12): 644-646.
- [11] Benedetto M,Eaton H,et al. Variation of digital SET pulse widths and the implications for single event hardening of advanced CMOS processes [J]. IEEE Transactions on Nuclear Science,2006,52(6): 2114-2119.
- [12] Eaton P,Benedetto J,et al. Single event transient pulse width measurements using a variable temporal latch technique [J]. Nuclear Science IEEE Transactions on,2004,51(6): 3365-3368.
- [13] Benedetto J,Eaton P. Digital single event transient trends with technology node scaling [J]. IEEE Transactions on Nuclear Science,2006,53(6): 3462-3465.
- [14] Roche P. Year-in-review on radiation-induced soft error rate [C]. IEEE International Reliability Physics Symposium,2006.
- [15] Narasimham B,Bhuva B,et al. The effect of negative feedback on single event transient propagation in digital circuits [J]. IEEE Transactions on Nuclear Science,2006,53(6): 3285-3290.
- [16] Ferlet-Cavrois V,Massengill LW,et al. Single event transients in digital CMOS—a review [J]. IEEE Transactions on Nuclear Science,2013,60(3): 1767-1790.
- [17] Test procedures for the measurement of single-event effects in semiconductor devices from heavy ion irradiation [S]. EIA-JESD57,1996.
- [18] Diehl S,Vinson J,et al. Considerations for single event immune VLSI logic [C]. IEEE Ann Conf on Nucl & Space Radiation Effects,1983,30(6): 4501-4507.

- [19] Heijmen T, Kruseman B, et al. Technology scaling of critical charges in storage circuits based on cross-coupled inverter-pairs [C]. IEEE International Reliability Physics Symposium, 2004: 675-676.
- [20] Roche P, Gasiot G. Impacts of front-end and middle-end process modifications on terrestrial soft error rate [J]. IEEE Transactions on Device & Materials Reliability, 2005, 5(3): 382-396.
- [21] Shivakumar P, Kistler M, et al. Modeling the effect of technology trends on the soft error rate of combinational logic [C]. International Conference on Dependable Systems & Networks, 2002: 389-398.
- [22] Massengill L, Bhuvu L, et al. Technology scaling and soft error reliability [C]. IEEE Reliability Physics Symposium, 2012: 3C. 1. 1-3C. 1. 7.
- [23] Hamm R, Turner J, et al. Heavy ion track structure in Silicon [J]. IEEE Transactions on Nuclear Science, 1979, 26(6): 4892-4895.
- [24] Martin R, Ghoniem N, et al. The size effect of ion charge tracks on single event multiple-bit upset [J]. IEEE Transactions on Nuclear Science, 1987, 34(6): 1305-1309.
- [25] Oldiges P, Dennard R, et al. Theoretical determination of the temporal and spatial structure of  $\alpha$ -particle induced electron-hole pair generation in Silicon [J]. IEEE Transactions on Nuclear Science, 2000, 47(6): 2575-2579.
- [26] Kobetich E, Katz R. Energy Deposition by electron beams and  $\delta$ -rays [J]. Physical Review, 2008, 170(2): 391-396.
- [27] Stapor W, McDonald P. Practical approach to ion track energy distribution [J]. Journal of Applied Physics, 1988, 64(9): 4430-4434.
- [28] Fageeha O, Howard J, et al. Distribution of radial energy deposition around the track of energetic particles in silicon [J]. Journal of Applied Physics, 1994, 75(5): 2317-2321.
- [29] Dussault H, Howard J, et al. Numerical simulation of heavy ion charge generation and collection dynamics [J]. IEEE Transactions on Nuclear Science, 1993, 40(6): 1926-1934.
- [30] Dussault H, Howard J, et al. The effects of ion track structure in simulating single event phenomena [C]. European Conference on Radiation & Its Effects on Components & Systems (RADECS), 1993: 509-516.
- [31] Raine M, Hubert G, et al. Impact of the radial ionization profile on SEE prediction for SOI transistors and SRAMs beyond the 32nm technological node [J]. IEEE Transactions on Nuclear Science, 2011, 58(3): 840-847.
- [32] Rodbell K, Heidel D, et al. 32 and 45nm radiation-hardened-by-design (RHBD) SOI latches [J]. IEEE Transactions on Nuclear Science, 2011, 58(6): 2702-2710.
- [33] Autran J, Serre S, et al. Real-time soft-error testing of 40nm SRAMs [C]. 2012 IEEE International Reliability Physics Symposium (IRPS), 2012: 3C. 5. 1-3C. 5. 9.
- [34] Giot D, Roche P, et al. Heavy ion testing and 3-D simulations of multiple cell upset in 65nm standard SRAMs [J]. IEEE Transactions on Nuclear Science, 2008, 55(4): 2048-2054.
- [35] Jahinuzzaman S, Sharifkhani M, et al. An analytical model for soft error critical charge of nano-metric SRAMs [J]. IEEE transactions on VLSI system, 2009, 17(9): 1187-1195.
- [36] Hazucha P, Svensson C. Impact of CMOS technology scaling on the atmospheric neutron soft error rate [J]. IEEE Transactions on Nuclear Science, 2000, 47(6): 2586-2594.
- [37] Xu Y Z, Puchner H, et al. Process impact on SRAM alpha-particle SEU performance [C]. IEEE International Reliability Physics Symposium, 2004: 294-299.
- [38] Petersen E, Shapiro P, et al. Calculation of cosmic-ray induced soft upsets and scaling in VLSI devices [J]. Nuclear Science IEEE Transactions on, 1982, 29(6): 2055-2063.
- [39] Seifert N, Gill B, et al. The susceptibility of 45 and 32 nm bulk CMOS latches to low-energy protons [J]. IEEE Transactions on Nuclear Science, 2011, 58(6): 2711-2718.
- [40] Ziegler J, Lanford W. Effect of cosmic rays on computer memories [J]. Science, 1979, 206(4420): 776-

- 88.
- [41] Sobottka S, Wills E. Energy spectrum of charged particles emitted following muon capture in  $^{28}\text{Si}$  [J]. *Physical Review Letters*, 2016, 20(12): 596-598.
  - [42] Macdonald B, Diaz J, et al. Neutrons from negative-muon capture [J]. *Physical Review*, 1965, 139(5B): 1253-1263.
  - [43] Budyashov Y, Zinov, et al. Charged particles from the capture of negative muons by the nuclei  $^{28}\text{Si}$ ,  $^{32}\text{S}$ ,  $^{40}\text{Ca}$ , and  $^{64}\text{Cu}$  [J]. *Soviet Journal of Experimental and Theoretical Physics*, 1971, 33: 11.
  - [44] Sierawski B, Pellish J et al. Impact of low-energy proton induced upsets on test methods and rate predictions [J]. *IEEE Transactions on Nuclear Science*, 2009, 56(6): 3085-3092.
  - [45] Sierawski B, Reed R, et al. Effects of scaling on muon-induced soft errors [C]. *International Reliability Physics Symposium(IRPS)*, 2011: 3C3. 1-6.
  - [46] Serre S, Semikh S, et al. Effects of low energy muons on electronics: physical insights and Geant4 simulation [C]. *Proceedings of the 2012 Conference on Radiation and its Effects on Components and Circuits(RADECS)*, 2012.
  - [47] Brett Clark. The distribution and transport of alpha Activity in Tin [R]. White paper Honeywell International Inc. ,2012.
  - [48] Colinge J. Silicon-on-insulator technology: materials to VLSI [M]. 2<sup>nd</sup>. Kluwer Academic Publishers, 1997.
  - [49] Munteanu D, Ionescu A. Modeling of drain current overshoot and recombination lifetime extraction in floating-body submicron SOI MOSFETs [J]. *IEEE Transactions on Electron Devices*, 2002, 49(7): 1198-1205.
  - [50] Munteanu D, Autran J. Simulation analysis of bipolar amplification in independent-gate FinFET and multi-channel NWFET submitted to heavy-ion irradiation [J]. *IEEE Transactions on Nuclear Science*, 2012, 59(6): 3249-3257.
  - [51] McMorro D, Weatherford T, et al. Single-event phenomena in GaAs devices and circuits [J]. *IEEE Transactions on Nuclear Science*, 1996, 43(2): 628-644.
  - [52] Weaver B, McMorro D, et al. Radiation effects in III-V semiconductor electronics [J]. *International Journal of High Speed Electronics & Systems*, 2003, 13: 293-326.
  - [53] McMorro D, Boos J, et al. Transient response of III-V field-effect transistors to heavy-ion irradiation [J]. *IEEE Transactions on Nuclear Science*, 2004, 51(6): 3324-3331.
  - [54] Ferlet-Cavrois V, Marcandella C, G. et al. Characterization of the parasitic bipolar amplification in SOI technologies submitted to transient irradiation [J]. *IEEE Transactions on Nuclear Science*, 2002, 49(3): 1456-1461.
  - [55] Schwank J, Ferlet-Cavrois V, et al. Radiation effects in SOI technologies [J]. *IEEE Transactions on Nuclear Science*, 2003, 50(3): 522-538.
  - [56] Ferlet-Cavrois V, Vizkelethy G, et al. Charge enhancement effect in NMOS bulk transistors induced by heavy ion irradiation-Comparison with SOI [J]. *IEEE Transactions on Nuclear Science*, 2003, 50(3): 522-538.
  - [57] Musseau O, Ferlet-Cavrois V, et al. Laser probing of bipolar amplification in 0.25- $\mu\text{m}$  MOS/SOI transistors [J]. *IEEE Transactions on Nuclear Science*, 2000, 47(6): 2196-2203.
  - [58] Hite L, Lu H, et al. An SEU resistant 256 K SOI SRAM [J]. *IEEE Transactions on Nuclear Science*, 1992, 39(6): 2121-2125.
  - [59] Kerns S, Massengill L, et al. Model for CMOS/SOI single-event vulnerability [J]. *IEEE Transactions on Nuclear Science*, 1992, 39(6): 2121-2125.
  - [60] Ferlet-Cavrois V, Paillet P, et al. Direct measurement of transient pulses induced by laser irradiation in deca-nanometer SOI devices [J]. *IEEE Transactions on Nuclear Science*, 2006, 52(6): 2104-2113.

- [61] Ferlet-Cavrois V, Gasiot G, et al. Insights on the transient response of fully and partially depleted SOI technologies under heavy-ion and dose-rate irradiations [J]. *IEEE Transactions on Nuclear Science*, 2002, 49(6): 2948-2956.
- [62] Brisset C, Dollfus P, et al. Theoretical study of SEU's in 0.25- $\mu\text{m}$  fully-depleted CMOS/SOI technology [J]. *IEEE Transactions on Nuclear Science*, 1994, 41: 2297-2303.
- [63] Munteanu D, Ferlet-Cavrois V, et al. Investigation of quantum effects in ultra-thin body single and double-gate devices submitted to heavy ion irradiation [J]. *IEEE Transactions on Nuclear Science*, 2006, 53(6): 3363-3371.
- [64] Paillet P, Gaillardin M, et al. Total ionizing dose effects on deca-nanometer FD SOI devices [J]. *IEEE Transactions on Nuclear Science*, 2006, 52(6): 2345-2352.
- [65] Gaillardin M, Paillet P, et al. Transient radiation response of single—and multiple—gate FD SOI transistors [J]. *IEEE Transactions on Nuclear Science*, 2007, 54(6): 2355-2362.
- [66] Zhang W, Li T. Microarchitecture soft error vulnerability characterization and mitigation under 3D integration technology [C]. 41<sup>st</sup> IEEE/ACM International Symposium on Microarchitecture (MICRO-41), 2008: 435-446.
- [67] Frank D, Laux S, et al. Monte Carlo simulation of a 30nm dual gate MOSFET: how short can Si go? [C]. *Proceedings of IEDM Technical Digest*, 1992: 553-556.
- [68] Munteanu D, Autran J. 3-D numerical simulation of bipolar amplification in junctionless double-gate MOSFETs under heavy-ion irradiation [J]. *IEEE Transactions on Nuclear Science*, 2012, 59(4): 773-780.
- [69] Guarini K, Solomon P, et al. Triple-self-aligned, planar double-gate MOSFETs: devices and circuits [C]. *International Electron Devices Meeting*, 2001: 19.2.1-19.2.4.
- [70] Choi Y, Lindert N, et al. Sub-20nm CMOS FinFET technologies [J]. *IEEE IEDM Technology Digest*, 2001, 1: 19.1.1-19.1.4.
- [71] Kedzierski J, Nowak E, et al. Metal-gate FinFET and fully-depleted SOI devices using total gate silicidation [C]. *Proceedings of IEDM Technical Digest*, 2002: 247-250.
- [72] Park J, Colinge J, et al. Pi-Gate SOI MOSFET [J]. *IEEE Electron Device Letters*, 2001, 22(8): 405-406.
- [73] Jiao Z, Salama C. Implementation of a fully depleted Delta-channel SOI NMOSFET [C]. *Proceeding of Electro-chem. Soc*, 2001: 403-408.
- [74] Hisamoto D, Kaga T, et al. A fully depleted lean channel transistor (DELTA)—a novel vertical ultra thin SOI MOSFET [J]. *IEEE IEDM Technical Digest*, 2002, 11(1): 36-38.
- [75] Colinge J, Gao M H, et al. Continuous analytic I-V model for surrounding-gate MOSFETs [J]. *IEEE Electron Device Letters*, 2004, 25(8): 571-573.
- [76] Yang J, Fossum J. On the feasibility of nanoscale triple-gate CMOS transistors [J]. *IEEE Transactions on Electron Devices*, 2005, 52(6): 1159-1164.
- [77] Ernst T, Dupré C, et al. Novel 3D integration process for highly scalable nano-beam stacked-channels GAA(NBG) FinFETs with HfO<sub>2</sub>/TiN gate stack [J]. *IEEE IEDM Technical Digest*, 2007, 9(1): 1-4.
- [78] Seifert N, Gill B, et al. Heavy-ion-induced current transients in bulk and SOI FinFETs [J]. *IEEE Transactions on Nuclear Science*, 2012, 59(6): 2674-2681.
- [79] Manoj C, Nagpal M, et al. Device design and optimization considerations for bulk FinFETs [J]. *IEEE Transactions on Electron Devices*, 2008, 55(2): 609-615.
- [80] El-Mamouni F, Zhang E X, et al. Pulsed laser induced transient currents in bulk and silicon-on-insulator FinFETs [C]. *International Reliability Physics Symposium (IRPS)*, 2011 2011: 882-885.
- [81] Chiarella T, Witters L, et al. Benchmarking SOI and bulk FinFET alternatives for planar CMOS scaling succession [J]. *Solid-State Electronics*, 2010, 54(9): 855-860.

- [82] Munteanu D, Autran J. 3-D Simulation analysis of bipolar amplification in planar double-gate and FinFET with independent gates [J]. *IEEE Transactions on Nuclear Science*, 2009, 56(4): 2083-2090.
- [83] Dodd P, Shaneyfelt M, et al. Transient response of III-V field-effect transistors to heavy-ion irradiation [J]. *IEEE Transactions on Nuclear Science*, 2004, 51(6): 3324-3331.
- [84] Verhulst A, Soree B, et al. Modeling the single-gate, double-gate and gate-all-around tunnel field effect transistor [J]. *Journal of Applied Physics*, 2010, 107(2): 024518-024518-8.
- [85] Khatami Y, Banerjee K. Steep subthreshold slope n-and p-type tunnel-FET devices for low-power and energy-efficient digital circuits [J]. *IEEE Transactions on Electron Devices*, 2009, 56(11): 2752-2761.
- [86] Jeon K, Loh W, et al. Si tunnel transistors with a novel silicided source and 46mv/dec swing [C]. *Proceeding Technology Symposium*, 2010, 1289(12): 121-122.
- [87] Liu H, Cotter M, Technology Assessment of Si and III-V FinFETs and III-V Tunnel FETs from Soft Error Rate Perspective [C]. *Proceedings of IEDM Technical Digest*, 2012: 577-580.
- [88] Chen C Y, Lin J T, et al. High-performance ultra-low power junctionless nanowire FET on SOI substrate in sub-threshold logic application [C]. *IEEE international SOI conference proceedings*, 2010.
- [89] Colinge J, Lee C, et al. Nanowire transistors without junctions [J]. *Nature Nanotechnology*, 2010, 5(3): 225-229.
- [90] Kranti A, Yan R, et al. Junctionless nanowire transistor(JNT): properties and design guidelines [C]. *Proceeding of European Solid State Device Research Conference(ESSDERC)*, 2010: 357-360.
- [91] Gouker P, Tyrrell B, et al. SET characterization in logic circuits fabricated in a 3D IC technology [J]. *IEEE Transactions on Nuclear Science*, 2011, 58(6): 2555-2562.