



本章要点：

本章为本书基础章。学习本章应重点理解晶体管的开关特性,理解 TTL 电路结构及各种输出结构电路的特点,理解 TTL 电路的输入输出特性;理解常用 CMOS 门电路构成特点,掌握 CMOS 集成逻辑门电路的特点;初步理解用 CMOS 传输门和反相器构成逻辑电路的方法及利用硬件描述语言描述常用逻辑运算的方法。

3.1 利用晶体管构成基本逻辑运算电路



逻辑运算是通过电路来实现的,实现基本逻辑运算和复合逻辑运算的单元电路通称为门电路。显然,门电路是数字电路中最基本的逻辑元件,应用极为广泛。

用门来统一描述基本逻辑运算和复合逻辑运算比较形象。首先,门具有开、关两种状态,可用于表示 0、1。此外,可以将它比作一个开关:在一定的条件下允许信号通过,称门是打开的;若条件不满足,信号就不能通过,称门是关闭的。

3.1.1 二极管的开关特性及其门电路构成特点

可利用二极管构成门电路,当然,构成门电路的器件应具有开门、关门两种状态,可在开门、关门两种状态之间相互转换,这种特性称为开关特性。

1. 二极管的开关特性

二极管具有单向导电性,即正向导通、反向截止。当二极管理想时,二极管正向导通压降等于零,相当于短路。因此,当二极管正向导通时,相当于一个接通的开关,信号允许通过,相当于开门。当二极管反向截止时,由于理想二极管反向截止电阻无穷大,反向截止电流为零,此时,二极管相当于一个断开的开关,信号不允许通过,相当于关门。

可见理想二极管的导通、截止两种状态相当于开关接通、断开两种状态,可当作开关使用。

与理想二极管相比,实际二极管正向导通压降不等于零,反向截止电流 I_0 也不为零。但当实际二极管反向截止时,由于反向截止电阻 R_0 很大,在数字电平作用下,反向截止电流 I_0 很小,可以忽略;当实际二极管正向导通时,虽然导通压降不等于零,但与数字电路高、低电平相比,比较小,不影响数字电平的高、低状态。由此可知,二极管可以当作开关元件使用。而数字电路就是利用晶体二极管的开关作用进行工作的。

当然,实际二极管从反向截止转换到正向导通、从正向导通转换到反向截止均需要时间。也就是说,二极管作为一个开关,其接通与断开均需要时间。一般情况下,二极管的接通时间很短,它对开关速度的影响很小,一般可以忽略不计。开关二极管的断开时间大约在纳秒(ns)数量级,在大多数应用场合下,均能满足要求。

2. 二极管与门

如图 3.1.1 所示为二极管与门电路($U_{CC} = 10V$), A 、 B 是它的两个输入端, Y 是它的输出端*。

(1) 电压关系表。假定输入端有一个为低电平(电平可理解为电位,习惯上用 V 表示,本书中统一用 U 表示高、低电平等各种电平,其含义为该电平与零电位点的电压差,设 $U_A = 0V$),因为 $U_A = 0V$,则 D_A 管优先导通,有

$$U_Y = 0.7V$$

又因为 $U_Y = 0.7V$, $U_B = 3V$,所以 D_B 管截止。若输入端全部为高电平($U_A = U_B = 3V$),因为 $U_A = U_B = 3V$,则 D_A 、 D_B 管均导通,有

$$U_Y = 3.7V$$

将电路输入和输出的电压关系用表格表示,可得到表 3.1.1。

(2) 设定变量、状态赋值、列真值表。用 A 、 B 、 Y 分别表示 U_A 、 U_B 、 U_Y ,用正逻辑表示,即用 0 表示低电平,用 1 表示高电平,则表 3.1.1 可转换成表 3.1.2。由表 3.1.2 看出,这是与逻辑真值表。由于图 3.1.1 所示电路是由二极管组成的,所以称为二极管与门电路。

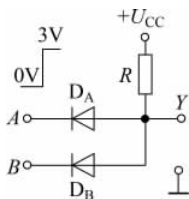


图 3.1.1 二极管与门

表 3.1.1 与门电路的电压关系

U_A/V	U_B/V	U_Y/V
0	0	0.7
0	3	0.7
3	0	0.7
3	3	3.7

表 3.1.2 与门的真值表

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

* 注: 本书 A 、 B 、 Y 等既指输入端、输出端,又指输入信号、输出信号,且多处交叉,统一作斜体处理。

3. 二极管或门

如图 3.1.2 所示为二极管或门电路, A 、 B 是它的两个输入端, Y 是它的输出端。

(1) 电压关系表。假定输入端有一个为高电平(设 $U_A = 3V$), 因为 $U_A = 3V$, 则 D_A 管导通, 有

$$U_Y = 2.3V$$

又因为 $U_Y = 2.3V$ 、 $U_B = 0V$, 所以 D_B 管截止。

若输入端全部为高电平($U_A = U_B = 3V$), 因为 $U_A = U_B = 3V$, 则 D_A 、 D_B 管均导通, 有

$$U_Y = 2.3V$$

类似地, 若输入端全部为低电平($U_A = U_B = 0V$), 因电源为负值, D_A 、 D_B 管依旧导通, $U_Y = -0.7V$ 。

将电路输入和输出的电压关系用表格表示, 可得到表 3.1.3。

(2) 设定变量、状态赋值、列真值表。用 A 、 B 、 Y 分别表示 U_A 、 U_B 、 U_Y , 用正逻辑表示, 即用 0 表示低电平, 用 1 表示高电平, 则表 3.1.3 可转换成表 3.1.4。由表 3.1.4 看出, 这是或逻辑真值表。

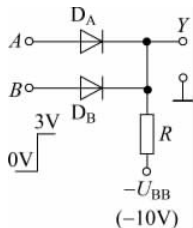


图 3.1.2 二极管或门

表 3.1.3 或门电路的电压关系

U_A/V	U_B/V	U_Y/V
0	0	-0.7
0	3	2.3
3	0	2.3
3	3	2.3

表 3.1.4 或门的真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

读者可通过图 3.1.1 和图 3.1.2 自行总结二极管门电路的连接特点。

3.1.2 三极管的开关特性及其非门电路

1. 三极管的开关特性

三极管包括: 三个区, 即发射区、基区、集电区; 三个极, 即发射极(E极)、基极(B极)、集电极(C极); 两个结, 即发射结、集电结。

从工艺上看, 三极管有这样的特点: 发射区是高浓度掺杂区, 基区很薄且杂质浓度低, 集电区面积大。

三极管是一个电流控制器件, 其内部结构是非常复杂的, 可通过如图 3.1.3 所示仿真图来理解三极管的电流控制特性。

图 3.1.3(a)中, 将三极管 B 极悬空(输出为 0mA 的电流源等同于悬空), C、E 两极通过电阻接在 6V 电源上, 测量结果显示流过的电流不到 $1\mu A$ 。分析电路, 三极管 C、E 两极相

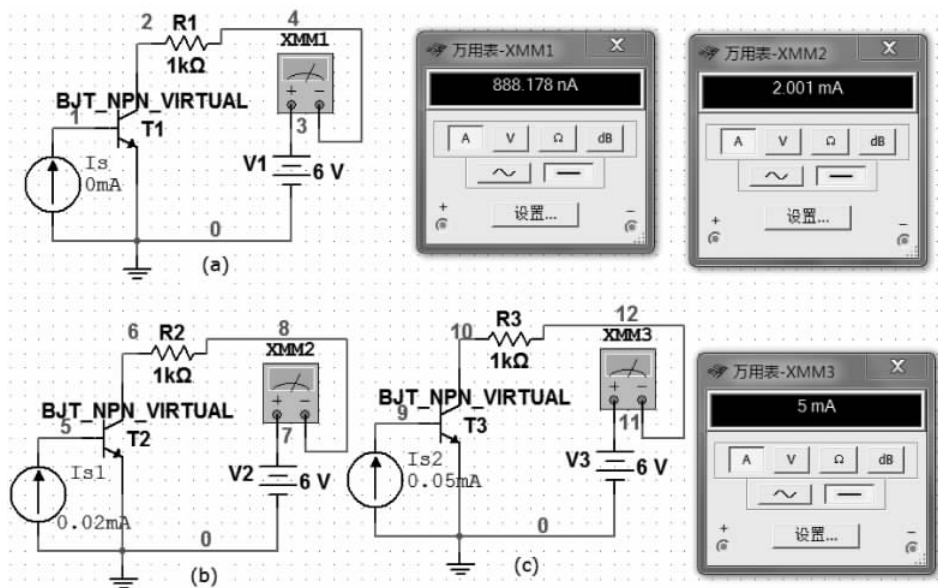


图 3.1.3 三极管电流控制特性仿真图

当于两个背靠背的二极管(图 3.1.4),由二极管的单向导电性,C、E 两极没有电流流过。

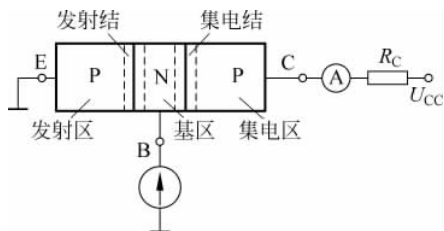


图 3.1.4 三极管电流控制特性实验电路

可见当无控制电流产生时,三极管截止,无输出电流,三极管工作在截止区。

图 3.1.3(b)图中,将三极管 B 极接 0.02mA 的电流源,C、E 两极有电流流过,大小为 2mA。

流过 B 极的电流称为基极电流,流过 C 极的电流称为集电极电流,流过 E 极的电流称为发射极电流。在三极管电路中,基极电流相当于一个控制信号,当基极电流流过基区时,改变了三极管内部导电载流子的分布,在发射结、集电结间形成了一个导电通路,C、E 两极有电流流过,这便是三极管的电流控制特性。

当控制电流大小适中时,控制电流可有效控制输出电流,输出电流与控制电流保持线性比例关系,三极管工作在放大区(图 3.1.3(b)、(c))。

显然,因电源功率等因素限制,输出电流不可能无限增长。当 I_B 达到一定值以后,若基流 I_B 继续增加,则集电极电流 I_C 基本上不再变化, U_{CE} 也基本不再变化,而且降到了很小数值。由于 I_B 失去了对 I_C 的控制作用,三极管也就失去了放大作用。这种现象称为饱和

现象。

可见,三极管具有截止、放大、饱和 3 种工作状态。

当发射结处于反向偏置、集电结也处于反向偏置时,三极管可靠截止。当三极管处于截止状态时,三极管 C、E 两极没有电流流过,相当于开关断开。

当发射结处于正向偏置、集电结处于反向偏置时,三极管中的电流 I_B 和 I_C 近似于成正比的关系,三极管处于放大工作状态。

晶体三极管工作于饱和状态时的特征为:发射结和集电结都处于正向偏置。

当三极管饱和时,C、E 两极可流过较大的电流,相当于开关闭合。

可见,三极管可以当作开关使用。而数字电路就是利用晶体三极管的开关特性进行工作的。

饱和时,B、E 间的电压记为 U_{BES} ,称为饱和时的基射电压;C、E 间的电压记为 U_{CES} ,称为饱和时的集射电压。对于 NPN 硅管而言, $U_{BES}=0.7V$, $U_{CES}=0.3V$ 。饱和时的集电极电流记为 I_{CS} ,称为集电极饱和电流。

对如图 3.1.5 所示的实验电路, I_{CS} 由下式决定:

$$I_{CS} = (U_{CC} - U_{CES}) / R_C \approx U_{CC} / R_C$$

三极管刚刚出现饱和现象时的基流称为临界饱和基流,记为 I_{BS} 。且有

$$I_{BS} = (U_{CC} - U_{CES}) / \beta R_C$$

可总结三极管的饱和条件为

$$I_B \geq I_{BS} \quad (3.1.1)$$

【例 3.1.1】 在如图 3.1.6 所示电路中, $U_{CC}=12V$, $U_{BB}=12V$, $R_1=1.2k\Omega$, $R_2=10k\Omega$, $R_C=1k\Omega$, $\beta=30$,输入电压 U_1 分别为 $U_{IH}=3V$, $U_{IL}=0.3V$ 。试问晶体三极管处于何种工作状态?

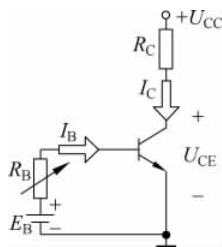


图 3.1.5 实验电路

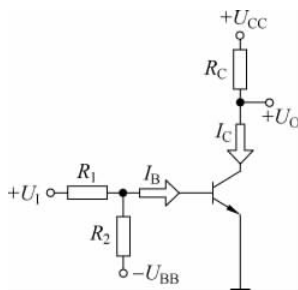


图 3.1.6 例 3.1.1 的图

解 (1) 当 $U_1=U_{IL}=0.3V$ 时,假定三极管截止。

因为三极管截止,电流 I_B 可以忽略,有

$$\begin{aligned} U_{BE} &= U_1 - U_{R_1} = U_1 - \frac{U_{BB} + U_1}{R_1 + R_2} R_1 \\ &= 0.3 - \frac{12 + 0.3}{1.2 + 10} \times 1.2 \approx -1V \end{aligned}$$

所以,发射结处于反向偏置,晶体管截止,假定正确。

(2) 当 $U_1=U_{IH}=3\text{V}$ 时,晶体管导通,假定三极管饱和。

先求临界饱和基流:

$$I_{BS} = (U_{CC} - U_{CES})/(\beta R_C) = (12 - 0.3)/30 \approx 0.39\text{mA}$$

再求晶体管基极电流:

$$I_B = \frac{U_1 - U_{BES}}{R_1} - \frac{U_{BB} + U_{BES}}{R_2} = \frac{3 - 0.7}{1.2} - \frac{12 + 0.7}{10} \approx 0.65\text{mA}$$

由于 $I_B > I_{BS}$,所以三极管工作在饱和状态,假定正确。

晶体三极管由于输入信号的作用,时而从截止状态转换到饱和状态,时而从饱和状态转换到截止状态。而在截止和饱和两种工作状态的转换中,很快经过放大状态。由于三极管内部电荷“建立”和“消散”需要一个过程,所以晶体三极管饱和与截止两种状态的相互转换也需要一定的时间才能完成。三极管从截止到饱和所需的时间称为开通时间,三极管从饱和到截止所需的时间称为关闭时间。开通时间和关闭时间总称为三极管的开关时间。它随着三极管类型的不同而有很大差别,一般为几十纳秒至几百纳秒,可以在晶体管手册中查到。三极管的开关时间限制了三极管的开关速度。开关时间越短,开关速度越快。

2. 三极管非门

如图 3.1.7 所示为由三极管组成的非门电路。A 是它的输入端,Y 是它的输出端。

(1) 电压关系表。若输入端 $U_1=U_{IH}=5\text{V}$,则有

$$I_B = \frac{U_1 - U_{BES}}{R_B} = \frac{5 - 0.7}{4.3} = 1\text{mA}$$

$$\begin{aligned} I_{BS} &= (U_{CC} - U_{CES})/(\beta R_C) \\ &= (5 - 0.3)/30 \\ &\approx 0.17\text{mA} \end{aligned}$$

由于 $I_B > I_{BS}$,所以,三极管工作在饱和状态,有

$$U_O = U_{CES} = 0.3\text{V}$$

若输入端 $U_1=U_{IL}=0\text{V}$,有

$$U_{BE} = 0\text{V} < 0.5\text{V}$$

所以,T 管截止。输出

$$U_O \approx U_{CC} = 5\text{V}$$

将输入和输出的电压关系用表格表示,可得到表 3.1.5。

(2) 设定变量、状态赋值、列真值表。用 A、Y 分别表示 U_1 、 U_O ,用 0 表示低电平,用 1 表示高电平,则表 3.1.5 可转换成表 3.1.6。由表 3.1.6 看出,这是非逻辑真值表。同样,由于图 3.1.7 所示电路是由三极管组成的,所以称为三极管非门电路。

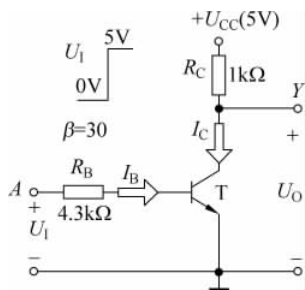


图 3.1.7 三极管非门电路

表 3.1.5 非门电路的电压关系

U_1/V	U_o/V
0	5
5	0.3

表 3.1.6 非门的真值表

A	Y
0	1
1	0

复习与思考

利用二极管、三极管构成一个与非门电路。

3.2 TTL 集成逻辑门电路

显然,在图 3.1.7 所示的单管非门电路中,随着负载的接入,输入、输出特性将发生显著变化。集成门电路与分立元件门电路相比,具有体积小、重量轻、可靠性高等优点。因此,在大多数领域里,集成电路已迅速取代了分立元件电路。随着集成电路制造工艺的日益完善,目前已能将数以千万计的半导体三极管集成在一片面积只有几十平方毫米的硅片上。

按照集成度(即每一片硅片中,所含有的元、器件数)的高低,可将集成电路分为小规模集成电路、中规模集成电路、大规模集成电路和超大规模集成电路。

3.2.1 TTL 与非门电路的组成特点



晶体管-晶体管逻辑(Transistor-Transistor Logic, TTL)电路是目前流行的集成系列门电路之一。

TTL 系列门电路具有标准的输入、输出特性,各种功能的 TTL 门电路组成结构大体相同,下面以如图 3.2.1 所示的典型 TTL 与非门电路为例,介绍 TTL 门电路的组成特点及其功能分析方法。

1. 电路组成与逻辑功能简述

TTL 与非门电路由以下三部分组成。

第一部分为输入级,由多发射极晶体管 T_1 和电阻 R_1 组成。

T_1 管的作用和二极管与门的作用完全相似,输入信号通过多发射极晶体管 T_1 的发射结实现了逻辑与的功能,简要分析如下:

将 T_1 管的发射结看成几个二极管,将 T_1 管的集电结看成与它们背靠背的一个二极管,如图 3.2.2 所示。该电路与如图 3.1.1 所示的二极管与门电路类似,实现了逻辑与的功能。

第二部分为中间级,由 T_2 管和电阻 R_2 、 R_3 组成。

中间级从 T_2 管的集电极和发射极同时输出两个相位相反的信号,作为 T_3 管和 T_4 管输出级的驱动信号,不改变电路的逻辑功能。

第三部分为输出级,由 T_3 管、 D_4 管、 T_4 管和电阻 R_4 组成推拉式的输出级。

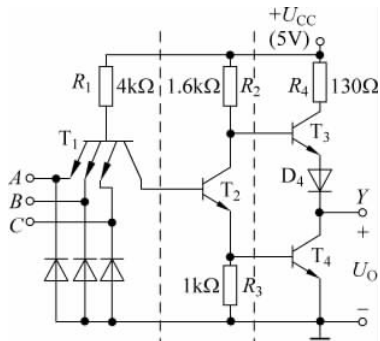


图 3.2.1 TTL 与非门电路

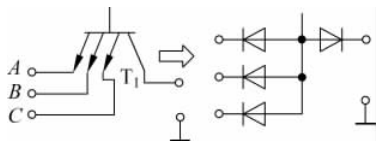


图 3.2.2 输入级电路

根据前面的分析,单个三极管实现了逻辑非运算,可见,输出级具有逻辑非的功能。

根据电路的结构可知,如图 3.2.1 所示的 TTL 电路为三输入与逻辑运算与非逻辑运算的组合运算,为三输入与非门电路。

2. 工作原理

当输入端至少有一个为低电平(设 $U_A = 0.3\text{V}$, $U_B = U_C = 3.6\text{V}$)时,显然, T_1 管的基极 B_1 与 E_{1A} 发射结间处于正向偏置,电源 U_{CC} 通过 R_1 为 T_1 管提供基极电流,其 U_{B1} 为

$$U_{B1} = U_A + U_{BE1A} = 0.3 + 0.7 = 1\text{V}$$

1V 的基极电压 U_{B1} 不足以给 T_1 集电结、 T_2 发射结提供正向基极电流。所以, T_2 管截止, T_4 管当然也截止。因此, U_{CC} 经 R_2 使 T_3 管、 D_4 管导通,则输出端的电压为

$$U_O = U_{CC} - I_{B3}R_2 - U_{BE3} - U_{D4ON} \approx 5 - 2 \times 0.7 = 3.6\text{V}$$

因为电流 I_{B3} 为微安级,所以电压 $I_{B3}R_2$ 可以忽略不计。又由于 T_4 管截止,因此负载电流是从电源 U_{CC} 经 R_4 、 D_4 流向每个负载门的。

当输入端 $U_A = U_B = U_C = 3.6\text{V}$ (全部为高电平)时, T_1 管瞬间导通,基极电压 $U_{T1B} = 4.3\text{V}$ 。

4.3V 的基极电压 U_{T1B} 足以给 T_1 集电结、 T_2 发射结、 T_4 发射结提供正向基极电流, T_1 集电结、 T_2 发射结、 T_4 发射结均导通。因为 T_1 集电结、 T_2 发射结、 T_4 发射结相当于 3 个二极管,3 个二极管导通压降为 2.1V,基极电压 U_{T1B} 迅速回到 2.1V。

因为输入端 $U_A = U_B = U_C = 3.6\text{V}$, T_1 管的 3 个发射结均处于反向偏置,截止。电源 U_{CC} 经过电阻 R_1 和 T_1 管的集电结向 T_2 管提供足够的基极电流,使 T_2 管导通并饱和, T_2 管的发射结电流又给 T_4 管提供足够的基流,使 T_4 管也导通并饱和。此时,输出端的电压为

$$U_O = U_{CES4} = 0.3\text{V} = U_{OL}$$

此时,由于 T_2 管的集电极电位为

$$U_{C2} = U_{CES2} + U_{BES4} = 0.3 + 0.7 = 1\text{V}$$

所以, T_3 管、 D_4 管截止。由于 D_4 管截止, 负载电流全部灌入 T_4 管的集电极。

将输入和输出的电压关系以表格表示, 可得表 3.2.1。

用 A 、 B 、 C 、 Y 分别表示 U_A 、 U_B 、 U_C 、 U_O , 用 0 表示低电平, 用 1 表示高电平, 则表 3.2.1 可转换成表 3.2.2。由表 3.2.2 看出, 这是与非逻辑的真值表。

表 3.2.1 TTL 与非门的电压关系(单位: V)

U_A	U_B	U_C	U_O
0.3	0.3	0.3	3.6
0.3	0.3	3.6	3.6
0.3	3.6	0.3	3.6
0.3	3.6	3.6	3.6
3.6	0.3	0.3	3.6
3.6	0.3	3.6	3.6
3.6	3.6	0.3	3.6
3.6	3.6	3.6	0.3

表 3.2.2 TTL 与非门的真值表

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

可见, 如图 3.2.1 所示电路为 TTL 与非门电路。即

$$Y = \overline{ABC}$$

3.2.2 TTL 与非门电路的输入输出特性

常用输入电压、输入电流、输入电阻等参数描述电路的输入特性, 用输出电压、输出电流、输出电阻等参数描述电路的输出特性。

当然, 数字系统具有其特殊性, 其输入只有 1、0 两种值, 对应高、低两种电平值。根据前面的分析, TTL 与非门电路输出为 1 时, 有

$$U_{OH}(\text{最大}) = 3.6\text{V}$$

TTL 与非门电路输出为 0 时, 有

$$U_{OL} = 0.3\text{V}$$

1. 输入特性

在标准 TTL 电平作用下, 对输入回路, 可忽略 T_2 集电极、 T_4 集电极、 R_3 。取多输入极的 A 极为例分析, 参考电路如图 3.2.3 所示。图中, $U_{CC} = 5\text{V}$ 。

正常情况下, TTL 电路的输入来自 TTL 电路的输出, 为标准值, 有

$$U_{IH} = U_{OH}(\text{最大}) = 3.6\text{V}$$

$$U_{IL} = U_{OL} = 0.3\text{V}$$

因为输入电平为标准值, 为已知参数, 所以 TTL 电路的输入特性主要用输入电流来描述。

分析如图 3.2.3 所示的输入级电路, 当 $U_{IL} = U_{OL} = 0.3\text{V}$ 时, T_1 集电结截止, 有

$$I_{IH} = \frac{(0.3 + 0.7) - 5}{R_1} = \frac{-4}{4 \times 10^3} = -1 \text{ (mA)}$$

分析如图 3.2.3 所示的输入级电路,当 $U_{IH} = U_{OH} = 3.6\text{V}$ 时,根据前面的分析, T_1 发射结瞬间导通后截止,输入电流为二极管反向截止电流, I_{IH} 的值一般在 $40\mu\text{A}$ 以下。

当然,输入电平从低电平变化到高电平、从高电平变化到低电平均存在一个变化过程。输入电流随输入电平变化的曲线称为输入特性曲线,如图 3.2.4 所示。对输入信号的电平转换的暂态过程分析,读者可参考其他书籍。

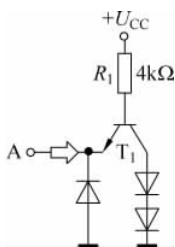


图 3.2.3 输入等效电路

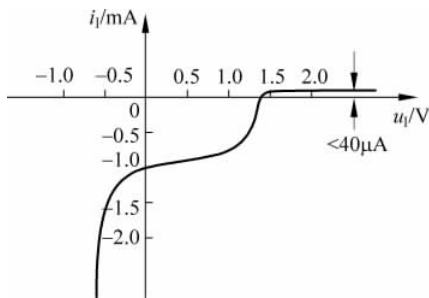


图 3.2.4 输入特性曲线

2. 高电平输出特性

在如图 3.2.1 所示 TTL 门电路中,当至少有 1 个输入为低电平时,输出为 1。对输出回路,可忽略 T_2 管、 T_4 管,参考电路如图 3.2.5 所示。图中, $U_{CC} = 5\text{V}$ 。

正常情况下,输出的高电平也为标准值,为已知参数,因此,TTL 电路的输出特性也主要用输出电流来描述。

分析如图 3.2.5 所示输出等效电路,当未接负载时, $U_{OH} = 3.6\text{V}$,没有电流流出。当输出接负载时, U_{CC} 将通过 T_3 管、 D_4 管向外输出电流,这种负载电流称为拉电流。

当然,随着负载电流绝对值的增加,电阻 R_4 上的压降也将随之增加,相应输出的电位值将减小。高电平输出电位随输出电流变化的曲线称为高电平输出特性曲线,如图 3.2.6 所示。

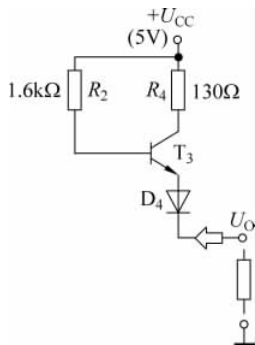


图 3.2.5 高电平输出等效电路

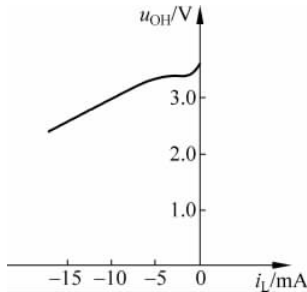


图 3.2.6 高电平输出特性曲线

从输出特性曲线可以看出,当输出电流绝对值小于 5mA 时,输出的高电平的值不会明显下降,可保证高电平的稳定。

必须指出的是,考虑到功耗的限制,TTL 集成门电路手册上给出的高电平输出电流最大值比 5mA 小得多。例如,74 系列门电路的运用条件规定,输出为高电平时,流过负载上的电流不得超过 0.4mA。

3. 低电平输出特性

在如图 3.2.1 所示 TTL 门电路中,当 3 个输入为高电平时,输出为 0。对输出回路,可忽略 T_3 管、 D_4 管,参考电路如图 3.2.7 所示。

分析如图 3.2.7 所示输出等效电路, T_4 管饱和导通,负载电流经 T_4 管从电源“+”端流向电源“-”端,负载电流灌入 T_4 管,这种负载电流称为灌电流。

此外, T_4 管 C-E 间的饱和导通内阻很小,通常在 10Ω 以内。因此,当负载电流增加时,相应输出的低电平电位值仅略有升高,能在较大范围内保证低电平的稳定,低电平输出电位随负载电流变化的曲线如图 3.2.8 所示。

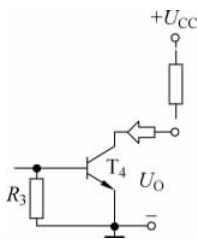


图 3.2.7 低电平输出等效电路

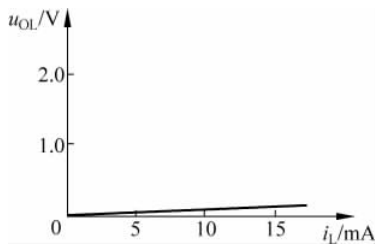


图 3.2.8 低电平输出特性曲线

4. 电压传输特性

所谓 TTL 与非门的电压传输特性,是指输出电压 U_o 随输入电压 U_i 的变化曲线。如图 3.2.9 所示为图 3.2.1 所示与非门电路的电压传输特性曲线。它是通过实验测出来的,即将某一个输入端的电压由零逐渐增大,而将其他输入端接在电源正极以保持恒定高电位。由图可见,曲线可分为 AB、BC、CD、DE 四段。

AB 段: 在这一段里, $U_i < 0.6V$ 使 $U_{B1} < 1.3V$, 则 T_2 管、 T_4 管截止,而 T_3 管、 D_4 管导通,输出电压 $U_o = 3.6V$,为高电平。这一段称为截止区。

BC 段: 当 U_i 为 $0.6 \sim 1.3V$ 时, U_B 的增加使 T_2 管开始导通并进入到放大区,但 T_4 管仍然截止,则 U_o 随着 U_i 的增加而线性地减小。这一段称为线性区。

CD 段: 当 U_i 增加到 $1.4V$ 左右时, T_4 管也开始导通,使输出电压 U_o 急剧下降,这一段称为转折区。在转

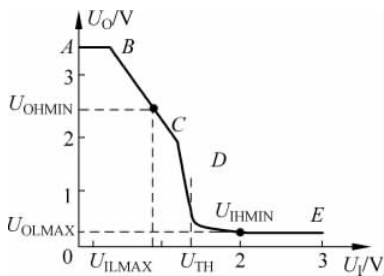


图 3.2.9 电压传输特性



折区中心点所对应的输入电压称为与非门的阈值电压或称为门槛电平,用 U_{TH} 表示。从图 3.2.9 中可知, $U_{TH}=1.4V$ 。

DE 段: 当 $U_1>1.4V$ 时,即特性曲线经过转折区后,就进入了饱和区。在这一段, T_2 管、 T_4 管均导通并饱和,而 T_3 管、 D_4 管截止。输出电压 $U_O\leq 0.3V$,为低电平。

由于门槛电平 U_{TH} 所对应的是电压传输特性转折区的中心点,所以在对与非门的简化定性分析中,常以 U_{TH} 为准。认为当 $U_1<U_{TH}$ 时,与非门是关闭的(即 T_2 管、 T_4 管截止);若在其他输入端都为高电平,则当 $U_1>U_{TH}$ 时,与非门导通。与非门关闭时输出高电平,与非门导通时输出低电平。

从电压传输特性曲线上,可以求出如下参数。

(1) 输出高电平 U_{OH} 、输出低电平 U_{OL} 。

U_{OH} 为与非门关闭时的输出电压,74 系列门电路 U_{OH} 的理论值为 $3.6V$,产品规定的最小值 $U_{OHMIN}=2.4V$ 。

U_{OL} 为与非门导通时的输出电压,74 系列门电路 U_{OL} 的理论值为 $0.3V$,产品规定的最大值 $U_{OLMAX}=0.4V$ 。

由上述规定可以看出,TTL 门电路输出的高低电平不是一个值,而是一个范围。

(2) 开门电平 U_{ON} 、关门电平 U_{OFF} 。

在保证输出为额定低电平的条件下所允许的输入高电平的最小值称为开门电平 U_{ON} ,常形象地表示为 U_{IHMIN} 。

在保证输出为额定高电平的条件下所允许的输入低电平的最大值称为关门电平 U_{OFF} ,常形象地表示为 U_{ILMAX} 。

为了帮助读者进一步理解 U_{OHMIN} 、 U_{OLMAX} 、 U_{IHMIN} 、 U_{ILMAX} 等参数的含义,依照 TTL 手册“ V_{OH} 输出高电平电压——输入端在施加规定的电平下,使输出端为高电平的电压”电特性测试方法的规定,可用实验的方法测量这 4 个参数,各参数间的对应关系如图 3.2.9 所示。由图不难看出,当输入为 U_{IHMIN} 时,对应输出为 U_{OLMAX} ;当输入为 U_{ILMAX} 时,对应输出为 U_{OHMIN} 。

根据图示关系及相关应用约束,有

$$U_{OHMIN} > U_{IHMIN}, \quad U_{OLMAX} < U_{ILMAX}$$

5. 输入端噪声容限

与非门在输入高电平时,为了保证稳定在导通状态,输入的高电平加上瞬态的干扰信号不应小于开门电平 U_{ON} 。所以,在输入高电平时,允许的干扰容限为

$$U_{NH} = U_{OHMIN} - U_{IHMIN}$$

式中, U_{NH} 为高电平噪声容限。

与非门输入低电平时,为了保证稳定在关闭状态,输入的低电平加上瞬态的干扰信号不应超过关门电平 U_{OFF} 。所以,当输入低电平时,允许的干扰容限为

$$U_{NL} = U_{ILMAX} - U_{OLMAX}$$

式中, U_{NL} 为低电平噪声容限。

在集成电路中,用噪声容限的数值来定量地说明门电路的抗干扰能力。显然,噪声容限越大,说明门的抗干扰能力越强。

【例 3.2.1】 如图 3.2.10(a)所示电路中,计算 R_F 的最大值。其中的与非门电路 $Y_H = 3.4V$, $Y_L = 0.2V$, $A_{IHMIN} = 2.0V$, $A_{ILMAX} = 0.8V$, $U_{CC} = 5.0V$, 输入、输出特性分别如图 3.2.4、图 3.2.6、图 3.2.8 所示。

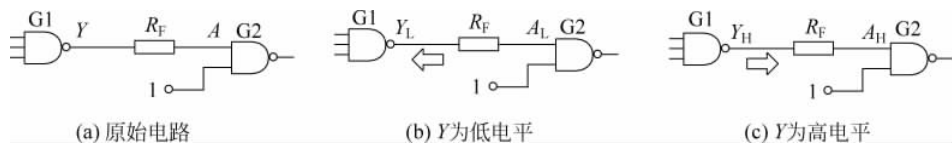


图 3.2.10 例 3.2.1 的图

解 (1) 计算 G1 输出为低电平($Y_L = 0.2V$)时 R_F 的最大值。

与非门电路输入参考等效电路如图 2.2.3 所示,当 Y 为低电平时,输入电流经电阻 R_F 流入 G1,如图 3.2.10(b)所示。

显然,电阻 R_F 的接入将使 G2 的输入低电平电位上升,但应满足 $A < A_{ILMAX} = 0.8V$ 的应用要求,临界输入电流为

$$I_{IL} = \frac{U_{CC} - U_{BEA} - A_{ILMAX}}{R_1} = \frac{5 - 0.7 - 0.8}{4} = 0.875(\text{mA})$$

$$R_{FMAX} = \frac{A_{ILMAX} - Y_L}{I_{IL}} = \frac{0.8 - 0.2}{0.875} \approx 0.686(\text{k}\Omega)$$

(2) 计算 G1 输出为高电平($Y_H = 3.4V$)时 R_F 的最大值。

当 Y 为高电平时,截止穿透电流经电阻 R_F 流入 G2,如图 3.2.10(c)所示。查如图 3.2.4 所示输入特性曲线, $U_{IH} = 3.4V$ 时, $I_{IH} = 40\mu A$ 。

显然,电阻 R_F 的接入将使 G2 的输入高电平电位下降,但应满足 $A > A_{IHMAX} = 2.0V$ 的应用要求,有

$$R_{FMAX} = \frac{Y_H - A_{IHMAX}}{I_{IH}} = \frac{3.4 - 2.0}{40 \times 10^{-6}} = 35(\text{k}\Omega)$$

可见,该电路中, R_F 的最大值为 $0.686\text{k}\Omega$ 。

6. 扇出系数 N_O

扇出系数 N_O 是指与非门带负载的能力,一般用一个与非门能够带同类门的最大数目表示。对 TTL 与非门有 $N_O \geq 8$, 可通过下面的例题来进一步理解。

【例 3.2.2】 在如图 3.2.11 所示电路中,计算与非门 G1 最多可驱动多少个同样的与非门电路。其中的与非门电路输入、输出特性分别如图 3.2.4、图 3.2.6、图 3.2.8 所示,要

求与非门 G1 输出的高、低电平满足 $U_{OH} \geq 3.2\text{V}$ 、 $U_{OL} \leq 0.2\text{V}$ 。

解 (1) 计算 $U_{OH} > 3.2\text{V}$ 时可驱动的非门数目 N_1 。

查如图 3.2.6 所示输出特性曲线, $U_{OH} = 3.2\text{V}$ 时, $I_{OH} = -7.5\text{mA}$, 考虑功耗

$$|I_{OH}| < 0.4\text{mA}$$

查如图 3.2.4 所示输入特性曲线, $U_{IH} = 3.2\text{V}$ 时, $I_{IH} < 40\mu\text{A}$, 有

$$N_1 \leq \frac{|I_{OH}|}{I_{IH}} = \frac{0.4}{0.04} = 10$$

(2) 计算 $U_{OL} \leq 0.2\text{V}$ 时可驱动的非门数目 N_2 。

查如图 3.2.8 所示输出特性曲线, $U_{OL} = 0.2\text{V}$ 时, $I_{OL} = 16\text{mA}$ 。

查如图 3.2.4 所示输入特性曲线, $U_{IL} = 0.2\text{V}$ 时, $I_{IL} = -1\text{mA}$, 有

$$N_2 \leq \frac{I_{OL}}{|I_{IL}|} = \frac{16}{1} = 16$$

可见, 该电路中, 与非门的扇出系数 $N_0 = 10$ 。

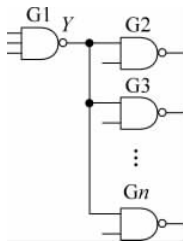


图 3.2.11 例 3.2.2 的图

7. 传输延迟时间

在 TTL 电路中, 由于二极管和三极管从导通变为截止或者从截止变为导通都需要一定的时间, 所以当将理想的矩形电压信号加到 TTL 与非门的输入端时 (其他输入端接高电平), 输出电压的波形不仅要比输入信号滞后, 而且波形的上升沿和下降沿都变坏, 如图 3.2.12 所示。

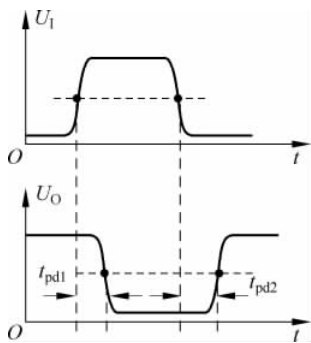


图 3.2.12 平均传输延迟时间

通常将输入脉冲上升沿的 50% 处起到输出脉冲下降沿的 50% 处的时间称为上升延迟时间 t_{pd1} ; 从输入脉冲下降沿的 50% 处起到输出脉冲上升沿的 50% 处的时间称为下降延迟时间 t_{pd2} 。 t_{pd1} 与 t_{pd2} 的平均值称为平均传输延迟时间, 记为 t_{pd} , 即

$$t_{pd} = (t_{pd1} + t_{pd2}) / 2$$

平均传输延迟时间 t_{pd} 是一个很重要的参数, 其数值越小说明电路的速度越高。 t_{pd} 一般通过实验方法测出, 具体值可以从产品手册上查到。

对 74 系列 TTL 门电路而言, 输出级的 T_4 管导通时一般工作在深度饱和状态, 显然, 从深度饱和到截止的时间要长于从截止到饱和的时间, 因此, t_{pd2} 略大于 t_{pd1} 。

3.2.3 其他逻辑功能的 TTL 门电路

在 TTL 系列集成门电路中, 除了与非门外, 还有反相器、与门、或门、或非门、异或门、与或非门等几种常见类型的逻辑门电路。必须指出的是, 尽管这些门电路逻辑功能不同,

但其输入、输出结构形式基本相同,具有相同的输入、输出特性。

1. 反相器

如图 3.2.13 所示电路为 TTL 反相器的典型电路,是最简单的一种 TTL 门电路。

和与非门相比,TTL 反相器的输入级是一个单发射极的三极管,其余部分和与非门电路相同,逻辑功能显而易见。

2. 或非门

如图 3.2.14 所示电路为 TTL 或非门的典型电路,逻辑功能简要分析如下。

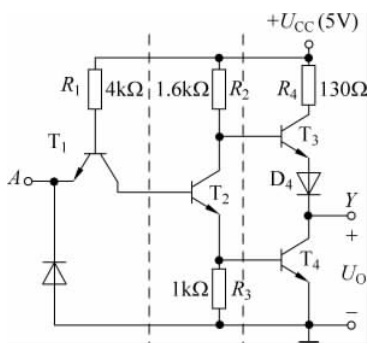


图 3.2.13 TTL 反相器电路

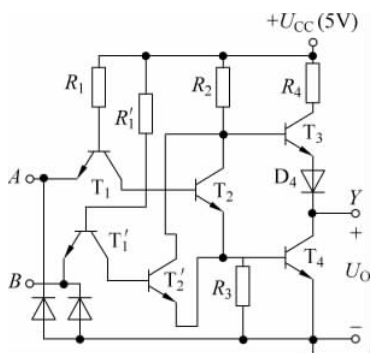


图 3.2.14 TTL 或非门电路

如不考虑输入 B ,则输入 A 及相关电路为典型 TTL 反相器电路。类似地,如不考虑输入 A ,则输入 B 及相关电路也为典型 TTL 反相器电路。

当 $A=1$ 时, T_4 管饱和导通。此时,如果 B 也为 1,则维持 T_4 管的饱和导通不变;如果 B 为 0,则 T_1 管应截止, T_2 管也截止。 T_2 管截止,输入 B 对 T_4 管相当于断开,输入 $A=1$ 维持 T_4 管的饱和导通。

根据上面的分析,当 $A、B$ 两个输入中有一个及以上为 1 时, T_4 管饱和导通,输出为 0,实现了或非的逻辑功能。

3. 与或非门

如图 3.2.15 所示电路为 TTL 与或非门的典型电路,逻辑功能简要分析如下。

如不考虑输入 $C、D$,则输入 $A、B$ 及相关电路为典型 TTL 与非门电路。类似地,如不考虑输入 $A、B$,则输入 $C、D$ 及相关电路也为典型 TTL 与非门电路。

当 $A=B=1$ 时, T_4 管饱和导通。此时,如果

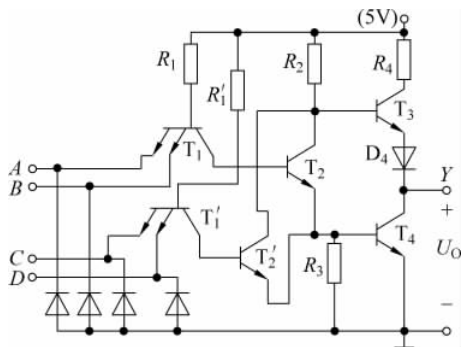


图 3.2.15 与或非门

$C=D=1$, 则维持 T_4 管的饱和导通不变; 如果 $C、D$ 中有 1 个为 0, 则 T_4 管截止, T_2' 管也截止。 T_2' 管截止, 输入 B 对 T_4 管相当于断开, 输入 $A=B=1$, 维持 T_4 管的饱和导通。

根据上面的分析, 当 $AB、CD$ 两组输入有一组及以上为 1 时, T_4 管饱和导通, 输出为 0, 实现了与或非的逻辑功能, 有

$$Y = \overline{AB + CD}$$

关于 TTL 系列其他逻辑功能门电路的典型电路, 限于篇幅, 请读者参看其他书籍。

3.2.4 其他输出结构的 TTL 与非门



1. 集电极开路输出的 TTL 与非门(OC 门)

如图 3.2.16 所示为集电极开路输出的与非门, 如图 3.2.17 所示是它的逻辑符号。必须注意的是, 集电极开路输出的与非门必须外接负载电阻 R_C 和电源 U'_{CC} 才能正常工作, 如图 3.2.16 中虚线部分所示。

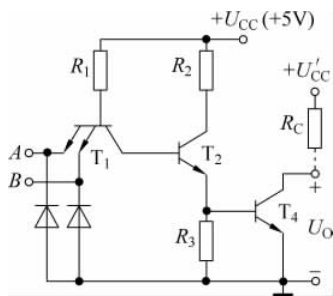


图 3.2.16 OC 与非门

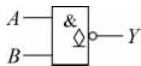


图 3.2.17 OC 与非门逻辑符号

集电极开路的门电路简称为 OC 门。将典型 TTL 与非门电路中的 T_3 管、 D_4 管去掉。如图 3.2.16 所示的 OC 门, 当外接 R_C 和电源 U'_{CC} 以后, 其逻辑功能为 $Y = \overline{AB}$, 工作原理十分简单, 无须赘述。

由于 OC 门采用外接负载电阻和电源, 故可通过选择较高电压的工作电源给负载提供较大的电流, 可很好地改善 TTL 门电路的负载能力。可通过下面的例题来进一步理解。

【例 3.2.3】 在如图 3.2.18(a) 所示电路中, 已知 OC 与非门 G1、G2 输出管截止时漏电流 $I_{OH} = 0.2\text{mA}$, 导通时允许的最大负载电流 $I_{OLMAX} = 16\text{mA}$; 与非门 G3、G4、G5 的低电平输入电流 $I_{IL} = -1\text{mA}$, 高电平输入电流 $I_{IH} = 0.04\text{mA}$, 要求 OC 与非门输出的高、低电平满足 $Y_{OH} \geq 3.2\text{V}$ 、 $Y_{OL} \leq 0.4\text{V}$, 计算 R_L 的合适值。

解 (1) 计算 OC 与非门 G1、G2 输出为高电平时 R_L 的合适值。

输出 $Y=1$, 流过 R_L 的电流为 G1、G2 管截止漏电流和 G3、G4、G5 高电平输入电流的和, 各电流方向如图 3.2.18(b) 所示。

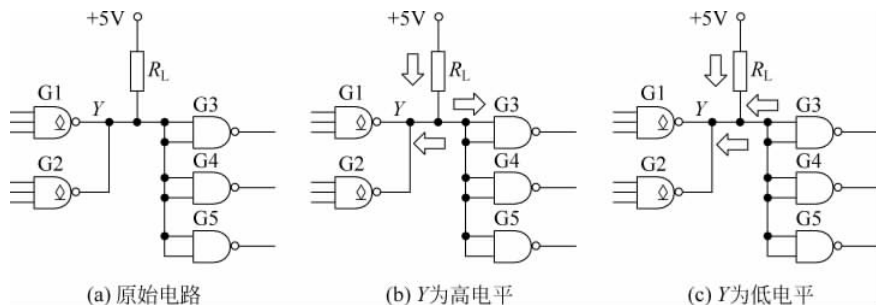


图 3.2.18 例 3.2.3 的图

显然,电阻 R_F 的接入将使 G1、G2 管的输出高电平电位下降,但应满足 $Y_{OH} \geq 3.2V$ 的应用要求,流过 R_L 的电流为

$$I_{R_L} = nI_{OH} + mI_{IH} = 2 \times 0.2 + 6 \times 0.04 = 0.64(\text{mA})$$

R_L 的最大值为

$$R_{L\text{MAX}} = \frac{5 - Y_{OH}}{I_{R_L}} = \frac{5 - 3.2}{0.64} \approx 2.8(\text{k}\Omega)$$

(2) 计算 OC 与非门 G1、G2 输出为低电平时 R_L 的合适值。

当 Y 为低电平时,各电流示意图如图 3.2.18(c) 所示。

显然,电阻 R_F 的减小将使 G1、G2 的输出低电平电位上升,但应满足 $Y_{OL} \leq 0.4V$ 的应用要求,流过 R_L 的电流为

$$I_{R_L} = I_{OL\text{MAX}} - m|I_{IL}| = 16 - 3 \times 1 = 13(\text{mA})$$

注意: 尽管有两个 OC 与非门,但求其最小值的时候,只能考虑只有一个 OC 门输出为 0 的情况。

此外,由于 G3、G4、G5 的输入端各自短接,参考如图 3.2.2 所示的输入级电路,输入端短接时,相当于一个输入。

R_L 的最小值为

$$R_{L\text{MIN}} = \frac{5 - Y_{OL}}{I_{R_L}} = \frac{5 - 0.4}{13} \approx 0.35(\text{k}\Omega)$$

可见,该电路中, R_L 的合适值为 $0.35 \sim 2.8\text{k}\Omega$,可取

$$R_L = 1\text{k}\Omega$$

必须指出的是,应用实践中,输入可以短接,输出一般是不可以短接的。在如图 3.2.18 所示电路中,将与非门 G1、G2 的输出直接短接构成一个输出 Y,之所以可以将输出直接短接,原因是 G1、G2 门为 OC 门。

两个 OC 门输出直接短接参考电路如图 3.2.19 所示。图中,当 $A=B=1$ 时,OC 门 G1 的 T_4 管饱和导通,输出 $Y_0=0$ 。

此时,如果 $C=D=1$,OC 门 G2 的 T_4 管也饱和导通,输出 Y_1 也为 0,总体输出 $Y=0$; 如果 C、D 至少有一个为 0,则 OC 门 G2 的 T_4 管截止,输出 $Y_1=1$,但由于此时 $Y_0=0$,而 G2

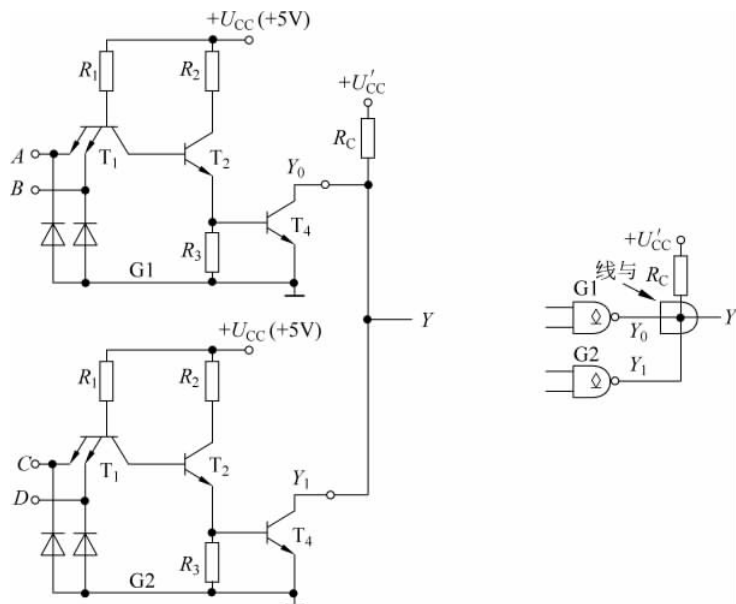


图 3.2.19 OC 门输出直接短接示意图

的 T_4 管截止后, G_2 的输出 Y_1 可理解为与 G_2 的 T_4 管断开, 总体输出 Y 依然为 0。

可见, 两个 OC 门输出直接短接, 相应的输出 Y_0 、 Y_1 至少有一个为 0, 总体输出为 0, 具有与的逻辑功能, 把这种通过输出线直接短接实现的与逻辑功能形象地称为“线与”。

可见, 图 3.2.19 所示电路的输出

$$Y = \overline{AB} \overline{CD} = \overline{AB + CD}$$

2. 三态输出与非门(TS 与非门)

输出三态门简称三态门(TS 门), 它是在普通门的基础上增加控制端和控制电路组成的。

如图 3.2.20 所示为三态门的电路原理图, 其逻辑符号如图 3.2.21 所示。三态门的逻辑功能为与非的逻辑功能。

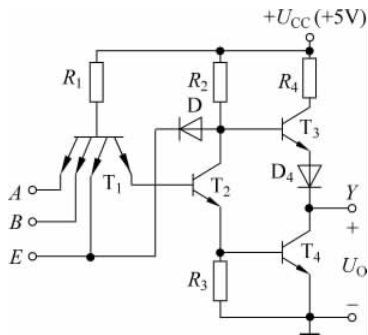


图 3.2.20 三态输出与非门

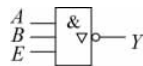


图 3.2.21 TS 门逻辑符号

在如图 3.2.20 所示电路中,当使能控制信号 $E=0$ 时, T_1 管导通, T_2 管、 T_4 管均截止,而导通的二极管 D 将 T_2 管集电极电位钳制在小于或等于 1V 的电平上,使 T_3 管和 D_4 管也不能导通。此时,输出端 Y 对电源 U_{CC} 和对地都是断开的,呈现为高阻抗状态,记为

$$Y = Z$$

当使能控制端信号 $E=1$ 时, D 管截止。此时,三态门处于工作状态,即有

$$Y = \overline{ABE}$$

综上所述,图 3.2.20 所示电路的输出端有三种状态:高电平、低电平、高阻抗。而处于工作状态时,实现的功能又是与非逻辑运算,所以该电路称为 TTL 输出三态与非门。

在数字系统中,为了减少输出连线,经常在一条数据总线上分时传递若干门电路的输出信号,利用三态门可以实现这种总线结构,如图 3.2.22 所示。

在图 3.2.22 中,只要控制各个门的 E 端,则可实现在一条数据总线上分时传递各门电路的输出信号。例如现在要传递门 G_i 的输出信号,则令使能控制端 $E_i=1$,使三态门 G_i 工作;而其他三态门的使能控制端 E 均为 0,输出端为高阻抗状态,不工作;这样就将三态门 G_i 的输出信号送到了总线上。

在 TTL 电路中,不仅有三态输出的与非门、反相器、缓冲器等,而且在许多中规模乃至大规模集成电路中也采用了三态输出电路。

此外,还可利用三态输出缓冲器实现双向输出的总线结构。用三态缓冲器实现的 1 位数据双向输出总线结构如图 3.2.23 所示。图中,三态门 G1 的输出控制端为高电平有效,G2 的输出控制端为低电平有效。当 $E=1$ 时,G1 工作,G2 不工作,数据 D_0 被送往数据总线;当 $E=0$ 时,G2 工作,G1 不工作,从数据总线上读取数据并送给 D_1 。

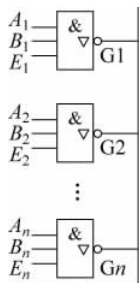


图 3.2.22 将三态与非门接成总线结构

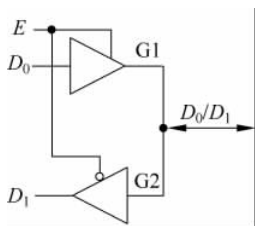


图 3.2.23 用三态输出缓冲器实现双向输出

3.2.5 TTL 数字集成电路的各种系列

TI 公司最初生产的 TTL 电路取名为 SN54/74 系列,为 TTL 基本系列。54 系列和 74 系列产品的主要区别是允许的环境工作温度不同。54 系列产品允许的环境工作温度为 $-55 \sim +125^{\circ}\text{C}$,而 74 系列产品允许的环境工作温度为 $-40 \sim +85^{\circ}\text{C}$ 。在后面的内容中,统一使用 74 系列,读者应注意二者之间的差异。

74 系列之后,又相继生产了 74H、74L、74S、74LS、74AS、74ALS、74F 等改进系列。

74 系列电路特点如前所述,每级门电路的传输时间约为 9ns,功耗约为 10mW,速度、功耗等方面的性能均不能令人满意。74H(High-speed TTL)、74L(Low-power TTL)系列是早期采用的两种改进系列。

74H 系列将输出电路中的二极管改为三极管,采用了两级射极输出;并将所有的电阻值减小许多,从而提高了负载能力,同时也提高了工作速度。其平均传输延迟时间 t_{pd} 约为 74 系列与非门的平均传输延迟时间的 1/2。因为 74H 系列电路中电阻值大大减小,将使内部电流增加,故增加了电路的功耗。74L 系列加大了各电阻的阻值,降低了电路的功耗,但增加了电路的传输延迟时间。这两个系列产品的综合性能并未明显改善,已经被淘汰。

74 系列电路和 74H 系列电路中的三极管在导通时几乎都处于饱和状态,当晶体三极管由饱和状态转换到截止状态时,需要一个较大的存储时间以消除在晶体管基区内新存储的电荷,所以这是限制速度不能提高的主要原因。74S(Schottky TTL)系列又称为肖特基系列,电路采用了抗饱和电路,在三极管的基极和集电极间串接一只肖特基二极管(抗饱和三极管),如图 3.2.24 所示,有效避免了三极管饱和时进入深度饱和状态,提高了工作速度,平均传输时间约为 3ns。

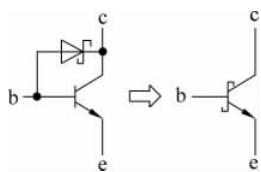


图 3.2.24 抗饱和三极管

74LS 系列电路称为低功耗肖特基系列,大幅增加了电路中各电阻的阻值,降低了功耗。74LS 系列门电路功耗仅为 74S 系列的 1/3、74 系列的 1/5、74H 系列的 1/10。因为 74LS 系列门电路使用了抗饱和三极管,有利于缩短传输延迟时间,因此,尽管大幅增加了电路中各电阻的阻值,传输延迟时间依然可以达到 74 系列的水平,是目前依然在使用的 TTL 集成门电路,也是 TTL 的主流系列。

74AS(Advanced Schottky TTL)系列又称为高级肖特基系列,结构与 74LS 系列相似,但大幅度减小了电路中各电阻的阻值,提高了工作速度,缺点是功耗较大,比 74S 系列的功耗还要大一些。

74ALS 是为了获得更小的延迟-功耗积而设计的改进系列。它的延迟-功耗积是所有 TTL 系列中最小的一种。74F(Flash TTL)系列在功耗和速度两方面均介于 74AS 和 74ALS 系列之间,为设计人员提供了一种折中选择。

TTL 电路不同系列的四二输入与非门(74××00)的主要性能比较如表 3.2.3 所示,读者可参考 TI 公司产品的性能参数理解其他半导体器件公司的类似产品及其之间的差异。

表 3.2.3 TTL 系列器件(74××00)主要性能比较

参数名称与符号	系 列					
	74	74S	74LS	74AS	74ALS	74F
U_{ILMAX}/V	0.8	0.8	0.8	0.8	0.8	0.8
U_{OLMAX}/V	0.4	0.5	0.5	0.5	0.5	0.5
U_{IHMIN}/V	2.0	2.0	2.0	2.0	2.0	2.0

续表

参数名称与符号	系 列					
	74	74S	74LS	74AS	74ALS	74F
U_{OHMIN}/V	2.4	2.7	2.7	2.7	2.7	2.7
I_{ILMAX}/mA	-1.0	-2.0	-0.4	-0.5	-0.2	-0.6
I_{OLMAX}/mA	16	20	8	20	8	20
$I_{IHMAX}/\mu A$	40	50	20	20	20	20
I_{OHMAX}/mA	-0.4	-1.0	-0.4	-2.0	-0.4	-1.0
t_{pd}/ns	9	3	9.5	1.7	4	3
功耗/mW	10	19	2	8	1.2	4
延迟-功耗积	90	57	19	13.6	4.8	12

* 3.2.6 ECL 集成电路简介

发射极耦合逻辑(Emitter Coupled Logic, ECL)电路中的信号传递主要通过每个三极管的集电极电流信号逐级传递进行,也称电流型逻辑(Current-Mode Logic)电路。

ECL 集成电路主要优点如下:

(1) 正常工作状态下, ECL 电路中的晶体管工作于线性区或截止区, 为非饱和型逻辑电路。

(2) ECL 电路中的晶体管工作在线性区、截止区两个工作区, 其逻辑摆幅较小。由于逻辑摆幅小, 导通时未进入饱和状态, 因此有效缩短了电路各节点电位的上升时间和下降时间。目前, ECL 门电路的传输延迟时间已缩短至 0.1ns 以内, 是所有逻辑门电路中最快的一种, 常用于高速系统中。

(3) ECL 集成电路一般采用互补输出, 输出开关管对为射极跟随输出, 发射极反馈电阻也比较大, 故这种电路具有很低的输出阻抗, 负载特性好。国产 CE10K 系列门电路的扇出系数达 90 以上。

尽管 ECL 门电路具有负载能力强、速度快的优点, 其缺点也非常明显的, 主要有:

(1) 三极管导通时工作在线性区, 三极管 CE 极压降高, 功耗很大, 每个门的平均功耗可达 100mW 以上。

(2) 逻辑摆幅小, 输出电平的稳定性差, 噪声容限低, 对抗干扰能力不利。

基于上面的优缺点, 虽然 ECL 电路与 TTL 电路几乎同时研发成功并投入使用, 但其应用范围和普及程度远不如 TTL 电路, 产品的种类也不如 TTL 丰富。关于 ECL 电路的更多知识, 请读者参考相关专业书籍。

复习与思考

在如图 3.2.25 所示电路中, 图(a)是或非门, 图(b)是三态与非门, 请参考此电路设计一个三态或非门。

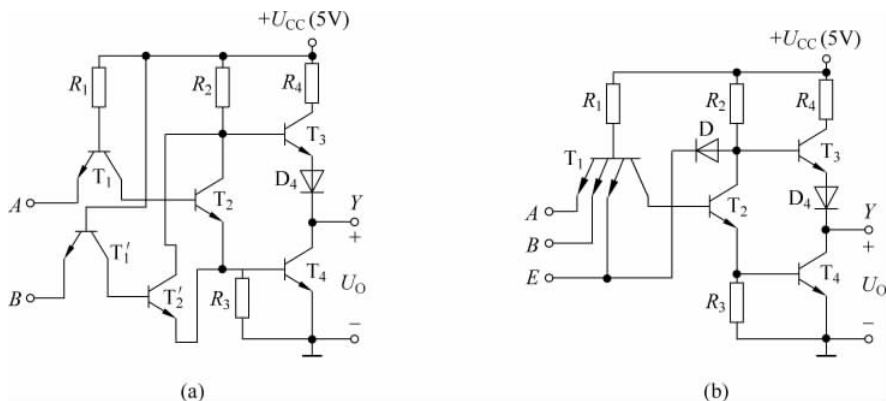


图 3.2.25 复习与思考的图

3.3 利用 MOS 管构成逻辑门电路

MOS 管 (Metal-Oxide-Semiconductor Field-Effect Transistor, 金属-氧化物-半导体场效应管) 用来构成常见逻辑门电路。

场效应管 (FET) 是利用输入回路的电场效应来控制输出回路电流的一种半导体器件, 是一种电压控制器件, 理想情况下输入电流为零, 即功耗为零。与以三极管为开关器件的 TTL 电路相比, MOS 电路具有输入电阻大、功耗低、噪声低等突出优点, 已成为制造超大规模集成电路的主要器件, 在很多场合下取代了 TTL 电路。

3.3.1 MOS 管的开关特性

场效应管是一个电压控制器件, 结构示意图如图 3.3.1(a) 所示。三个与外部连接的电极, 分别为源极 (S, 相当于三极管的发射极)、栅极 (G, 相当于三极管的基极)、漏极 (D, 相当于三极管的集电极)。

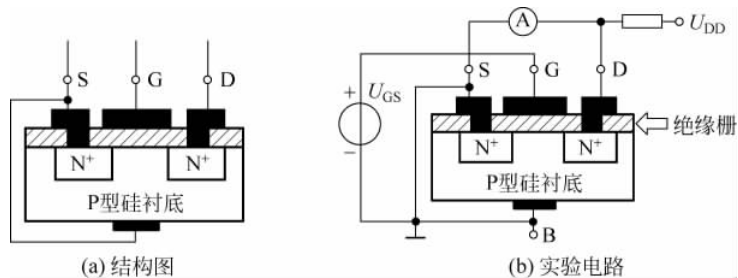


图 3.3.1 MOS 管的图

从制作工艺角度, 为满足电压控制特性的需要, 一般在一定结构的半导体器件上, 加上二氧化硅和金属, 形成与外部连接的电极, 这样的场效应管称为 MOS 型场效应管。MOS

型 FET 的衬底(B)一般和源极相连,大多数情况下,源极和漏极可以互换。

可通过如图 3.3.1(b)所示的实验电路来理解场效应管的电压控制特性。图中, U_{GS} 为可调电源,可从 $-U_{DD}$ 到 U_{DD} 连续调节。

当 U_{GS} 为 $-U_{DD}$ 时,电流表指示为 0,基本没有电流流过,继续调大 U_{GS} ,电流表指示依旧为 0,参考效果如图 3.3.2(a)所示。

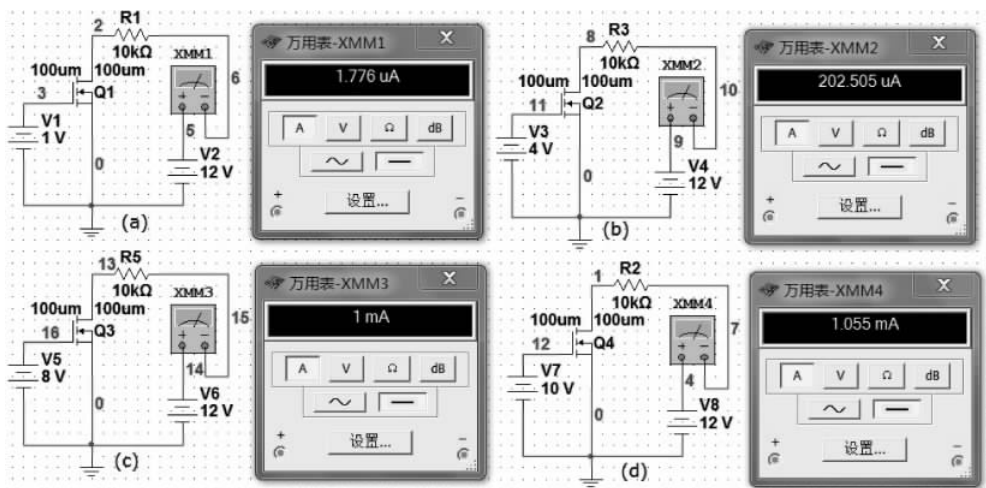


图 3.3.2 场效应管的电压控制特性仿真电路

继续调大 U_{GS} ,当 U_{GS} 大于某个值时,电流表有明显指示,继续调大 U_{GS} ,电流表上流过的电流相应增大,这便是场效应管电压控制输出回路电流特性,参考效果如图 3.3.2(b)、(c)所示。

仔细分析如图 3.3.1 所示的实验电路,当 U_{GS} 的值为负或较小时,电流表指示为 0,主要原因是因为 D、S 之间是两个背靠背的二极管。 U_{GS} 加上正的电压,当达到一定值时,在电动势的作用下,改变内部载流子的分布,在 D、S 之间形成一个导电通路,场效应管导通。

当 U_{GS} 的值超过一定大小时, U_{GS} 增大,电流表上流过的电流基本不变,参考效果如图 3.3.2(c)、(d)所示。

在如图 3.3.1(b)所示的实验电路中,D、S 之间的导电通路为 N 型(称为 N 型沟道),只有当 U_{GS} 大于某个值时,电流表才有指示,场效应管导通,对应的 MOS 类型为 N 沟道增强型 MOS 管(NEMOS)。

可这样理解 P 型衬底的 MOS 管导电通路为 N 型的原因:由于两个 N 型区为高掺杂区,PN 结在反向电场的作用下,反向漂移加强。当反向电场加强到一定程度时,将在 D、S 之间形成一个 N 型的导电通路。

类似地,可选择 N 型衬底的 MOS 管,两个 P 型区为高掺杂区,D、S 之间的导电通路为 P 型,其导通方式与实验方式则有所区别,读者可结合 PN 结的特点理解 P 沟道增强型 MOS 管(PEMOS)的电压控制特点,具体为: U_{GS} 加负的电压,当绝对值达到一定值时,D、S

之间形成一个导电通路,场效应管导通,对应的 MOS 类型为 N 沟道增强型 MOS 管(NEMOS)。

根据制作工艺及应用需求,对 N 沟道场效应管,存在 U_{GS} 大于某个负电压时可导通、 U_{GS} 大于零时可导通、 U_{GS} 大于某个正电压时可导通等类型,包括结型、耗尽型、增强型 3 种。场效应管的系列树如图 3.3.3 所示,不同类型场效应管的电路符号如图 3.3.4 所示。

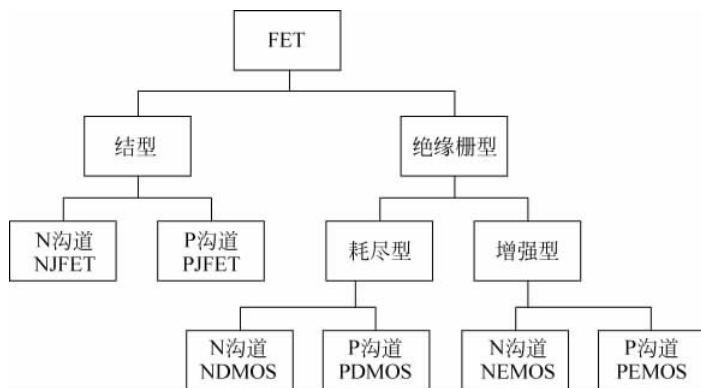


图 3.3.3 场效应管的系列树

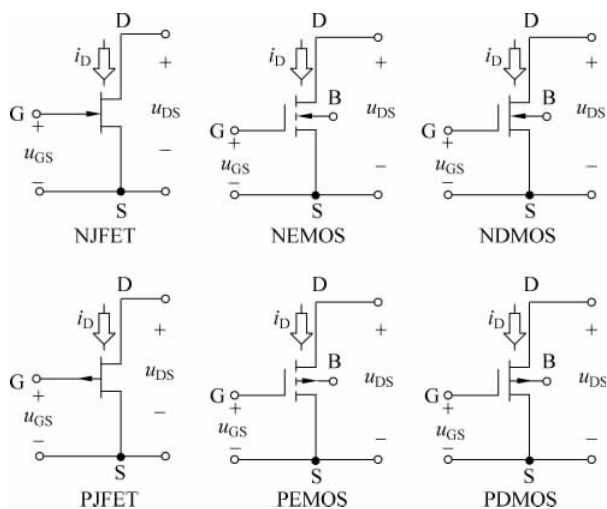


图 3.3.4 场效应管的电路符号

在 CMOS 集成电路中,使用 PEMOS、NEMOS 两种类型的 MOS 管作为开关原件,也常使用 PMOS、NMOS 等术语描述 MOS 管,当使用这些术语描述时,均指增强型的 MOS 管。

可通过如图 3.3.1(b) 所示的实验电路进一步理解 MOS 管的输入输出特性。图中, MOS 管导通时, G、S 间经过绝缘栅后相互连接,输入电流 $i_G \approx 0$, 输入特性显而易见。

输出特性常用输出电压、输出电流等参数来描述。在如图 3.3.1(b) 所示的实验电路中,输出电流与控制电压栅即源电压 U_{GS} 相关。N 沟道增强型 MOS 场效应管的输出、转移

特性如图 3.3.5 所示。

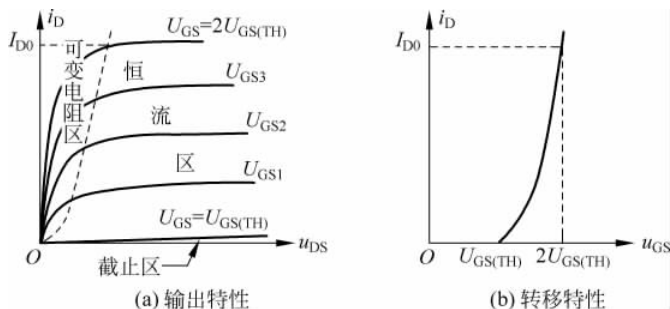


图 3.3.5 N 沟道增强型 MOS 场效应管特性

由如图 3.3.5(a)所示的输出特性曲线,可知 MOS 管也包括 3 个工作区,分别为可变电阻区、恒流区、截止区,类似三极管的饱和、放大、截止 3 个区。

在其中的可变电阻区,电流几乎直线上升,相当于开关闭合。在截止区,几乎没有电流,相当于开关断开。

适当选择电路参数,在数字电平作用下,可使 MOS 管在可变电阻、截止两个区工作,可见,MOS 管可作为开关使用。

图 3.3.1(b)所示的实验电路用 MOS 电路符号表示,其余电压、电流用输入、输出等形式表示,如图 3.3.6 所示。

根据上面的分析,当 $U_1=1$ 时,大于 MOS 管开启电压,场效应管导通,工作在可变电阻区, $U_o=0$,为低电平。当 $U_1=0$ 时,小于 MOS 管开启电压,场效应管截止,工作在截止区,输出电流近似为 0, $U_o=1$,为高电平。可见,图 3.3.1(b)所示的实验电路构成了 MOS 非门电路。

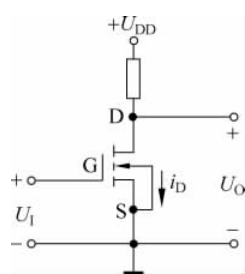


图 3.3.6 MOS 管非门

3.3.2 常用 CMOS 门电路构成特点

尽管单个 MOS 管便可构成非门电路,但该电路的输入、输出特性较差。应用实践中的 MOS 门电路主要为 CMOS 门电路。CMOS 门电路是由 P 沟道增强型 MOS 管和 N 沟道增强型 MOS 管按照互补对称形式连接起来构成的逻辑运算电路(并由此而得名)。

CMOS 门电路中,最常用的门电路有反相器和传输门。

1. CMOS 反相器

将一个 P 沟道增强型 MOS 管和一个 N 沟道增强型 MOS 管串联互补,就组成了一个 CMOS 反相器。一般以 P 沟道 MOS 管作为负载管,N 沟道 MOS 管作为输入管,其电路如图 3.3.7(a)所示。图中,它们的栅极 G_N 、 G_P 连接起来作为反相器的输入端,漏极 D_N 、 D_P 连接起来作为反相器的输出端, T_P 管的源极 S_P 接电源 U_{DD} , T_N 管的源极 S_N 接地。 T_N 管、 T_P 管

的特性对称, $U_{GS(TH)N} > 0, U_{GS(TH)P} < 0, U_{GS(TH)N} = |U_{GS(TH)P}|$ 。为了保证电路能够正常工作, 要求 $U_{DD} > U_{GS(TH)N} + |U_{GS(TH)P}|$ 。

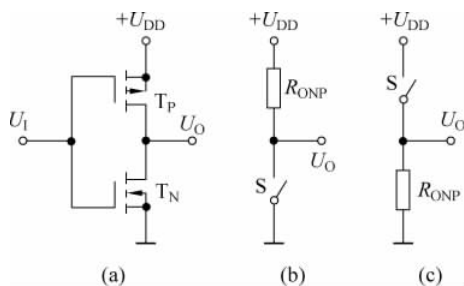


图 3.3.7 CMOS 反相器

当输入 $U_1 = U_{IL} = 0V$ 时, 输入 T_N 管的 $U_{GSN} = U_{IL} = 0V$, 小于 $U_{GS(TH)N}$, 所以 T_N 管截止。同时由于负载管 T_P 的 $U_{GSP} = U_1 - U_{DD} = 0 - U_{DD} = -U_{DD}$, 小于 $U_{GS(TH)P}$, 所以负载管 T_P 导通, 其简化等效电路如图 3.3.7(b) 所示。输出电压 $U_O \approx U_{DD}$ 。

当输入 $U_1 = U_{IH} = U_{DD}$ 时, 输入 T_N 管的 $U_{GSN} = U_{IH}$ 大于 $U_{GS(TH)N}$, 所以 T_N 管导通。同时由于负载管 T_P 的 $U_{GSP} = U_1 - U_{DD} = U_{DD} - U_{DD} = 0V$, 大于 $U_{GS(TH)P}$, 所以负载管 T_P 截止, 其简化等效电路如图 3.3.7(c) 所示。输出电压 $U_O \approx 0V$ 。

故图 3.3.7(a) 电路实现了反相的功能。

2. CMOS 传输门

如图 3.3.8 所示为 CMOS 传输门的电路图。它是由 P 沟道增强型 MOS 管和 N 沟道增强型 MOS 管并联互补组成。图 3.3.9 为它的逻辑符号。

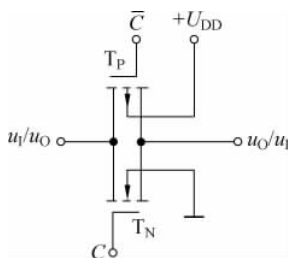


图 3.3.8 CMOS 传输门的电路图

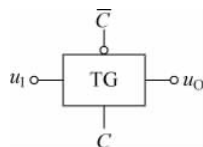


图 3.3.9 CMOS 传输门的逻辑符号

所谓并联互补, 是指将 T_P 管的源极和 T_N 管的漏极相连, 作为传输门的输入/输出端; 将 T_P 管的漏极和 T_N 管的源极相连, 作为传输门的输出/输入端。两个栅极受一对控制信号 C 和 \bar{C} 控制。由于 MOS 管的结构是对称的, 所以信号可以双向传输。 U_1 是被传输的模拟电压。

下面简要分析其工作原理:

(1) $C=0, \bar{C}=1$ 。由于 C 端为低电平 $0V, \bar{C}$ 端为高电平, 则 T_N 管、 T_P 管均截止, 故传输

门截止。其输入和输出之间是断开的。

(2) $C=1, \bar{C}=0$ 。由于 C 端为高电平、 \bar{C} 端为低电平 $0V$ ，则 T_N 管、 T_P 管均导通，故传输门导通。其输出 $U_o=U_i$ 。 U_i 可以是 $0V$ 到 U_{DD} 之间的任意电压值。

根据上面的分析，可见，CMOS 传输门类似于一个模拟开关，当有控制信号时，开关闭合，输出 $U_o=U_i$ 。无控制信号时，开关断开，不允许信号通过。

3. 其他功能 CMOS 门

如图 3.3.10 所示为 CMOS 与非门电路图，图中两个 PMOS 管(T_1 、 T_3)是并联起来的，两个 NMOS 管(T_2 、 T_4)是串联起来的。

当 A 、 B 两个输入端至少有一个为低电平 0 时，与该端相连的 NMOS 管截止而 PMOS 管导通。如两个 NMOS 管是串联的，则只要其中一个截止，输出端对地的电阻就非常大；如两个 PMOS 管是并联的，则只要其中一个导通，输出端和电源之间的电阻就很小。所以，输出为高电平 1 。

只有当两个输入端 $A=B=1$ 时，两个 NMOS 管才都导通，两个 PMOS 管都截止。由于导通管的内阻很小，所以输出为低电平 0 。即图 3.3.10 电路具有与非功能。

如图 3.3.11 所示为 CMOS 或非门电路图，图中两个 PMOS 管(T_1 、 T_3)是串联起来的，两个 NMOS 管是并联起来的。

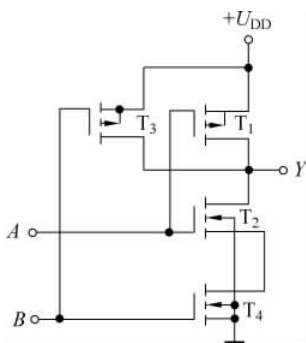


图 3.3.10 CMOS 与非门电路图

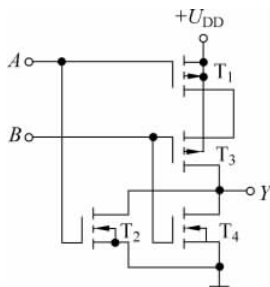


图 3.3.11 CMOS 或非门电路图

当 A 、 B 两个输入端至少有一个为高电平 1 时，与该端相连的 NMOS 管导通而 PMOS 管截止。因为两个 PMOS 管是串联的，则只要其中一个截止，输出端和电源之间的电阻就非常大；如果有一个 NMOS 管是导通的，则输出端和地之间的电阻就很小。所以，输出为低电平 0 。

只有当两个输入端 $A=B=0$ 时，两个 PMOS 管才都导通，两个 NMOS 管都截止。由于导通管的内阻很小，所以输出为高电平 1 。即图 3.3.11 电路具有或非功能。

3.3.3 用 CMOS 传输门和反相器构成逻辑电路

CMOS 传输门和反相器组合，可构成各种复杂的逻辑电路，可通过下面的例题来进一

步理解。

【例 3.3.1】 分析如图 3.3.12 所示电路的逻辑功能。

解 (1) $A=0$ 。当 $A=0$ 时,根据传输门的控制特点,TG1 导通,TG2 截止, $Y=B$ 。

由 $A=0, Y=B$,有

$$Y = \bar{A}B$$

(2) $A=1$ 。当 $A=1$ 时,根据传输门的控制特点,TG2 导通,TG1 截止, $Y=\bar{B}$ 。

写成表达式,有

$$Y = A\bar{B}$$

因此,有

$$Y = A\bar{B} + \bar{A}B = A \oplus B$$

可见,图 3.3.12 所示电路为异或门。

【例 3.3.2】 分析如图 3.3.13 所示电路的逻辑功能。

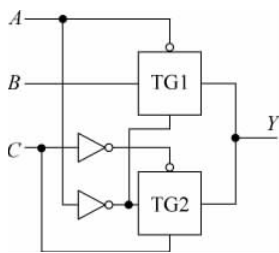


图 3.3.13 例 3.3.2 的图

解 (1) $A=0$ 。当 $A=0$ 时,根据传输门的控制特点,TG1 导通,TG2 截止, $Y=B$ 。

由 $A=0, Y=B$,有

$$Y = \bar{A}B$$

(2) $C=1$ 。当 $C=1$ 时,根据传输门的控制特点,TG2 导通, $Y=\bar{A}$ 。

写成表达式,有

$$Y = \bar{A}C$$

因此,有

$$Y = \bar{A}B + \bar{A}C$$

必须指出的是,上面的电路存在逻辑混乱的可能,即当 $A=0, C=1$ 时,TG1, TG2 同时导通,输出混乱,实际应用中应避免这种输入组合。

根据上面的例题,可总结分析方法如下:

- (1) 逐个分析传输门导通条件及对应输出,写成与表达式。
- (2) 将所有传输门输出或,求出最终输出。
- (3) 分析所有传输门导通条件,若存在多个传输门同时导通的可能,则总结相关应用约束。

【例 3.3.3】 参考例 3.3.1、例 3.3.2 实现一个二输入或门。

解 设二输入或门输入变量为 A, B ,输出为 Y 。

为避免两个传输门同时导通的可能,可选择变量 A 为两个传输门控制变量。

由或门功能 $Y=A+B$,有

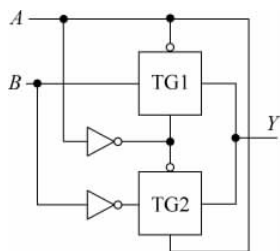


图 3.3.12 例 3.3.1 的图

$$A = 0, Y = B$$

$$A = 1, Y = A$$

显然,上面是或门逻辑功能的全部描述,可根据上面的描述,参考图 3.3.12 所示电路图画出电路,如图 3.3.14 所示。

当然,可选择变量 B 为 2 个传输门控制变量,有

$$B = 0, Y = A$$

$$B = 1, Y = B$$

读者可参考图 3.3.14 自己完成该设计。

复习与思考

电路如图 3.3.15 所示,写出该电路的输出 Y 的表达式。

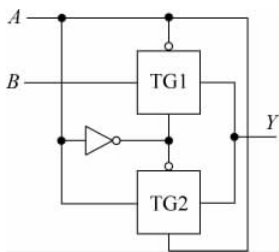


图 3.3.14 例 3.3.3 的图

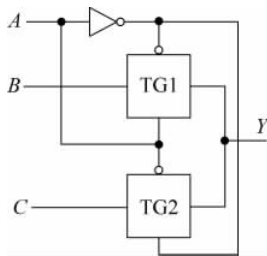


图 3.3.15 复习与思考的图

3.4 CMOS 集成逻辑门电路



CMOS 集成逻辑门电路是另一类流行的集成门电路。在很多场合下取代了 TTL 电路,已成为制造超大规模集成电路的主要器件。

3.4.1 集成 CMOS 反相器的电路特点

如图 3.3.7(a)所示的 CMOS 反相器为 CMOS 电路的基本结构形式。因为 MOS 管的栅极和衬底之间的绝缘介质非常薄,很容易被击穿(耐压约为 100V)。在集成的 CMOS 反相器中,增加了输入保护电路,以防止因接触到带静电电荷的物体时发生静电放电而损坏电路。

74HC 系列的 CMOS 器件中,多采用如图 3.4.1(a)所示的输入保护电路(虚线框中的电路)。图中,小椭圆框中的 C_1 、 C_2 为 T_1 管、 T_2 管栅极寄生电容,右边椭圆框中为前面介绍的 CMOS 反相器电路。图中, D_1 、 D_2 等二极管导通压降 U_{DF} 约为 0.7V,反向击穿电压约为 30V。

显然,在输入信号的正常工作范围内($0 < U_1 < U_{DD}$),输入保护电路中的 D_1 、 D_2 等二极管截止,不工作。当输入信号 U_1 大于 $U_{DF} + U_{DD}$ 时, D_1 管导通,将 T_1 管、 T_2 管的栅极电位锁

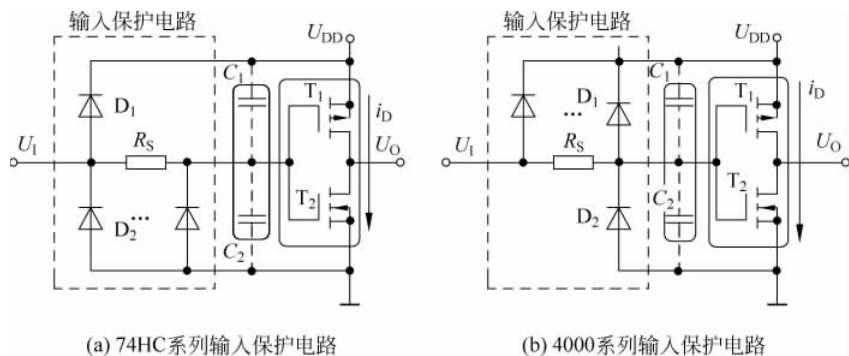


图 3.4.1 集成 CMOS 反相器

定在 $U_{DF} + U_{DD}$ 。当 U_1 小于 $-U_{DF}$ 时, D_2 管导通, 将 T_1 管、 T_2 管的栅极电位锁定在 $-U_{DF}$ 。可见, 虚线框中的电路主要起输入保护的作用, 正常情况下不起作用。

如图 3.4.1(b) 所示的电路为 4000 系列的 CMOS 器件中常采用的输入保护电路。读者可自行分析该电路的工作原理。

必须指出的是, 输入保护电路的保护措施是有一定限度的, D_1 管、 D_2 管的正向导通电流过大或者反向电压过大均会损坏输入保护电路, 进而损坏 MOS 管。因此, 对 CMOS 器件, 应特别注意器件的正确使用方法。

为帮助读者进一步理解 CMOS 反相器的特点, 下面给出 CMOS 反相器的传输特性, 如图 3.4.2 所示。

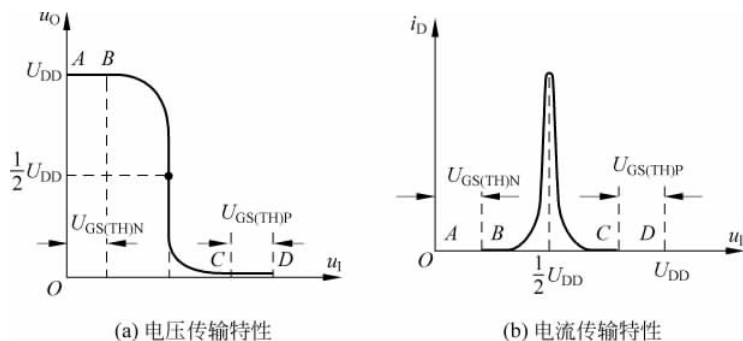


图 3.4.2 集成 CMOS 反相器传输特性

如图 3.4.2(a) 所示为 CMOS 反相器的电压传输特性。当反相器工作在 AB 段的时候, $U_1 < U_{GS(TH)N}$, 上面的 MOS 管 T_1 导通, 下面的 MOS 管 T_2 截止, 输出 $U_O = 1$ (近似为 U_{DD})。当反相器工作在 CD 段的时候, $u_1 > U_{DD} - |U_{GS(TH)P}|$, 上面的 MOS 管 T_1 截止, 下面的 MOS 管 T_2 导通, 输出 $U_O = 0$ (近似为 0)。 BC 段为转折区, 转折区中心点对应的输入电压称为 CMOS 反相器的阈值电压, 用 U_{TH} 表示。

由图可看出, $U_{TH} = \frac{1}{2} U_{DD}$ 。

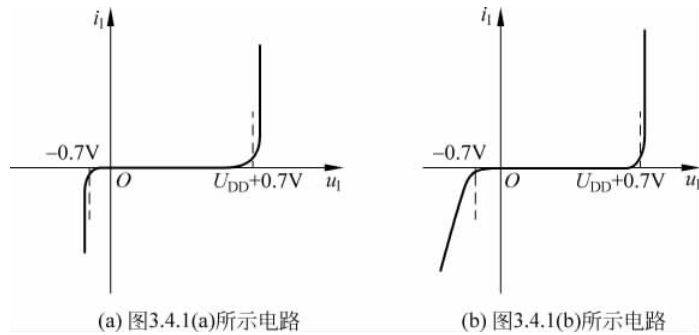


图 3.4.3 集成 CMOS 反相器的输入特性

由图 3.4.1 所示电路可知,当反相器工作在 AB 或 CD 段的时候, MOS 管 T_1 、 T_2 总有一个截止,穿透电流 i_D 为 0。只有当 $u_i = U_{TH}$ 时, MOS 管 T_1 、 T_2 均导通,穿透电流 i_D 较大。根据上述分析,可得到如图 3.4.2(b) 所示的 CMOS 反相器的电流传输特性。

除传输特性外,还常使用输入、输出特性描述电路的特点。

电路的输入特性主要包括输入电压、输入电流、输入电阻等参数。对 CMOS 电路,输入高电平电压近似为 U_{DD} ,输入低电平电压近似为 0。MOS 器件为电压控制器件,理想情况下,输入电阻无穷大,输入电流为 0,输入特性显而易见。考虑输入保护电路的作用,可总结如图 3.4.1 所示电路的输入特性,如图 3.4.3 所示。

电路的输出特性也常用输出电压、输出电流、输出电阻等参数来描述。对 CMOS 电路,输出高电平标准电压近似为 U_{DD} ,输出低电平电压近似为 0。显然,随着输出电流绝对值的增大,输出高电平的电压将下降,输出低电平的电压将上升,可参考图 3.4.4 进一步理解集成 CMOS 反相器的输出特性。

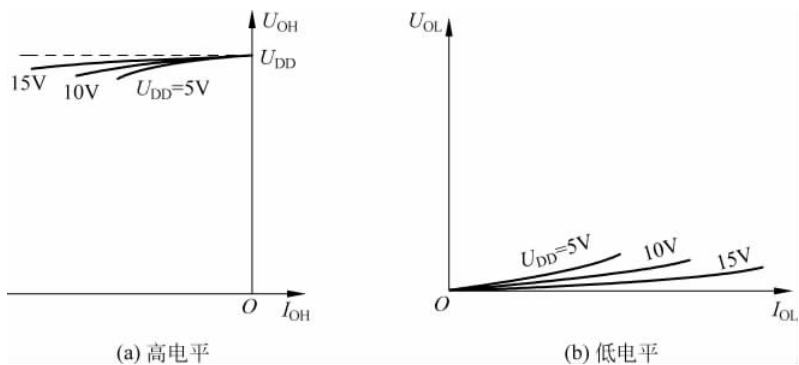


图 3.4.4 集成 CMOS 反相器的输出特性

必须指出的是,图 3.4.3 和图 3.4.4 所描述的输入、输出特性是 CMOS 反相器静态下的特性, CMOS 电路理论上输入电流为 0、功耗为 0 也是电路的静态特点。显然, CMOS 电路高、低电平两种状态的转换存在一个过渡过程,参考如图 3.4.2(b) 所示的 CMOS 反相器的电流传输特性可知,从动态角度, CMOS 电路功耗并不为 0,存在着一定的动态功耗,但是

与 TTL 电路相比,功耗小得多。

基于上面的分析,可归纳 CMOS 反相器的主要优点如下:

(1) 静态功耗极低。由于 CMOS 电路中的 T_1 、 T_2 两管不是同时导通,而截止管的电阻又很高,这就使得在任何时候流过电路的电流都很小,仅为管子的漏电流(小于微安级),所以这种互补的非门(反相器)电路的功耗很小,各个门的静态功耗只有 0.01mW (而 TTL 每个门的功耗约 10mW)。

(2) 抗干扰能力较强。由于 CMOS 电路的阈值电平近似等于 $1/2U_{\text{DD}}$,在输入信号变化时,过渡变化陡峭,所以低电平噪声容限和高电平噪声容限近似相等,而且随着电源电压的增加,抗干扰能力也增强。

(3) 输出电压 U_o 的逻辑摆幅较大。由于输出低电平约为 0V ,输出高电平约为 U_{DD} ,所以输出电压的逻辑摆幅较大。

当然,任何系统有某个方面的突出优点,必存在某些方面相对应的不足。CMOS 电路理论上输入电流为 0、功耗为 0,这是其突出优点。输出高电平标准电压近似为 U_{DD} ,输出低电平电压近似为 0,高低电平幅度大,有利于提高电路的可靠性。输入电流近似为 0,使 CMOS 门电路的驱动能力与 TTL 电路相比大幅提升。直流状态下,CMOS 门电路的扇出数是非常大的。低频(小于 1MHz)工作状态下,CMOS 电路的扇出数一般也可达 50 以上。

TTL 电路的高电平标准电压一般为 3.2V ,与 TTL 电路相比,CMOS 电路的高电平近似为 U_{DD} 。因为 CMOS 电路的高电平比 TTL 电路的高电平高得多,因此,同等条件下,CMOS 电路高、低电平两种状态的转换过渡需要更长的时间,CMOS 门电路的传输延时也相对要大一些。

当然,随着集成电路制作工艺水平的提高,当今的 CMOS 集成门电路传输延时也能达到很小的水平,如 74AHC04 平均传输延时只有 5ns 。基于这些特点,CMOS 电路已经在很多领域取代了 TTL 电路,应用十分广泛。

3.4.2 CMOS 集成电路的正确使用

1. 输入电路的静电防护

CMOS 集成电路的输入端一般均设置了类似图 3.4.1 所示的输入保护电路。该保护电路中二极管及限流电阻的几何尺寸有限,只能承受有限的静电电压。CMOS 集成电路使用过程中难免接触到带静电的物体,其中的某些物体极易产生高压。如果工作人员穿的是毛衣物之类的衣裤,则有时会因摩擦产生高达上千伏的静电,如果这个静电电压被加到 CMOS 电路输入端,将对 CMOS 电路造成严重危害。

应用实践中,应设法避免静电对 CMOS 电路造成危害,主要措施有:

(1) 储存运输环节中,将器件插在泡沫塑料上并采用金属屏蔽包装,不要使用容易产生静电高压的化工材料和化纤织物包装。从包装中取出器件时应避免用手直接接触器件的

引脚,将器件放在接地的导电平面上。

(2) 断电插拔器件及电路板。

(3) 组装、调试维护环节无静电作业,使相关的工作台良好接地,工作人员的服装、手套等选用无静电的原料制作。

(4) 不用的输入端不应悬空,可根据逻辑功能要求接 0 或 1。

2. 输入电路的过流保护

输入保护电路中的钳位二极管电流容量有限,一般为 1mA,因此,在可能出现较大输入电流的场合应采用防护措施。例如,在信号源和输入端之间串接保护电阻;输入端接有大电容时,在输入端和电容之间接入保护电阻等。

3. CMOS 电路的锁定效应及其防护

CMOS 电路由于输入太大的电流,内部的电流将急剧增大。除非切断电源,内部的电流将一直增大,直到饱和,这种现象称为锁定效应。当产生锁定效应时,CMOS 的内部电流能达到 40mA 以上,很容易烧毁芯片。

主要防御措施有:

(1) 在输入端和输出端加钳位电路,使输入和输出不超过规定电压。

(2) 芯片的电源输入端加去耦电路,防止电源端出现瞬间的高压。

(3) 当系统由几个电源分别供电时,按下列顺序开启开关:开启时,先开启 CMOS 电路的电源,再开启输入信号和负载的电源;关闭时,先关闭输入信号和负载的电源,再关闭 CMOS 电路的电源。

此外,与 TTL 类似,CMOS 系列门电路也有漏极开路输出(OD 门)门电路、三态输出门电路等。读者可参考 TTL 系列的类似输出结构的门电路使用方法理解这些门电路的使用。

3.4.3 CMOS 集成电路与 TTL 电路的混合使用



目前,TTL 系列和 CMOS 系列两大电路并存,在有些场合下,经常涉及两种器件相互连接的问题。

对照 CMOS 电路、TTL 电路特点,从连接角度,二者主要有以下差异:

CMOS 电路高电平约为 U_{DD} ; TTL 电路高电平理论最大值 3.6V。TTL 电路输入电流为 -1mA , CMOS 电路输入电流为 0mA ,输出电流也小,74HC/74HCT 系列的 I_{OHMAX} 、 I_{OLMAX} 均为 4mA 。

基于上面的差异,当用 TTL 驱动 CMOS 电路时,读者不难发现,TTL 电路的高电平比 CMOS 电路高电平小得多。查集成电路手册,所有 TTL 系列的 U_{OHMIN} 均比 74HC 和 74AHC 等 CMOS 系列电路的 U_{IHMIN} 小,因此,当用 TTL 驱动 CMOS 电路时,必须设法提

高 TTL 电路输出高电平的下限值。

一种简单的解决方法是在 TTL 的输出端与电源之间接入上拉电阻 R_L ，参考电路如图 3.4.5 所示。

在如图 3.4.5 所示电路中，当 TTL 输出为高电平时，TTL 输出管处于截止状态。TTL 输出级截止时的漏电流很小，CMOS 输入电流近似为 0， R_L 上的压降近似为 0，因此，只要 R_L 的阻值不是特别大，输出高电平就会被提升为 U_{DD} 。

关于 R_L 的取值范围，有兴趣的读者可参考例 3.2.3 进一步理解。

当用 CMOS 驱动 TTL 电路时，尽管 CMOS 输出电流较小，但主流的 CMOS 系列电路依然可以直接驱动任何系列的 TTL 电路，但是可以驱动负载门的个数较少。当负载门较多，要求负载电流较大时，可使用电流放大器扩大输出电流，参考电路如图 3.4.6 所示。

必须指出的是，如图 3.4.6 所示的电流放大器具有反相器的逻辑功能，可在原 CMOS 门电路的基础上再接一个 CMOS 反相器后接电流放大器，以确保电路的逻辑功能没有改变。

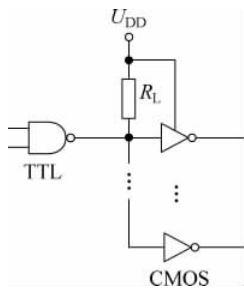


图 3.4.5 TTL 驱动 CMOS

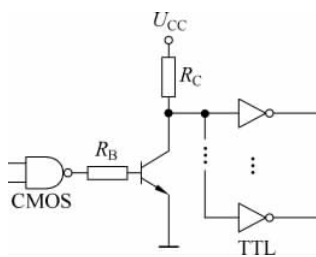


图 3.4.6 CMOS 驱动 TTL

3.4.4 CMOS 数字集成电路的各种系列

CMOS 电路的成功研制已有半个多世纪，伴随着 CMOS 电路制作工艺的不断改进，CMOS 电路的性能得到了迅速提高，各国的半导体器件制造商先后推出了多种系列的 CMOS 数字集成电路。

下面主要以 TI 公司生产的 CMOS 系列电路为主介绍不同产品系列的特点。

1. 4000/14000 系列

该系列为最早投向市场的 CMOS 产品。4000 系列由美国 RCA 公司生产，14000 系列为美国 Motorola 公司的产品。该系列产品的最大特点是工作电源电压范围宽（3~18V）、功耗小、价格低廉；主要不足是传输延时很长，约为 100ns。此外，该芯片的负载能力也很弱，当工作电源为 5V 时，输出为高电平时输出的最大负载电流和输出为低电平时输出的最

大负载电流均只有 0.5mA。

基于上面的不足,该系列电路已逐渐被后来出现的 HC/HCT 系列取代。

2. 74HC/HCT 系列

74HC(High-speed CMOS)/HCT(High-speed CMOS, TTL Compatible)系列是 TI 公司生产的高速 CMOS 产品系列。该系列产品的推出及初期推广应用便以取代 TTL 电路作为一个重要目标。从产品性能角度,CMOS 电路功耗上远优于 TTL 电路。此外,74HC/HCT 系列通过一系列改进,传输延时已缩短到 10ns,负载能力提高到 4mA,可以和 TTL 的 74LS 系列匹敌。

74HCxxx,74HCTxxx 是 74LSxxx 同序号的翻版。型号最后几位数字相同,表示电路的逻辑功能、引脚排列完全兼容,为用 74HC/HCT 系列替代 74LS 提供了方便。74HC 系列和 74HCT 系列在传输延时、负载能力方面基本相同,主要在工作电压及输入信号电平方面有所不同。74HC 系列可在 2~6V 间的任何电源电压下工作,工作电平与 TTL 电平不匹配。74HCT 系列为 TTL 兼容系列,工作电压、工作电平与 TTL 完全兼容,可与 TTL 系列芯片混合使用。

3. 74AHC/AHCT 系列

74AHC(Advanced High-speed CMOS)/AHCT(Advanced High-speed CMOS, TTL Compatible)系列是 TI 公司生产的改进的高速 CMOS 产品系列。通过一系列改进,芯片的工作速度提高了近 1 倍,负载能力提高到 8mA。该系列产品与 74HC/HCT 系列产品保持了高度兼容,非常有利于老产品的升级与更新,是目前应用最广泛的 CMOS 器件之一。

4. 74LVC/ALVC/74AVC 系列

74LVC(Low-Voltage CMOS)/ALVC(Advanced Low-Voltage CMOS)/AVC(Advanced Very-Low-Voltage CMOS)系列是 TI 公司生产的低电压 CMOS 逻辑系列产品。该系列产品特点是工作电压低,传输延时短且负载电流大。74LVC/ALVC 系列工作电压为 1.65~3.3V,负载电流可达 24mA。74AVC 系列工作电压为 1.2~3.6V。

从速度、功耗、工作电压等综合参数角度,该系列是目前 CMOS 系列中性能最好的产品系列,能满足高性能数字系统设计的需要,广泛应用于移动式便携电子设备,如手机、笔记本、数码相机等。当然,该系列产品工作电压低、逻辑电平摆幅小,因此抗干扰能力弱,在电磁干扰较大的工业环境中应用有些不足。

TI 公司生产的不同 CMOS 系列性能比较表如表 3.4.1 所示(以反相器为例),读者可

参考 TI 公司产品的性能参数理解其他半导体器件公司的类似产品及其之间的差异。

表 3.4.1 CMOS 系列器件(74××00)主要性能比较

参数名称与符号	系 列					
	74HC	74HCT	74AHC	74AHCT	74LVC	74ALVC
U_{ILMAX}/V	1.35	0.8	1.35	0.8	0.8	0.8
U_{OLMAX}/V	0.33	0.33	0.44	0.44	0.55	0.55
U_{IHMIN}/V	3.15	2	3.15	2	2	2
U_{OHMIN}/V	4.4	4.4	4.4	4.4	2.2	2.0
$I_{ILMAX}/\mu A$	-1	-1	-1	-1	-5	-5
I_{OLMAX}/mA	4	4	8	8	24	24
$I_{IHMAX}/\mu A$	1	1	1	1	5	5
I_{OHMAX}/mA	-4	-4	-8	-8	-24	-24
t_{pd}/ns	9	14	5.3	5.5	3.8	2
功耗电容/pF	20	20	12	14	8	23
工作电压/V	2~6	4.5~5.5	2~5.5	4.5~5.5	1.65~3.6	1.2~3.6

注: 1. 74LVC、74ALVC 系列给出的参数(工作电压除外)是 3V 工作电压下的参数,其他系列给出的参数是 4.5V 工作电压下的参数;

2. U_{OLMAX} 、 U_{OHMIN} 是表中给出的最大负载电流下的输出电压。

除 TTL、CMOS 两大系列外, TI 公司还研制推出了 Bi-CMOS 电路。Bi-CMOS 电路是双极型 CMOS(Bipolar-CMOS) 电路的简称。这种电路的结构是逻辑部分采用 CMOS 结构, 输出级采用双极型三极管结构。这种电路兼有 CMOS 电路低功耗、高集成度和 TTL 电路高驱动能力的优点, 常用于需要输出大驱动电流的场合, 如计算机的总线接口、数字系统输出缓冲器、驱动器和锁存器等。74 系列的 Bi-CMOS 电路主要有 74A BT、74ALB、74ALVT 等产品系列, 有兴趣的读者请参考相关书籍。

复习与思考

根据本节知识解释智能手机待机状态下比工作状态下更省电的原因。

3.5 利用硬件描述语言描述常用逻辑运算

硬件描述语言(Hardware Description Language, HDL)是电子系统硬件行为描述、结构描述、数据流描述的语言。采用硬件描述的方法设计数字电路是目前流行的电路设计方法。

3.5.1 硬件描述语言简介

门电路是构成数字电路的基础, 逻辑运算功能最终是通过电路实现的。具体实现上, 可利用 CMOS 或 TTL 门电路实现各种数字电路。

当然, 对于特定的数字系统, 有经验的设计师总是会根据应用系统要求, 合理划分构成



系统的电路模块,如电源模块、输入模块、显示模块、控制模块等。即单独设计各模块电路,画出各模块电路图,分块调试各模块;之后,将各模块电路焊接、连接、组装成整体,整体调试测试其功能并完成最终系统的设计与调试。

这种方法是传统硬件系统设计的一般方法,至今仍在广泛应用。当然,这种方法的不足也很明显,如不方便修改其功能、不利于后期修改维护,电路性能与焊接、组成工艺紧密相关。当然,为了改进电路性能与焊接、组成工艺紧密相关的不足,可以考虑将设计的电路模块做成一个专用集成电路(ASIC),以提高设计电路的应用性能。

集成电路问世已经超过半个世纪。伴随着集成度的提高,单个芯片便已成为功能强大的系统,且可编程。硬件设计越来越倾向于与系统设计和软件设计结合,各半导体器件厂商纷纷推出了自己的硬件描述语言。

利用硬件描述语言,数字电路系统的设计可以从顶层到底层(从抽象到具体)逐层描述自己的设计思想,用一系列分层次的模块来表示极其复杂的数字系统。然后,利用电子设计自动化(EDA)工具,逐层进行仿真验证,再把其中需要变为实际电路的模块组合,经过自动综合工具转换到门级电路网表。最后,用专用集成电路 ASIC 或现场可编程门阵列 FPGA 自动布局布线工具,把网表转换为要实现的具体电路。

硬件描述语言是高级语言,接近人的思维习惯,电路设计也由传统的如何设计演变为设计什么。这种高层次的方法已被广泛采用。据统计,目前在美国硅谷约有 90% 以上的 ASIC 和 FPGA 采用硬件描述语言进行设计。

硬件描述语言发展至今已有数十年的历史,并成功地应用于设计的各个阶段,如建模、仿真、验证和综合等。到 20 世纪 80 年代,已出现了上百种硬件描述语言,对设计自动化起到了极大的促进和推动作用。得到普遍认同的有 VHDL 和 Verilog HDL。

VHDL(Verilog-High-Speed Integrated Circuit Hardware Description Language)诞生于 1982 年,1987 年成为国际标准。Verilog HDL 是由 Gateway 设计自动化公司的工程师于 1983 年末创立的,是另一种流行的硬件描述语言,以文本形式来描述数字系统硬件的结构和行为。Verilog HDL 1995 年成为国际标准,之后进行了多次更新,最主流版本为 Verilog-2001。本书主要介绍 Verilog HDL 硬件描述语言。

3.5.2 Verilog HDL 语言的基本结构

当采用硬件描述语言描述一个复杂的硬件电路时,设计人员总是将复杂的功能划分为若干简单的功能,每个简单功能对应一个模块(module)。设计人员可以采取“自顶向下”的思路,将复杂的功能模块划分为低层次的模块。这一步通常是由系统级的总设计师完成,而低层次的模块则由下一级的设计人员完成。自顶向下的设计方式有利于系统级别层次划分和管理,并提高了效率、降低了成本。

基于上面的思路,Verilog HDL 采用基于 C 语言的语法以模块为基础进行硬件系统的设计。



使用 Verilog 描述硬件的基本设计单元是模块。构建复杂的电子电路,主要通过模块的相互连接调用来实现。Verilog 中的模块类似 C 语言中的函数,它能够提供输入、输出端口,可以实例调用其他模块,也可以被其他模块实例调用。模块中可以包括组合逻辑部分、过程时序部分。

【例 3.5.1】 分析下面代码的结构及其描述的逻辑功能。

```
module adder(c,s,a,b,cin); /* 模块名 */
    input [2:0] a,b; /* 描述组输入 */
    input cin; /* 描述输入 */
    output c; /* 描述输出 */
    output [2:0] s; /* 描述组输出 */
    assign {c,s} = a + b + cin; /* 描述功能 */
endmodule
```

解 (1) 代码的结构分析。硬件描述语言是高级语言,可按照日常的思维习惯去理解这些代码。Verilog 的基本单元是模块(module),上面的代码被包含在关键字 module、endmodule 之内,可见从关键字 module 开始到 endmodule 之间的代码均为模块的具体代码。

Verilog 遵循 C 语言的语法,代码中的“(…)”为 C 语言的函数标识,因此,adder 为模块名(函数名)。

电路应具有必须的输入及输出,input、output 具体描述了电路所具有的输入及输出。

基于上面的分析,可总结 Verilog 模块的结构如下:

```
module <模块名>(输入输出表)
    <输入输出定义>
    < 模块条目>
endmodule
```

其中,input、output 为输入输出描述关键词。例如,“input [2:0] a;”描述了一组输入“a2、a1、a0”。

(2) 逻辑功能分析。

电路的输入: {a2、a1、a0}、{b2、b1、b0}、cin

电路的输出: {s2、s1、s0}、c

只有一条功能描述语句“assign {c,s}=a+b+cin;”似乎执行了数据 a、b、cin 的加法并将结果送给了{c,s}。

(3) 逻辑功能验证(具体实现过程见附录 C)。逻辑功能最终是通过各种门电路相互连接实现的。可利用开发工具将硬件描述语言的代码转换为实现描述功能的逻辑门级电路的连接网表,之后,直接选用 CPLD/FPGA 实现最终输出的门级网表。各硬件厂商均基于自己的 CPLD/FPGA 开发了仿真分析工具软件,可将上面的代码输入 Quartus II 中,编译代码,设置相关的输入,可求出如图 3.5.1 所示的仿真波形(Quartus II 9.0 环境下的仿真波形)。

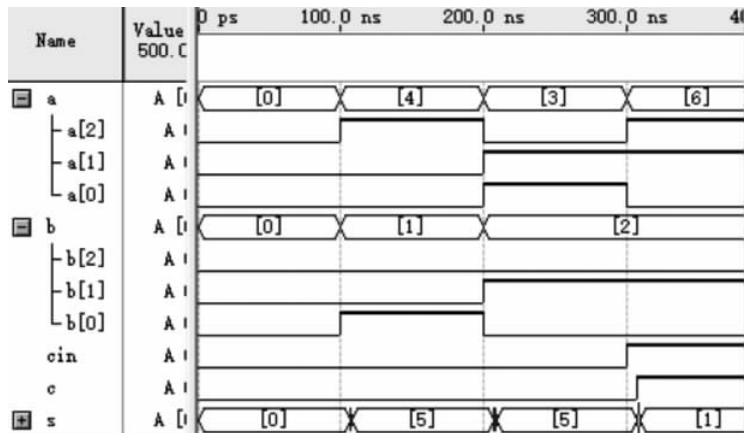


图 3.5.1 例 3.5.1 的仿真波形

仿真结果显示该代码功能为 3 位二进制加法器。其中, $\{a_2, a_1, a_0\}$ 、 $\{b_2, b_1, b_0\}$ 为两个相加的 3 位二进制, cin 为来自低位的进位。 $\{s_2, s_1, s_0\}$ 为结果, c 为向高位的进位。如最后一个单元, $6+2+$ 进位, 结果为 1, 向高位的进位为 1。

assign 语句含义: 连续赋值语句(assign 语句), 主要用于对 wire 型(线型)变量的赋值。

显然, 对电路而言, 上面的 $\{a_2, a_1, a_0\}$ 等变量对应具体的外部输入接线端, Verilog 中把这类变量称为 wire 型(线型)变量(默认的变量类型)。根据该电路的特点, 只有 a 、 b 、 cin 等输入连续保持, 才能获得稳定的连续输出 s 。 a 、 b 、 cin 的值一旦发生改变, 将立即反映到输出 s 上, 这便是 assign 语句中连续赋值的含义。

基于上面的分析, 可初步总结 Verilog HDL 代码编写方法:

(1) 编写一个由 module ... endmodule 组成的包含名字的空模块(Quartus II 中模块名必须与文件名相同!)

(2) 根据逻辑功能定义电路的输入及输出, 各变量名应在模块名后的()中注明。使用 input/output 具体描述电路的输入输出。

(3) 根据逻辑功能, 使用 assign 语句给出输出结果。

3.5.3 利用 Verilog HDL 描述常用逻辑运算

下面通过两个实例介绍如何用 Verilog HDL 描述常用逻辑运算。

【例 3.5.2】 请对照 3 位二进制加法器代码描述一个二输入或门。

解 (1) 先定义模块名。定义模块名为 ort(注意, 不可定义为 or2, 因为 or2 为 Quartus II 系统定义的二输入或门的库元件名)。

(2) 定义电路的输入及输出。根据二输入或逻辑的功能, 可定义两个输入 a 、 b , 一个输出 y 。可写出初步代码如下:

```
module ort(a,b,y);
```



```
input a,b; output y;
endmodule
```

(3) 根据逻辑功能,使用 assign 语句给出输出结果。或逻辑功能吻合连续赋值的逻辑要求,可使用 assign 语句给出输出结果。Verilog 遵循 C 语言的语法,C 语言位或运算符为“|”,具体语句如下:

```
assign y = a|b;
```

(4) 仿真验证。仿真波形如图 3.5.2 所示,仿真结果显示该代码功能为二输入或门。

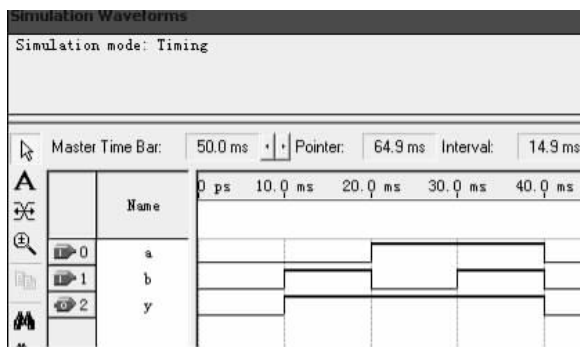


图 3.5.2 例 3.5.2 的仿真波形

【例 3.5.3】 参考二输入或门代码描述一个二输入与非门。

解 (1) 先定义模块名。定义模块名为 nandt(注意,不可定义为 nand2,因为 nand2 为 Quartus II 系统定义的二输入与非门的库元件名)。

(2) 定义电路的输入及输出。根据二输入与非门的功能,可定义两个输入 a、b,一个输出 y。可写出初步代码如下:

```
module nandt(a,b,y);
input a,b; output y;
endmodule
```

(3) 根据逻辑功能,使用 assign 语句给出输出结果。与非逻辑功能吻合连续赋值的逻辑要求,可使用 assign 语句给出输出结果。Verilog 遵循 C 语言的语法,C 语言位与运算符为“&”,非运算符“~”,具体语句如下:

```
assign y = ~(a&b);
```

(4) 仿真验证。仿真波形如图 3.5.3 所示,仿真结果显示该代码功能为二输入与非门。

复习与思考

根据连续赋值的含义给出一种不适合用 assign 语句给出输出结果的应用实例。

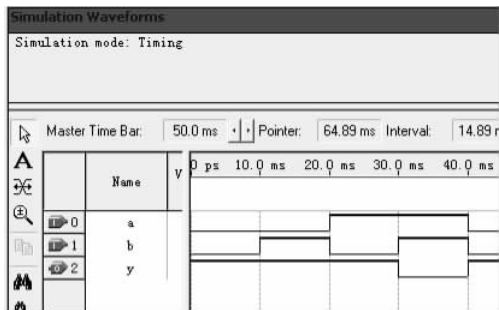


图 3.5.3 例 3.5.3 的仿真波形

习题

3-1 填空题

1. 门具有_____、_____两种状态,在一定的条件下能够允许信号通过,称为门是被_____的。当 TTL 与非门所有输入为 1 时,输出管饱和,处于_____状态。

2. 集电极_____的门电路,简称为 OC 门。由于 OC 门采用_____负载电阻和电源,故可通过选择_____的工作电源给负载提供较大的电流,可很好地改善 TTL 门电路的负载能力。

3. CMOS 门电路是由_____ MOS 管和_____ MOS 管按照_____形式连接起来构成的逻辑运算电路(并由此而得名)。CMOS 门电路中,最常用的门电路有_____和_____。

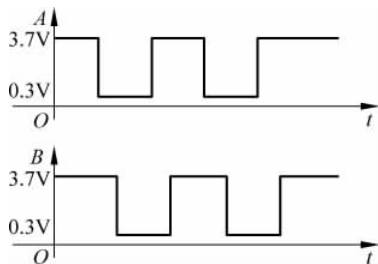
4. 从速度、功耗、工作电压等角度,_____/_____/_____系列是目前 CMOS 系列中性能最后的产品系列,广泛应用于_____电子设备,如手机、笔记本、数码相机等。

5. assign 语句是_____语句,主要用于对_____变量的赋值。该语句中涉及的_____的值一旦发生改变,将立即反映到输出上,这便是 assign 语句中_____的含义。

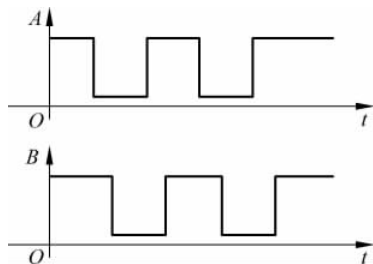
3-2 分析计算题

1. 试画出如图 3.1.1 所示电路的输出端的波形,输入 A、B 的电压波形如题图 3.1 所示。

2. 试画出如题图 3.2 所示输入 A、B 的电压波形加到二输入或非门输入端对应的输出端 Y 的波形。



题图 3.1



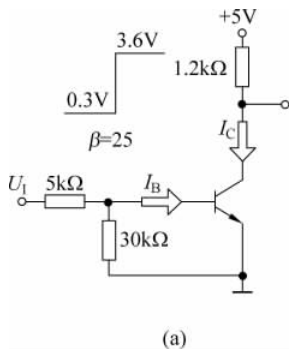
题图 3.2

3. 试分析如题图 3.3 所示电路中三极管的工作状态。

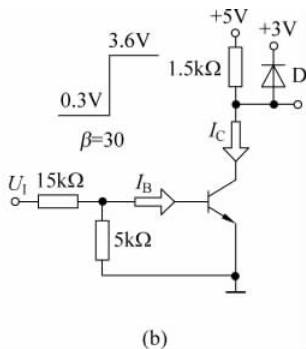
4. 在如题图 3.4 所示的非门电路中：

(1) 若 $U_{BE}=0V$ 时, T 管可靠截止, 则允许 U_i 低电平的最大值应为多少?

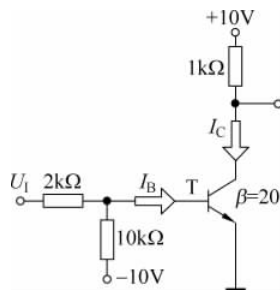
(2) 要使 T 管临界饱和, 则允许 U_i 高电平的最小值应为多少?



(a)



(b)

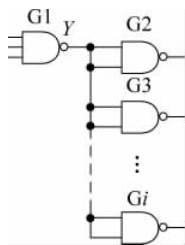


题图 3.4

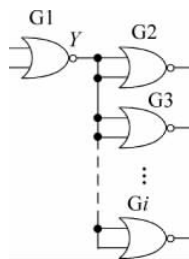
题图 3.3

5. 在如题图 3.5 所示电路中, 计算 74 系列 TTL 与非门 G1 最多可驱动多少个同样的与非门电路。其中的与非门电路输入、输出特性分别如图 3.2.4、图 3.2.6、图 3.2.8 所示, 要求与非门 G1 输出的高、低电平满足 $U_{OH} \geq 3.2V, U_{OL} \leq 0.3V$ 。

6. 在如题图 3.6 所示电路中, 计算 74 系列 TTL 或非门 G1 最多可驱动多少个同样的或非门电路。其中的或非门电路输入、输出特性分别如图 3.2.4、图 3.2.6、图 3.2.8 所示, 要求或非门 G1 输出的高、低电平满足 $U_{OH} \geq 3.2V, U_{OL} \leq 0.3V$ 。



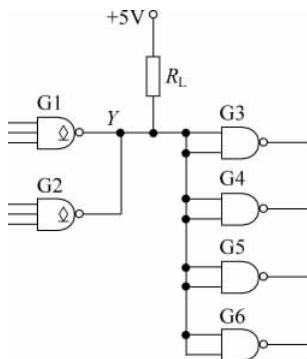
题图 3.5



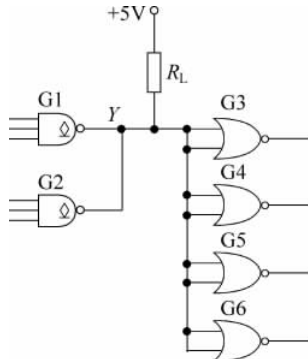
题图 3.6

7. 在如题图 3.7 所示电路中, 已知 74 系列 TTL OC 与非门 G1、G2 输出管截止时漏电流 $I_{OH}=0.2mA$, 导通时允许的最大负载电流 $I_{OLMAX}=16mA$; 与非门 G3、G4、G5、G6 的低电平输入电流 $I_{IL}=-1mA$, 高电平输入电流 $I_{IH}=0.04mA$, 要求 OC 与非门输出的高、低电平满足 $Y_{OH} \geq 3.2V, Y_{OL} \leq 0.4V$, 计算 R_L 的合适值。

8. 在如题图 3.8 所示电路中, 已知 74 系列 TTL OC 与非门 G1、G2 输出管截止时漏电流 $I_{OH}=0.1mA$, 导通时允许的最大负载电流 $I_{OLMAX}=10mA$; 或非门 G3、G4、G5、G6 的低电平输入电流 $I_{IL}=-0.4mA$, 高电平输入电流 $I_{IH}=0.02mA$, 要求 OC 与非门输出的高、低电平满足 $Y_{OH} \geq 3.2V, Y_{OL} \leq 0.4V$, 计算 R_L 的合适值。



题图 3.7



题图 3.8

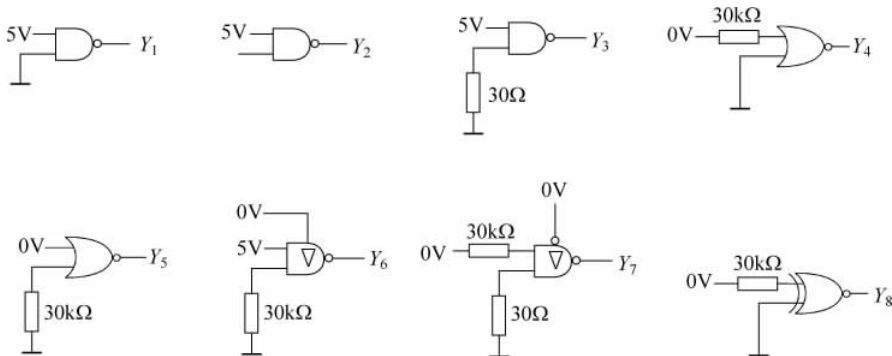
9. 为什么 TTL 与非门输入端在以下三种接法时,逻辑上都等于输入为 0?

- (1) 输入端接地;
- (2) 输入端接输出电平为 0.6V 的电源;
- (3) 输入端接同类与非门的输出低电平 0.3V 。

10. 为什么 TTL 与非门输入端在以下三种接法时,在逻辑上都等于输入为 1?

- (1) 输入端接同类与非门的输出高电平 3.2V ;
- (2) 输入端接高于 2V 的电源;
- (3) 输入端悬空。

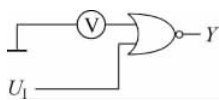
11. 已知如题图 3.9 所示电路中各门电路均为 TTL 门电路,说出各门电路的输出分别为何状态(高电平、低电平、高阻态)。



题图 3.9

12. 已知如题图 3.10 所示电路中或非门电路为 TTL 门电路,万用表的内阻为 $20\text{k}\Omega/\text{V}$,量程为 5V 。说出在下列输入情况下万用表的读数。

- (1) U_1 悬空;
- (2) U_1 接低电平 0.2V ;

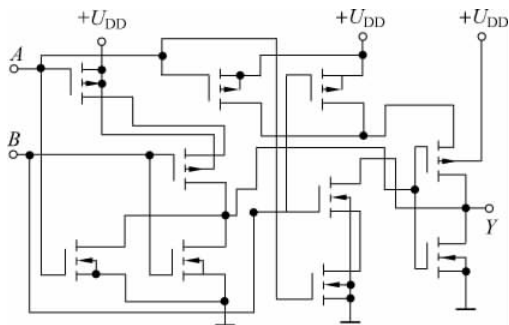


题图 3.10

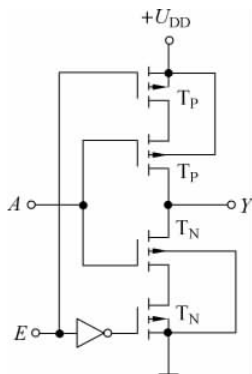
- (3) U_1 接高电平 3.2V;
 (4) U_1 经 51Ω 电阻接地;
 (5) U_1 经 $50k\Omega$ 电阻接地。

13. 分析计算题 12 中,将或非门改为与非门。说出在上述 5 种输入情况下万用表的读数。

14. 分析题图 3.11 所示电路的逻辑功能。
 15. 分析题图 3.12 所示电路的逻辑功能。

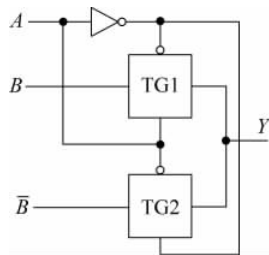


题图 3.11

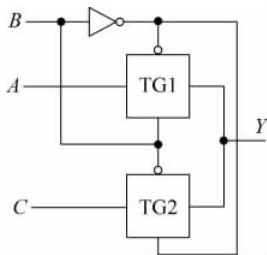


题图 3.12

16. 分析题图 3.13 所示电路的逻辑功能。
 17. 分析题图 3.14 所示电路的逻辑功能。



题图 3.13

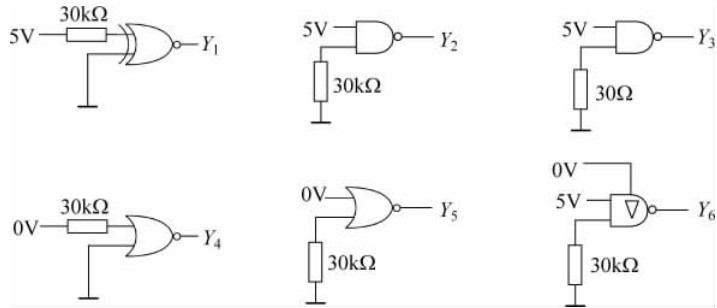


题图 3.14

18. 参考例 3.3.3 实现一个二输入与非门。
 19. 参考例 3.3.3 实现一个二输入或非门。
 20. 分析计算题 13 中的与非门为 CMOS 与非门,电源 $U_{DD}=5V$,说出在该题中 5 种输入情况下万用表的读数。

21. 已知如题图 3.15 所示电路中各门电路均为 CMOS 门电路,电源 $U_{DD}=5V$,说出各门电路的输出分别为什么状态。

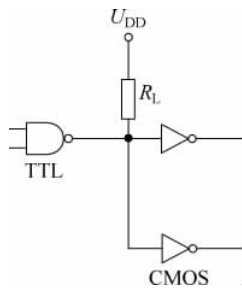
22. 如题图 3.16 所示为用 TTL 门电路驱动 CMOS 门电路的实例,试计算上拉电阻 R_L 的取值范围。已知 TTL 与非门输出为低电平(0.3V)时,最大输出电流为 8mA,输出为高



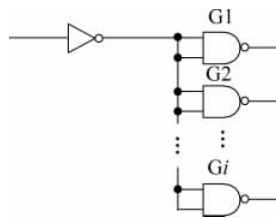
题图 3.15

电平时漏电流为 $50\mu\text{A}$ 。CMOS 反相器的高电平输入电流和低电平输入电流的最大值均为 $1\mu\text{A}$ 。要求加到 CMOS 反相器输入端的电压满足高电平不小于 4V ，低电平不大于 0.3V ，电源工作电压 5V 。

23. 如题图 3.17 所示为用 CMOS 门电路 74HCT04 驱动 TTL 门电路的实例，试计算当 TTL 与非门分别为 7400、74LS00、74ALS00 时，CMOS 门电路所能驱动的 TTL 与非门的个数。74HCT04 性能参数见表 3.4.1，7400、74LS00、74ALS00 性能参数见表 3.2.3。



题图 3.16



题图 3.17

24. 试说出下列各门电路中哪些可以将输出端并联使用。

- (1) 标准 74 系列互补输出门电路；
- (2) TTL 电路的 OC 门；
- (3) TTL 三态输出门电路；
- (4) 标准互补输出 CMOS 门电路；
- (5) CMOS 电路的 OD 门；
- (6) CMOS 三态输出门电路。

25. 画出下面代码描述的逻辑门对应的逻辑符号。

```
module ort3(a,b,c,y);
  input a,b,c;
  output y;
  assign y = a|b|c;
endmodule
```

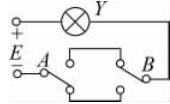
26. 画出下面代码描述的逻辑门对应的逻辑符号。

```
module ant3(a,b,c,y);
  input a,b,c;
  output y;
  assign y = a & b & c;
endmodule
```

27. 用 Verilog 代码描述一个三输入或非门。

3-3 应用题

1. 如题图 3.18 所示为一控制楼梯照明的有触点电路,在楼上、楼下各装一个单刀双掷开关 A 和 B ,这样人在楼上和楼下都可以开灯和关灯。设 $Y=1$ 表示灯亮, $Y=0$ 表示灯灭; $A=1$ 表示开关向上扳, $A=0$ 表示开关向下扳, B 亦如此。试用 Verilog 代码描述该逻辑问题。



题图 3.18

2. 试用 CMOS 反相器和传输门实现应用题 1 中描述的逻辑问题。