

## 存储系统

本章主要介绍计算机的存储体系结构,引出由半导体构成的主存储器以及半导体在内的其他材料构成的辅助存储器。分别对它们的原理机制、性能、扩展给予详细的讲解,重点介绍相联存储器,为 Cache 的讲解提供基础,分析探讨 Cache 相关的关键技术。最后对辅助存储器进行全系列的讲解。

### 学习目标:

- 了解存储器的分类方法和存储系统的层次。
- 掌握主存储器的基本结构、存储单元和主存储器的主要技术指标,掌握半导体静态 RAM 和动态 RAM 的基本存储原理。
- 掌握主存储器容量的各种扩展方法。
- 熟悉主存储器和 CPU 的连接。
- 掌握相联存储器的工作原理。
- 掌握 Cache 存储系统相关的关键技术。
- 了解各种辅助存储器的工作原理和特性。

### 5.1 计算机存储系统的层次结构

计算机存储器又称为内存,是一种利用半导体技术做成的电子设备,用来存储数据。电子电路的数据是以二进制的方式存储的,存储器的每一个存储单元称作记忆元。在计算机系统中,存储器是用于存储和读取数据的关键组件之一,用于保存程序、数据以及计算机运行过程中的中间结果。存储器的性能直接影响到计算机的运行速度和效率。

计算机系统存储器层次结构是按照存储器的访问速度和容量进行分层,以实现更高效的数据访问。层次结构从高到低分为寄存器、高速缓存、主存储器和辅助存储器。寄存器位于 CPU 内部,访问速度最快但容量最小,用于暂存指令和数据;高速缓存位于 CPU 和主存储器之间,容量较小但速度较快,用于缓存常用的数据和指令,以减少 CPU 访问主存的时间;主存储器作为 CPU 直接访问的主要存储器;辅助存储器作为长期存储的备份。

#### 5.1.1 存储器的层次结构

计算机系统存储器层次结构是一种层次化的设计,将不同访问速度和容

量特性的存储器组织在不同层次中,以提高数据访问的效率。存储器层次结构从高到低分为以下几层:寄存器(Register)、高速缓存(Cache)、主存、磁盘、磁带和光盘,如图 5.1 所示。在图中由上至下,位价越来越低,速度越来越慢,容量越来越大,CPU 访问的频度也越来越低。主存与缓存之间的数据调动是由硬件自动完成的,对程序员是透明的。CPU 不能直接访问辅存,辅存与主存之间信息的调动均由硬件和操作系统来实现。

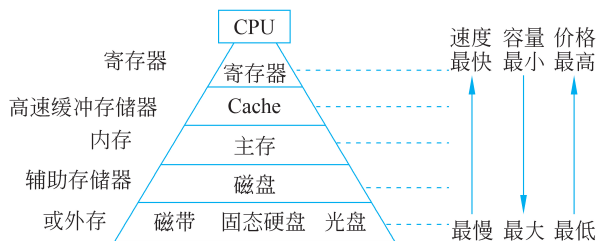


图 5.1 存储器分层结构图

实际上,存储系统层次结构主要体现在 Cache-主存层和主存-辅存层。前者主要解决 CPU 和主存速度不匹配的问题,后者主要解决存储系统的容量问题。在存储体系中,Cache、主存能与 CPU 直接交换信息,辅存则要通过主存与 CPU 交换信息;主存与 CPU、Cache、辅存都能交换信息,如图 5.2 所示。

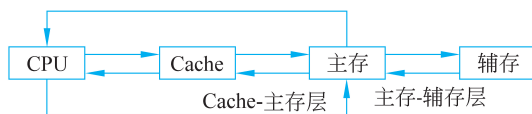


图 5.2 存储系统层次结构及其构成

缓存-主存层次主要解决 CPU 和主存速度不匹配的问题。由于缓存的速度比主存的速度高,只要将 CPU 近期要用的信息调入缓存,CPU 便可以直接从缓存中获取信息,从而提高访存速度。但由于缓存的容量小,因此需不断地将主存的内容调入缓存,使缓存中原来的信息被替换掉。主存和缓存之间的数据调动是由硬件自动完成的,对程序员是透明的。

在主存-辅存层的不断发展中,逐渐形成了虚拟存储系统,在这个系统中,程序员编程的地址范围与虚拟存储器的地址空间相对应。对具有虚拟存储器的计算机系统而言,编程时可用的地址空间远大于主存空间。

## 5.1.2 存储器的分类

### 1. 按存储介质分类

(1) 半导体存储器。半导体存储器使用半导体材料来存储数据,是现代计算机系统中最常见的存储器类型。它具有高速、可擦写和易于集成等特点。细分为动态随机访问存储器(DRAM)、静态随机访问存储器(SRAM)、只读存储器(ROM)等。

(2) 光存储器。信息以刻痕的形式保存在盘面上,用激光束照射盘面,靠盘面的不同反射率来读出信息。正因为如此,人们常称这类存储器为光盘。光盘可分为只读型光盘(CD-ROM)、只写一次性光盘(WROM)和磁光盘(MO)等几种。

(3) 磁存储器。磁性材料存储器简称为磁存储器,包括磁芯存储器、磁盘存储器、磁带

存储器等。它们都以磁性材料作为存储介质。如磁芯存储器,采用具有矩形磁带回线的铁氧体磁性材料,制成圆环状的磁芯,上面绕有线圈。磁芯在不同磁场的作用下,具有不同的剩磁状态,用来记忆“0”和“1”。由于这种存储器存在体积大、生产自动化程度低、存取速度低等缺点,现已被半导体存储器所取代。

## 2. 按在计算机中的作用分类

(1) 寄存器型存储器。它是由多个寄存器组成的存储器,如当前许多 CPU 内部的寄存器组。它可以由几个或几十个寄存器组成,其字长与机器字长相同,主要用来存放地址、数据及运算的中间结果,速度可与 CPU 匹配,但容量很小。

(2) Cache。即高速缓冲存储器,简称为高速缓存。它是计算机中的一个高速小容量存储器,其中存放的是 CPU 近期要执行的指令和数据。一般采用高速半导体存储器作为高速缓冲存储器。由于它存取速度快,因此,在计算机中用它来提高系统的处理速度。

(3) 主存储器。简称主存,又称为内存储器(内存),用来存放计算机运行期间所需的程序和数据,CPU 可以直接随机地对其进行访问,也可以和高速缓冲存储器(Cache)及辅助存储器交换数据。其特点是容量较小、存取速度较快、每位的价格较高。

(4) 外存储器。计算机主机外部的存储器称为外部存储器(简称外存),也叫作辅助存储器。它的容量很大,但存取速度相对较低。目前广泛使用的有固态硬盘、磁盘存储器、磁带存储器和光盘存储器,它们主要用来存放当前暂不参加运算的程序和数据。

## 3. 按照存取方式分类

(1) 随机存取存储器(Random Access Memory, RAM): 随机存取存储器可以在任意时间访问其中的数据,具有快速的读写速度。但是 RAM 是易失性存储器,断电后数据会丢失。

(2) 串行访问存储器(Serial Access Memory, SAM): 对存储单元进行读/写操作时,需按其物理位置的先后顺序寻址,包括顺序存取存储器(SAM)与直接存取存储器(Direct Access Memory, DAM)。顺序存取存储器的内容只能按某种顺序存取,存取时间的长短与信息在存储体上的物理位置有关,其特点是存取速度慢。直接存取存储器既不像 RAM 那样随机地访问任何一个存储单元,又不像顺序存取存储器那样完全按顺序存取,而是介于两者之间。存取信息时通常先寻找整个存储器中的某个小区域(如磁盘上的磁道),再在小区内顺序查找。

(3) 只读存储器(Read Only Memory, ROM): 只读存储器的数据一旦写入后就不能更改,只能读取。常用于存放固定的程序和数据。

## 4. 按照是否易失性分类

(1) 易失性存储器。易失性存储器是指断电后其中存储的数据会丢失,当计算机关闭或重启时,存储在易失性存储器中的所有数据都会被清除,如 RAM。

(2) 非易失性存储器。非易失性存储器是指断电后其中存储的数据不会丢失,仍能保存数据,适合用于长期存储数据,如只读存储器(ROM)、闪存(Flash)和硬盘(HDD)。

## 5.2 半导体存储器

半导体存储器是一种用半导体集成电路工艺制成的存储数据信息的固态电子器件,具有体积小、存储速度快、存储密度高、与逻辑电路接口容易的优点。

### 5.2.1 半导体存储器分类

按功能分类,可分为随机存取存储器和只读存储器。随机存取存储器包括 DRAM(动态随机存取存储器)和 SRAM(静态随机存取存储器),当关机或断电时,其中的信息都会随之丢失。DRAM 主要用于主存(内存的主体部分),SRAM 主要用于高速缓存存储器。只读存储器主要用于 BIOS 存储器。

本节对随机存储器和只读存储器展开详细介绍。

(1) 静态随机存取存储器(SRAM)。SRAM 是一种使用触发器构成的存储器,它由 6 个晶体管构成一个存储单元,具有快速的访问速度和低功耗。由于使用了触发器,SRAM 的数据在不进行写入操作的情况下可以一直保持稳定,不需要周期性的刷新操作。这使得 SRAM 在需要快速数据访问的应用中很受欢迎,如高速缓存存储器和寄存器文件。

(2) 动态随机存取存储器(DRAM)。动态随机存取存储器是利用存储元电路中栅极电容上的电荷来存储信息的,DRAM 的基本存储元通常只使用一个晶体管,所以它比 SRAM 的密度要高很多。相对于 SRAM 来说,DRAM 具有容易集成、位价低、容量大和功耗低等优点,但 DRAM 的存取速度比 SRAM 的慢,一般用于大容量的主存系统。表 5.1 为 SRAM 和 DRAM 的特点。

表 5.1 SRAM 和 DRAM 的特点

特 点	类 型	
	SRAM	DRAM
存储信息	触发器	电容
破坏性读出	非	是
需要刷新	不要	需要
送行列地址	同时送	分两次送
运行速度	快	慢
集成度	低	高
存储成本	高	低
主要用途	高速缓存	主机内存

只读存储器(Read Only Memory,ROM)是一种只能读取数据而不能写入数据的存储器。ROM 用于存放固定的程序和数据,不会随着计算机的断电而丢失数据。下面介绍几种常见的只读存储器。

(1) 掩模式只读存储器(Mask Read Only Memory,MROM)。MROM 是在集成电路

制造过程中被预先编程的 ROM, 它的数据和程序在制造时由芯片制造商固化在芯片中, 用户无法更改。具有可靠性高、集成度高、价格便宜的优点, 但灵活性较差。由于编程是在芯片制造过程中完成的, 因此它被称为“Mask ROM”。

(2) 可编程只读存储器(PROM)。PROM 可由用户根据自己的需要来确定 ROM 的内容, 常见的熔丝式 PROM 是以熔丝的接通或断开来表示所存的信息为“1”或“0”。出厂时, 所有的熔丝都是接通的, 使用之前, 用户根据需要断开某些单元的熔丝, 以便存入“1”信息。若未断开的则存入“0”信息。显然, 断开后的熔丝不能再接通了, 因此, 它是一次性写入的存储器。断电后不会影响其所存储的内容。

(3) 可擦写可编程只读存储器(EPROM)。EPROM 不仅可以由用户利用编程器写入信息, 而且可以对其内容进行多次改写。EPROM 虽然既可读又可写, 但它不能取代 RAM, 因为 EPROM 的编程次数有限, 且写入时间过长。

(4) 电可擦写可编程只读存储器(EEPROM)。EEPROM 是一种可以通过电压擦除数据后重新编程的 ROM, 擦除和编程操作可以在计算机内部进行, 不需要暴露在紫外线下。EEPROM 相较于 EPROM 擦除和编程更加方便, 因此被广泛应用于计算机系统中, 如 BIOS 存储器和固件存储器。

### 5.2.2 6 管静态存储器的工作原理

6 管静态存储器(Six-Transistor Static Random Access Memory, 6T SRAM)是一种常见的静态随机存取存储器(SRAM)类型, 它由 6 个晶体管构成一个存储单元。6T SRAM 被广泛应用于高速缓存和寄存器文件等需要快速访问速度的场景, 如 CPU 内部的高速缓存。下面详细介绍 6T SRAM 的工作原理。

如图 5.3 所示电路是一个 6 管电路, 即  $T_1$ 、 $T_2$ 、 $T_3$ 、 $T_4$ 、 $T_5$ 、 $T_6$  这 6 个 MOS 管。其中,  $T_1$ 、 $T_2$ 、 $T_3$ 、 $T_4$  组成一个触发器电路, 存储一位二进制代码 1 或 0。以下假定 1 对应 A 高电位和 B 低电位, 那么 0 对应 A 低电位和 B 高电位。具体操作如下。

(1) 写入操作。写 1: 在 I/O 线上输入高电位, 在  $\overline{I/O}$  线上输入低电位, 此时 A 高电位, B 低电位, 写 1 成功。写 0: 在 I/O 线上输入低电位, 在  $\overline{I/O}$  线上输入高电位, 此时 A 为低电位, B 为高电位, 写 0 成功。

(2) 读出操作。字线上加高电位,  $T_5$  与  $T_6$  开启。若原存“1”, 则 A 点为高电平, I/O 线与 A 点相连, 因而也是高电平, 而  $\overline{I/O}$  线与 B 点相连为低电平, I/O 和  $\overline{I/O}$  的这种状态产生电势差, 产生电流, 使读出电路产生“读 1”信号, 数据读取成功。

(3) 信息的保持。X 地址译码线加低电位,  $T_5$  与  $T_6$  截止, 触发器与外界隔离, 保持原有信息不变。

### 5.2.3 4 管动态存储器的工作原理

常见的 DRAM 基本存储电路可以分为多管型和单管型, 它们共同的特点是遵循电容存储电荷的原理。4 管动态存储器(Four-Transistor Dynamic Random Access Memory, 4T DRAM)是一种常见的动态随机存取存储器(DRAM)类型, 它由 4 个晶体管构成一个存储单元。4T DRAM 被广泛应用于计算机系统的主存储器(内存), 它具有较高的存储密度和较低的成本。下面详细介绍 4T DRAM 的工作原理。

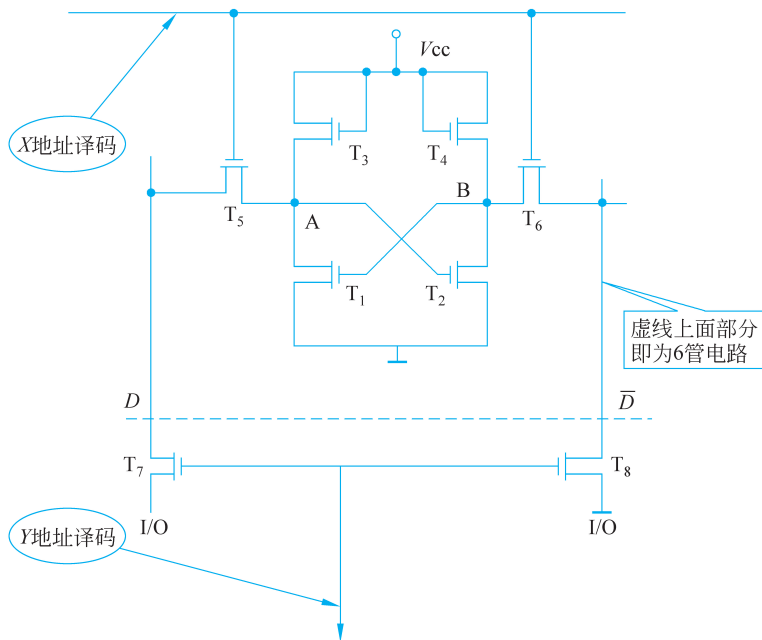


图 5.3 6 管 SRAM 存储单元的电路图

4T DRAM 的 4 个晶体管分别为访问晶体管(Access Transistor)和存储电容(Storage Capacitor)。如果将 SRAM 的 6 管电路中的  $T_3$ 、 $T_4$  管去掉,就变成了 4 管的 DRAM 存储器的基本存储单元电路。因为在 6 管静态存储单元电路中,信息暂存于  $T_1$ 、 $T_2$  管的栅极,而 MOS 管总是存在着一定的电容。负载管  $T_3$ 、 $T_4$  就是为了给这些存储电荷补充电荷用的。由于 MOS 的栅极电阻很高,故泄漏电流很小。为了减少 MOS 管以提高集成度,把负载管  $T_3$ 、 $T_4$  去掉,这样就变成了 4 管动态存储电路,如图 5.4 所示。

$T_5$ 、 $T_6$  为控制管,由字选择线(X 线)控制。当字选择线为高电平时  $T_5$ 、 $T_6$  导通。存储电路的 A、B 点与位线  $D$ 、 $\bar{D}$  分别相连,再通过  $T_7$ 、 $T_8$  管与外部数据线 I/O 与  $\bar{I/O}$  相通,同时在一列的位线上接有两个公共的预充管  $T_9$ 、 $T_{10}$ 。

(1) 写入操作。当写入时, I/O 与  $\bar{I/O}$  仍加相反的电平(如写入“1”时  $I/O = “1”$ ,  $\bar{I/O} = “0”$ ),字选择线的高电平打开  $T_5$ 、 $T_6$  管,因而所存的信息送至 A、B 端,将信息存储在  $T_1$ 、 $T_2$  管的栅极电容上。当  $T_5$ 、 $T_6$  截止时,靠  $T_1$ 、 $T_2$  管栅极电容的存储作用,在一定时间内(2ms)可以保留所写入的信息。

(2) 读出操作。当读出时,先给出预充信号,使  $T_9$ 、 $T_{10}$  管导通,于是电源就向位线  $D$  和  $\bar{D}$  上的电容充电,使它们都达到电源电压。当字选择线使  $T_5$ 、 $T_6$  管导通时,存储的信息通过 A、B 端向位线输出。若原存信息为“1”,则电容  $C_2$  上存有电荷,  $T_2$  管导通,而  $T_1$  管截止。因此  $\bar{D}$  上的预充电荷经  $T_2$  管泄漏,故  $\bar{D} = “0”$ ,而  $D$  仍为“1”,信号通过 I/O 和  $\bar{I/O}$  线输出。与此同时,  $D$  上的电荷可以通过 A 线向  $C_2$  补充,故读出过程也是刷新的过程。

(3) 再生操作。由于存储的信息电荷终究是有泄漏的,电荷数又不能像 6 管电路那样由电源经负载管来不断补充,时间一长,就会丢失信息,为此,必须设法由外界按一定规律不断给栅极进行充电,按需要补足栅极的信息电荷。这就是所谓的“再生”或“刷新”。常见的

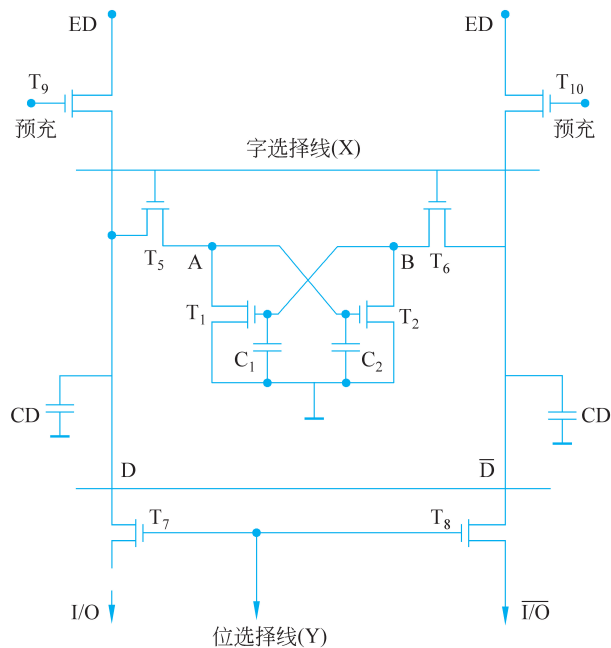


图 5.4 4 管动态存储单元

刷新方式分为以下三种。

① 集中刷新。指在一个刷新周期内,利用一段固定的时间,依次对存储器的所有行进行逐一再生,在此期间停止对存储器的读写操作,称为“死时间”,又称访存“死区”。优点是读写操作时不受刷新工作的影响;缺点是在集中刷新期间(死区)不能访问存储器。

② 分散刷新:把对每行的刷新分散到各个工作周期中。这样,一个存储器的系统工作周期分为两部分:前半部分用于正常读、写或保持,后半部分用于刷新。这种刷新方式增加了系统的存取周期,如存储芯片的存取周期为  $0.5\mu\text{s}$ ,则系统的存取周期为  $1\mu\text{s}$ 。优点是没有任何死区;缺点是加长了系统的存取周期,降低了整机的速度。

③ 异步刷新:异步刷新是前两种方法的结合,它既可缩短“死时间”,又能充分利用最大刷新间隔为  $2\text{s}$  的特点。具体做法是将刷新周期除以行数,得到两次刷新操作之间的时间间隔,利用逻辑电路每隔时间  $t$  产生一次刷新请求。这样可以避免使 CPU 连续等待过长的时间,而且减少了刷新次数,从根本上提高了整机的工作效率。

(4) 管存储单元的刷新过程并不复杂,在字选择线上加一个脉冲就能自动刷新正确的存储信息。设原存信息为“1”, $T_2$  管导通, $T_1$  管截止。若经过一段时间  $T_2$  管栅极上漏失了一部分信息电荷,使 A 端的电压稍小于存“1”时的满值电压。当字选择线上加脉冲使  $T_5$ 、 $T_6$  管开启后,A 端与位线 D 相接,即被充电到满值电压,从而刷新了原存的“1”信息。显然,只要定时给全部存储单元电路执行一遍读操作,而信息不向外输出,那么就可实现信息再生或刷新。

4T DRAM 具有高存储密度和较低成本的优势,但需要周期性刷新以保持数据的稳定性。因此,它广泛应用于计算机系统的主存储器(内存)。

### 5.2.4 单管动态随机存储器的工作原理

单管动态随机存储器 (Single-Transistor Dynamic Random Access Memory, 1T DRAM), 也称为单电容动态存储器, 是一种动态随机存取存储器类型, 它由单个晶体管和一个存储电容构成一个存储单元。1T DRAM 被广泛应用于高密度存储器, 如主存储器(内存)和图形存储器。下面详细介绍 1T DRAM 的工作原理, 如图 5.5 所示。

为了进一步减少 MOS 管数, 提高集成度, 人们又设计了单管存储单元电路, 如图 5.5 所示。它由一个 MOS 管  $T_1$  和一个电容  $C$  构成。其中, 字选择线用来选中基本存储单元, 数据线也称为位线, 用来输入或输出数据。

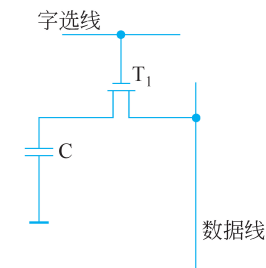


图 5.5 单管存储单元电路

(1) 写操作。写 1: 字选择线为 1, 即高电位,  $T_1$  管开通。数据线上的写入数据 1 (高电位), 对电容  $C$  充电至高电位, 写 1 成功。写 0: 字选择线为 1, 即高电位,  $T_1$  管开通。数据线上的写入数据 0 (低电位), 对电容  $C$  充电至低电位, 写 0 成功。

(2) 读操作。字选择线为 1, 即高电位,  $T_1$  管开通。若  $C$  有电荷, 经  $T_1$  管在数据线上产生电流, 可视为读出“1”。若  $C$  无电荷, 则数据线上无电流, 可视为读出“0”。读操作结束时,  $C_s$  的电荷已泄漏完毕, 故是破坏性读出, 必须再生。

(3) 刷新。DRAM 的基本存储单元不管是 4 管电路还是单管电路, 都是靠电容存储信息。存储在电容上的电荷(即二进制信息)具有放电特性, 时间一长(默认 2ms), 会慢慢泄漏, 导致存储信息出错。因此需要定时充电, 补足泄漏的电荷, 这就是刷新。

比较 4 管和单管存储单元电路, 它们各有优缺点。4 管电路的缺点是管子多, 占用的芯片面积大, 它的优点是外围电路比较简单, 读出过程就是刷新过程。故在刷新时不需要另加外部逻辑。单管电路的元件数量少, 集成度高, 但因读“1”和“0”时, 数据线上的电平差别很小, 需要有高鉴别能力的读出放大器配合工作, 外围电路比较复杂。和 SRAM 存储器比较起来, DRAM 存储器的基本存储单元是电容, 需要定时充电刷新, 因此要有专门的刷新电路, 故它的存取速度较慢; SRAM 存储器的基本存储单元是触发器, 不需要刷新, 速度也较快。但是, DRAM 存储器的基本存储单元是 4 管电路或单管电路, 而 SRAM 是 6 管电路, 因此 DRAM 存储器的集成度高、容量大、功耗小、每位价格便宜, 相反 SRAM 存储器的集成度低、容量小、功耗大、每位价格高。一般地, DRAM 用作内存, 而 SRAM 用作高速缓冲存储器(Cache)。

### 5.2.5 只读存储器的工作原理

半导体只读存储器(ROM)最大的特点是非易失性, 其访问速度比 RAM 稍低, 可以按地址随机访问并在线执行程序, 因此在计算机中用于存储固件、引导加载程序、监控程序及不变或很少改变的数据。早期的只读存储器中存储的原始数据必须在其工作以前离线存入芯片中, 现代的许多只读存储器都能够支持在线更新其存储的内容, 但更新操作与 RAM 的写操作完全不同, 不仅控制复杂, 而且耗时长, 更新所需的时间比 ROM 的读操作时间长很多, 可以重复更新的次数也相对较少。因此, 这种更新 ROM 存储内容的操作实际上不是“写入”, 而是编程。下面以掩模式 ROM 为例讲解只读存储器的工作原理。

掩模式 ROM 由制造厂家做成,用户不能加以修改。这类 ROM 的存储单元可由半导体二极管、双极型晶体管和 MOS 电路构成。掩模式 ROM 的存储矩阵可采用单译码结构,也可采用双译码结构。通常,存储容量较小时,采用单译码结构,存储容量较大时,采用双译码结构。图 5.6 是一种采用双译码结构的双极型 ROM 结构图,容量为  $256 \times 4$  位。它包括两部分:点画线上面的是基本 ROM 部分,下面是读取控制部分。

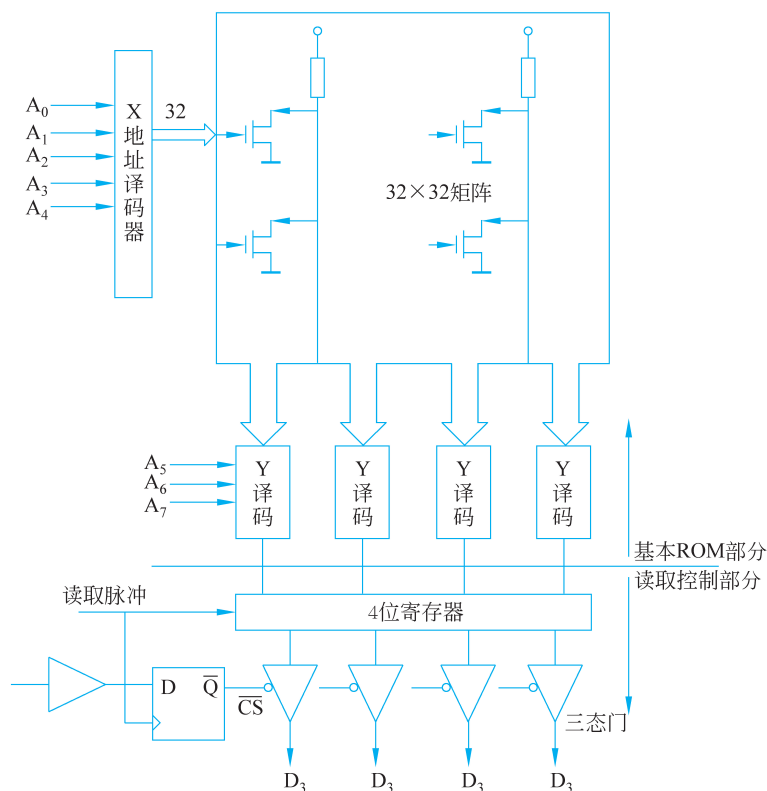


图 5.6 双极型 ROM 的结构图

$256 \times 4$  位,基本存储单元仍为 1024 个,也排成  $32 \times 32$  的矩阵。在 X 方向产生 32 条选择线,在 Y 方向产生 8 条选择线,每 4 个为一组。存储单元的工作原理是当某一行被选中时,连到存储管子的基极信号为 1,各列若有管子与此选择线相连,则管子导通,输出“0”。在输出电路中经过反相,实际输出为“1”。若没有管子与此选择线相连,则存储矩阵输出为“1”,经过输出电路反相,输出为“0”。在这里,输出三态门可由片选信号  $\overline{CS}$  控制。

## 5.2.6 存储器的扩展方式

由于单个存储芯片的容量是有限的,它在字数或字长方面与实际存储器的要求都有差距,因此需要在字和位两方面进行扩充才能满足实际存储器的容量要求。通常采用位扩展法、字扩展法和字位扩展法来扩展主存容量。

### 1. 位扩展

CPU 的数据线数与存储芯片的数据位数不一定相等,此时必须对存储芯片扩位(即进

行位扩展,用多个存储器件对字长进行扩充,增加存储字长),使其数据位数与 CPU 的数据线数相等。位扩展的连接方式是将多个存储芯片的地址端、片选端和读写控制端相应并联,数据端分别引出。

位扩展的一般方法如下。

- (1) 在给定的芯片中选择合适的芯片,并确定使用数量。
- (2) 选中芯片的地址线、读写线、片选线对应连接。
- (3) 把数据线单独连接,拼接成要求的数据宽度。

如图 5.7 所示,用 8 片  $8\text{K} \times 1$  位的 RAM 芯片组成  $8\text{K} \times 8$  位的存储器。8 片 RAM 芯片的地址线  $A_{12} \sim A_0$ 、 $\overline{\text{CS}}$ 、 $\overline{\text{WE}}$  都分别连在一起,每片的数据线依次作为 CPU 数据线的的一位。

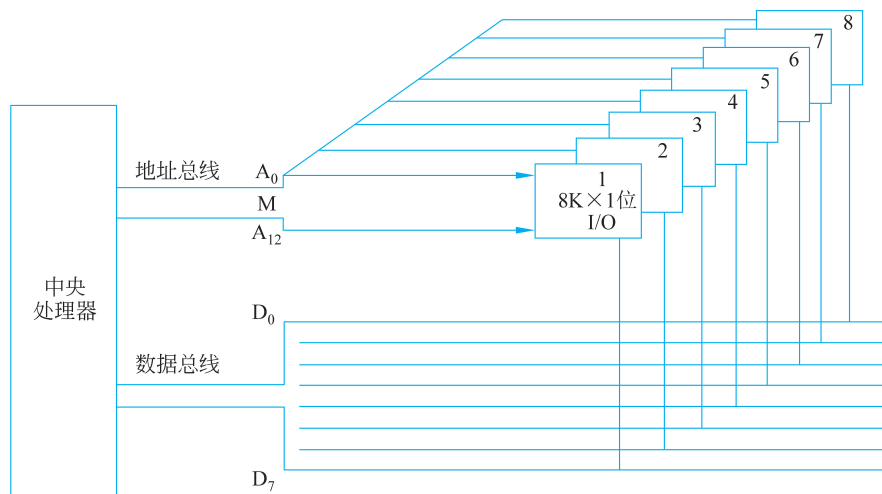


图 5.7 位扩展连接示意图

**例 5.1** 利用多片  $1\text{M} \times 4$  位的 SRAM 芯片设计一个存储容量为  $1\text{M} \times 8$  位的 SRAM 存储器。

解:设计的存储器字长为 8 位,存储器字数不变。所需芯片数为

$$d = (1\text{M} \times 8) / (1\text{M} \times 4) = 2$$

在连接的三组信号线中,地址线、控制线公用,数据线分高 4 位、低 4 位,分别与两片 SRAM 芯片的 I/O 端相连接,两片同时工作。

## 2. 字扩展

字扩展是指增加存储器中字的数量,而位数不变。字扩展将芯片的地址线、数据线、读写控制线相应并联,而由片选信号来区分各芯片的地址范围。

字扩展的一般方法如下。

- (1) 在给定的芯片中选择合适的芯片。
- (2) 选中芯片的低位地址线、读写线、数据线对应连接。
- (3) 用高位地址线译码,将输出接至各芯片的片选端。

例如,使用 Intel 2114( $1\text{K} \times 4$ )芯片扩展成为  $4\text{K} \times 4$  容量的存储器。根据要求可以选用