

EDA 技术是一门实践性很强的专业技术课程,EDA 实验开发系统提供了在计算机上完成电子系统设计后实验和实现这一全新技术的硬件平台和完整电子系统的运行平台。

本章介绍由杭州康芯电子有限公司研制开发的、系统性能相对较好的 GW48 EDA/SOPC 实验开发系统的使用方法。通过具体实例讲解使用 Quartus II 软件完成 EP1C3 型 FPGA 器件设计的全过程。

## 5.1 GW48 型 EDA 实验开发系统简介

### 5.1.1 系统使用注意事项

闲置不用 GW48 系统时,必须关闭电源,拔下电源插头。

在实验中,当选中某种模式后,要按一下右侧的复位键,使系统进入该结构模式工作。

换目标芯片时要特别注意,不要插反或插错,也不要带电插拔,确信插对后才能开电源。其他接口都可带电插拔。

对于 GW48 系统,左下角拨码开关除第 4 挡“DS8 使能”向下拨(8 数码管显示使能)外,其余皆默认向上拨。

### 5.1.2 硬件符号功能说明

GW48 系列 EDA 实验开发系统的面板结构图如图 5.1 所示。在本章中使用的开发系统结构图中,将用到一些硬件符号,这些硬件符号代表具有一定逻辑或时序功能以及输入输出管脚的硬件结构,下面将对这些符号进行说明。

#### 1. 十六进制 7 段全译码器

图 5.2 显示了一个十六进制 7 段全译码器的符号和输入输出端子。7 段全译码器有 4 个输入脚,分别为 D、C、B、A,其中 D 为最高位,A 为最低位,代表一个十六进制数。译码器有 7 个输出脚,a、b、c、d、e、f 和 g,分别接 7 段数码管的 7 个显示输入端。数码管显示的字符即为输入端的十六进制数。

#### 2. 高低电平发生器

图 5.3 是高低电平发生器的符号和输入输出端子,每按键一次,输出电平由高到低,或由低到高变化一次,且输出为高电平时,所按键对应的发光管变亮,反之不亮。



视频讲解

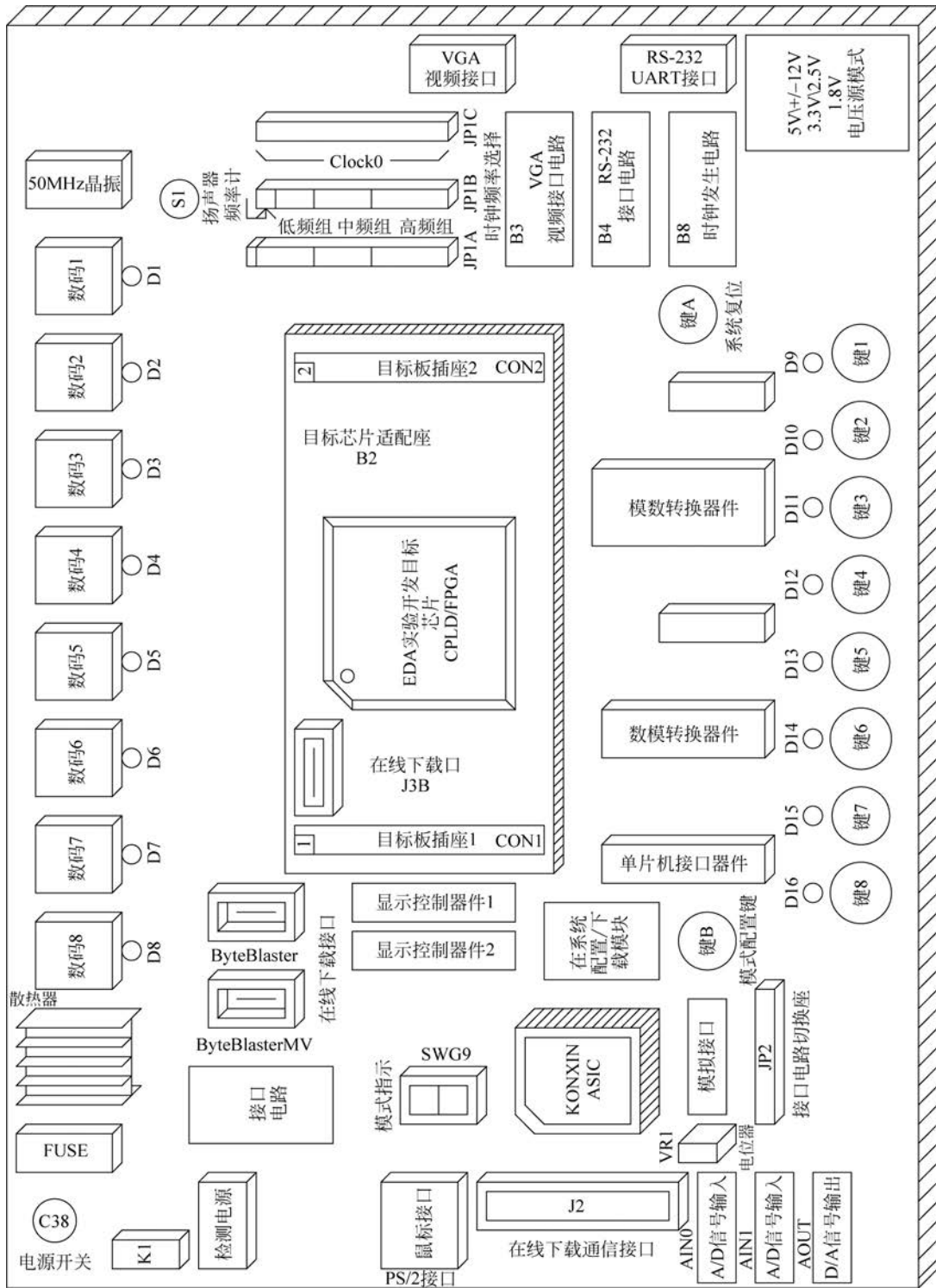


图 5.1 GW48 系列 EDA 实验开发系统的面板结构图

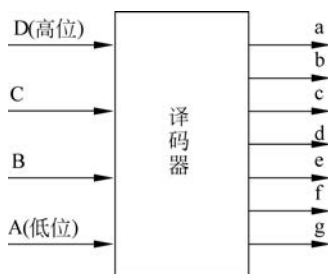


图 5.2 7 段全译码器的符号和输入输出端子

### 3. 加计数的十六进制计数器

图 5.4 是加计数的十六进制计数器的符号和输入输出端子,输入端每输入一个脉冲,计数器作加 1 操作。输出端 DCBA 为计数器的 4 个二进制输出端子,其中 D 为高位,A 为低位。

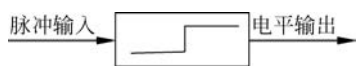


图 5.3 高低电平发生器的符号和输入输出端子



图 5.4 加计数的十六进制计数器的符号和输入输出端子

### 4. 单脉冲发生器

图 5.5 是一个单脉冲发生器的符号和输入输出端子,输入端每输入一个脉冲,单脉冲发生器也将产生一个脉冲信号输出,其脉冲宽度为 20ms。

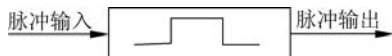


图 5.5 单脉冲发生器的符号和输入输出端子

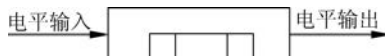


图 5.6 时间可控电平发生器的符号和输入输出端子

### 5. 时间可控电平发生器

时间可控电平发生器也叫琴键式信号发生器,图 5.6 是时间可控电平发生器的符号和输入输出端子。当输入为 1 时,输出为稳定的高电平;当输入为 0 时,输出为稳定的低电平。在实验中的功能主要用于手动控制输入高电平信号的宽度。

这 5 种结构在开发系统中被广泛使用,在开发系统的电路结构图中是以符号的形式出现,并没有标出其输入输出端子,因此在进行设计时,既要考虑每种符号的功能,还要考虑每种符号所具有的输入输出形式。

## 5.1.3 开发系统的电路结构

GW48 系列 SOPC/EDA 开发系统为开发设计提供了 11 种工作电路结构,也称工作模式(即模式 NO.0~NO.9 和 NO.B),用户可以根据设计需要灵活地任选其中的一种。

### 1. 工作模式 0

工作模式 0 的电路结构如图 5.7 所示。

该结构中,EP1C3 芯片的 PIO8~PIO15 是作为输入管脚使用的,分别接收两个十六进制加计数器的输出,这两个计数器的实际输出数值可以同时通过 D8~D1 这 8 个发光二极管来查看;同样的是计数器的 D 端连接 EP1C3 芯片的 PIO 高位,同时连接高位 LED; A

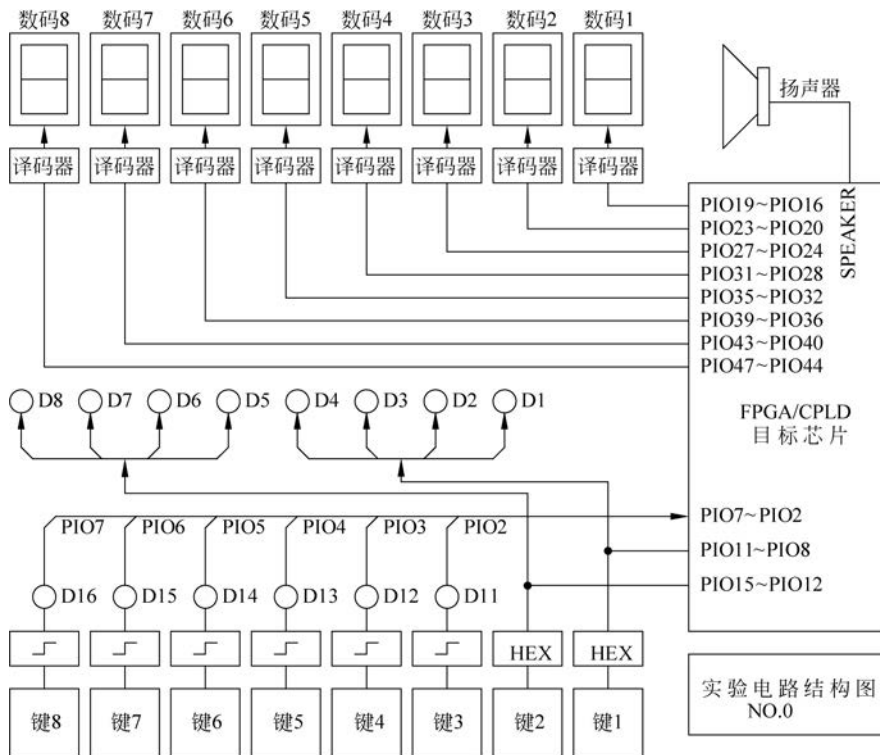


图 5.7 工作模式 0 的电路结构

端接 PIO 低位,同时连接低位的 LED。计算机的输入分别连接两个按键:键 1 和键 2。另外,EP1C3 芯片的 PIO2~PIO7 作为输入端子,分别连接 1 个高低电平发生器的输出,高低电平发生器的输出也可以同时通过连接的 LED 直接查看,每个高低电平发生器的输入连接一个按键,每按动一次按键,将通过高低电平发生器向 EP1C3 芯片的相应管脚送入与按键之前相反的电平信号。

在 FPGA 芯片外连接 8 个译码器,由左向右 8 个译码器输入端子分别连接到 FPGA 芯片的 PIO47~PIO44、PIO43~PIO40、PIO39~PIO36……PIO19~PIO16(在工作模式 0 结构中,EP1C3 芯片的 PIO47~PIO16 只能作为输出端子使用),其中译码器的 D 端接 PIO 高位,A 端接 PIO 低位。8 个译码器的输出端子分别接到 8 个数码管,用于显示译码器的输出,这个输出实际代表 EP1C3 芯片的 4 个 PIO 管脚的输出。EP1C3 芯片的时钟信号输入管脚 CLOCK0、2、5、9,为系统的时钟信号输入模块,能够为实验系统同时提供 4 个时钟频率信号。每个信号的频率通过跳线块的不同接插位置来选择或改变。EP1C3 芯片的 SPEAKER 管脚作为输出管脚连接一个蜂鸣器,根据 SPEAKER 管脚输出情况的不同,蜂鸣器发出的声音也将发生相应的变化。

## 2. 工作模式 1

工作模式 1 的电路结构如图 5.8 所示。

该电路结构适用于加法器、减法器、比较器或乘法器等设计。例如,加法器设计,可使用键 4 和键 3 输入 8 位加数,键 2 和键 1 输入 8 位被加数,键 8 作为低位的进位位,通过数码管来显示。

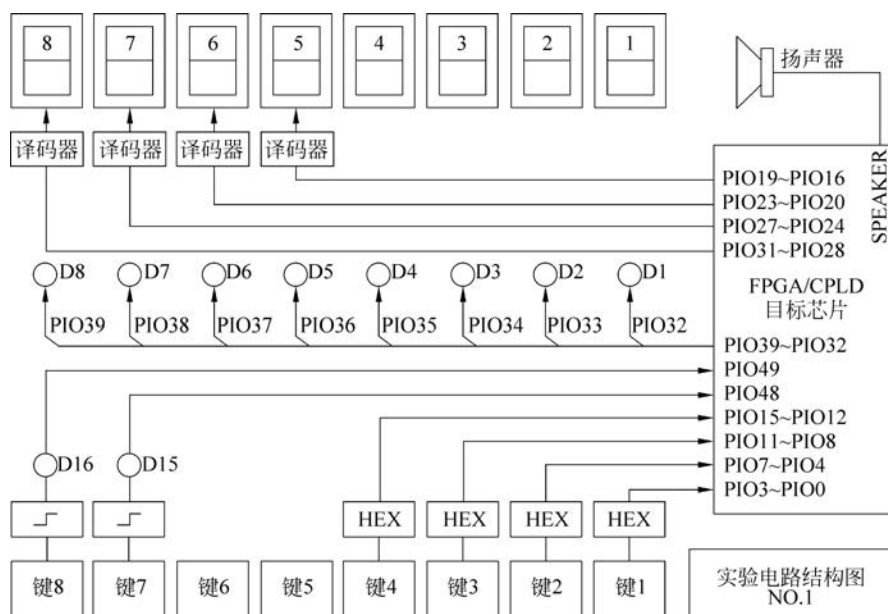


图 5.8 工作模式 1 的电路结构

### 3. 工作模式 2

工作模式 2 的电路结构如图 5.9 所示。

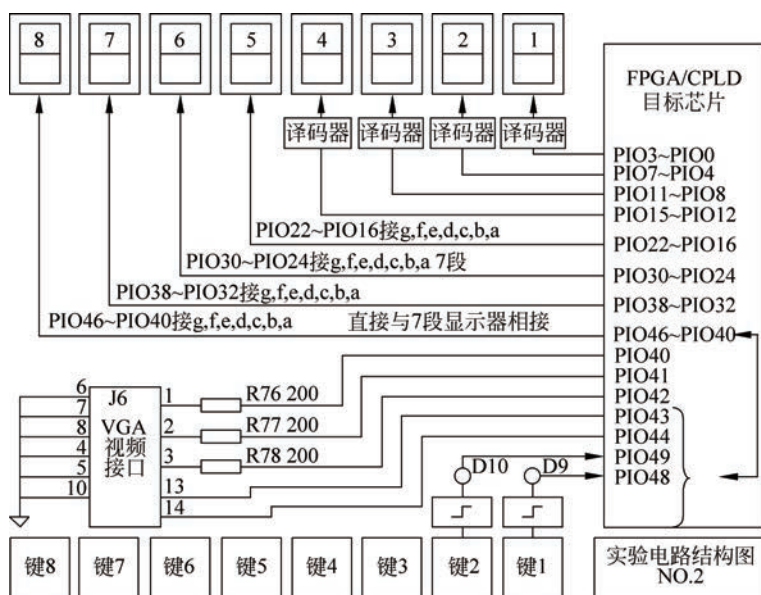


图 5.9 工作模式 2 的电路结构

该电路结构的外接器件较少,适用于 VGA 视频接口逻辑设计,或使用数码管 8~数码管 5 共 4 个数码管作 7 段显示译码方面的实验。而数码管 4~数码管 1 共 4 个数码管可作译码后显示,键 1 和键 2 可输入高低电平。

### 4. 工作模式 3

工作模式 3 的电路结构如图 5.10 所示。

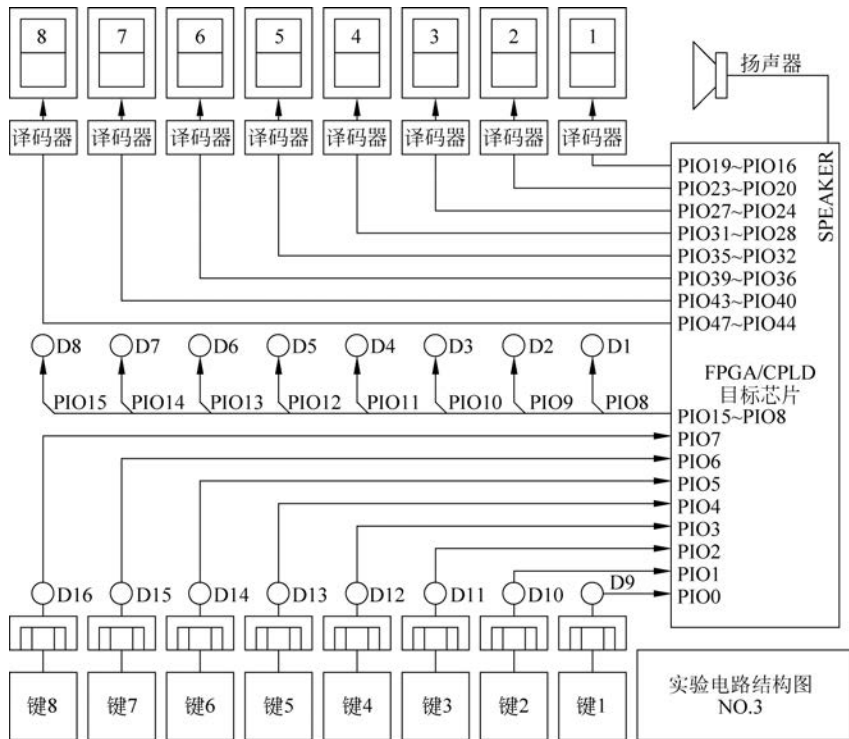


图 5.10 工作模式 3 的电路结构

该模式的特点是有 8 个时间可控电平发生器,用于设计八音琴等电路系统,也可以产生时间长度可控的单次脉冲。

### 5. 工作模式 4

工作模式 4 的电路结构如图 5.11 所示。

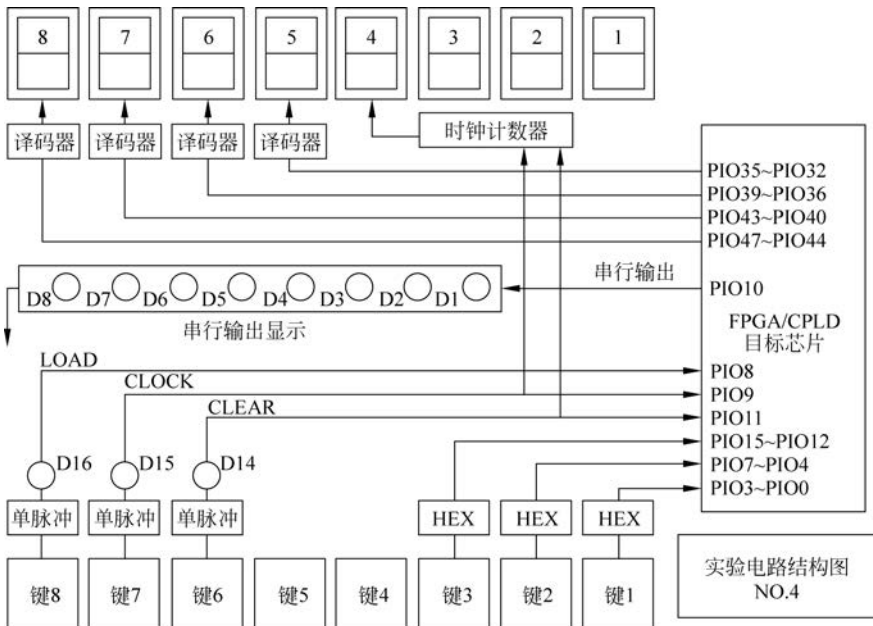


图 5.11 工作模式 4 的电路结构

在该结构中,EP1C3 芯片的 PIO32~PIO47 作为输出管脚分别连接 4 个译码器,PIO10 被配置成输出端子可以作为串行输出端子,其串行输出数据通过 D8~D1 显示,PIO8、PIO9、PIO11 在键 8~键 6 的控制下可以分别作为串行输出控制的加载(LOAD)、时钟(CLOCK)、清零(CLEAR)的控制信号。PIO0~PIO7 和 PIO15~PIO12 则被配置成输入管脚分别连接 1 个加计算器。

该模式适合于设计移位寄存器和形计数器等,其数据可以通过 PIO10 的串行输出数码,在发光管 D8~D1 上逐步显示出来。

## 6. 工作模式 5

工作模式 5 的电路结构如图 5.12 所示。

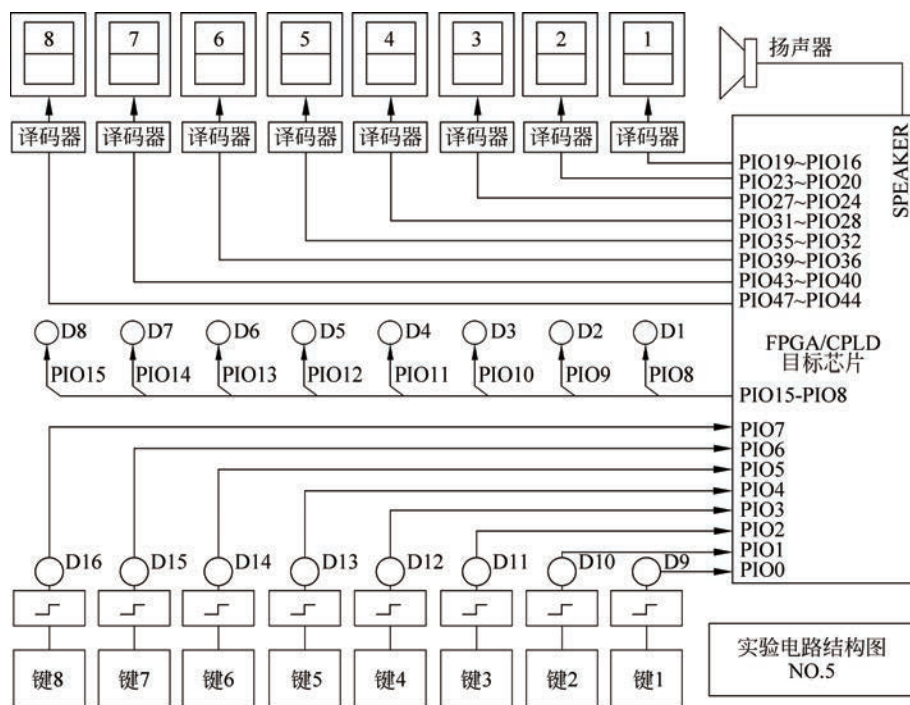


图 5.12 工作模式 5 的电路结构

该模式有较强的功能,主要用于目标器件与外界电路的接口设计实验。例如,可用于完成 A/D、D/A 转换,单片机接口,PS/2 键盘接口和比较器 LM311 的控制等实验。

## 7. 工作模式 6

工作模式 6 的电路结构如图 5.13 所示。

此电路与工作模式 2 相似,但增加了两个 4 位二进制数发生器,数值分别输入目标芯片的 PIO7~PIO4 和 PIO3~PIO0。FPGA 芯片的 PIO46~PIO16 作为输出管脚分为 4 组,直接连接 4 个数码管,PIO16~PIO23 被配置成输出端子,顺序连接 D1~D8,PIO8~PIO13 作为输入端子,连接 6 个高低电平发生器。

## 8. 工作模式 7

工作模式 7 的电路结构如图 5.14 所示。

此电路适合于设计时钟、定时器、秒表等。因为可利用键 8 和键 5 分别控制时钟的清零和设置时间的使能,利用键 7、键 5 和键 1 分别进行时、分和秒的设置。

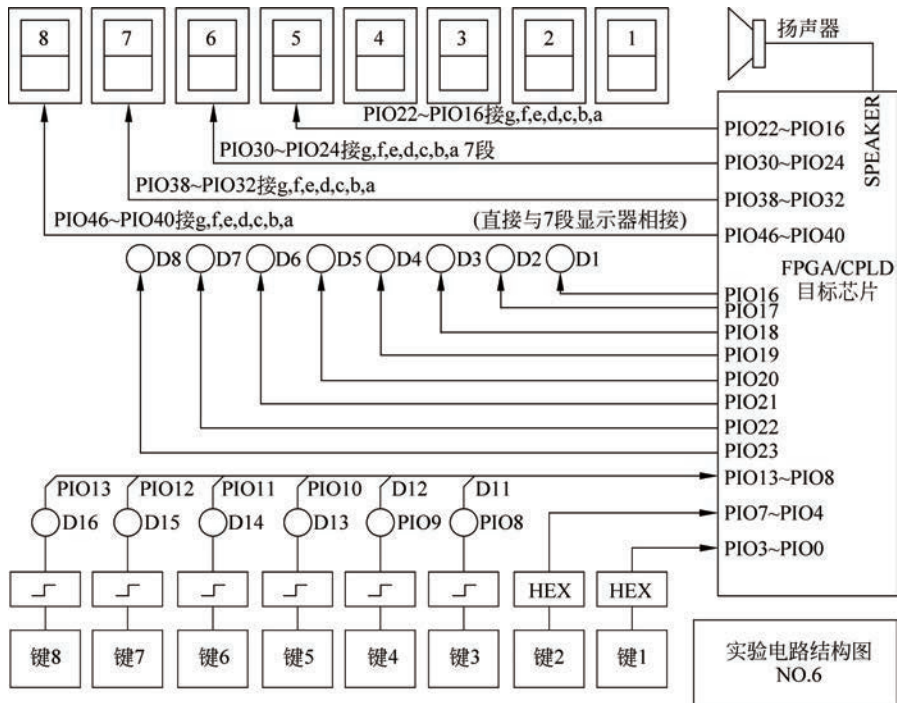


图 5.13 工作模式 6 的电路结构

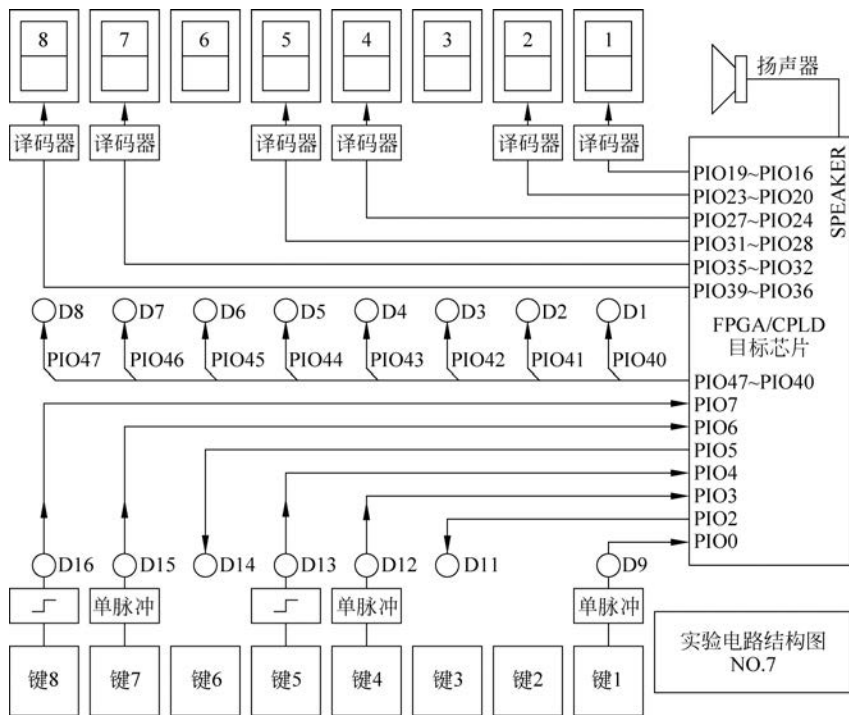


图 5.14 工作模式 7 的电路结构

### 9. 工作模式 8

工作模式 8 的电路结构如图 5.15 所示。

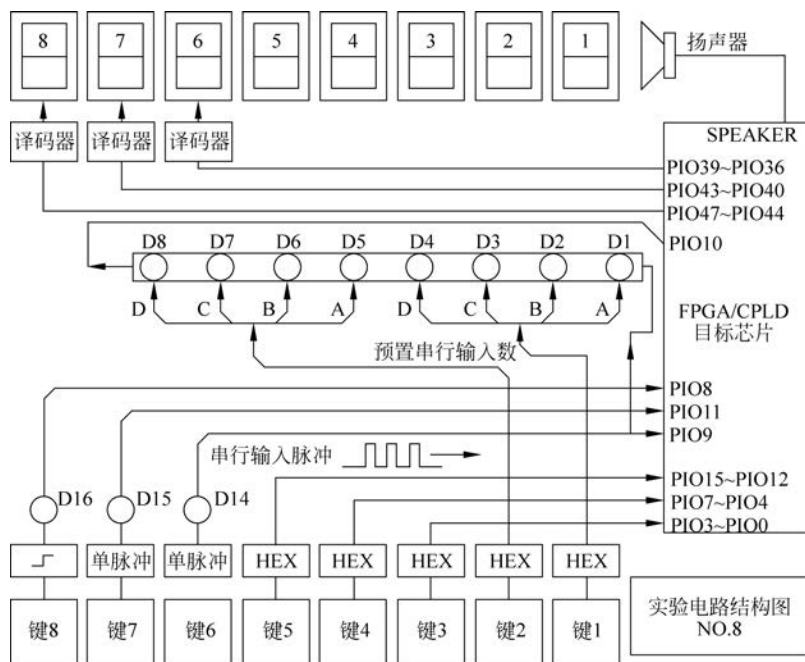


图 5.15 工作模式 8 的电路结构

此电路适用于并进/串出或串进/并出等工作方式的寄存器、序列检测器、密码锁等逻辑设计。它的特点是利用键 2、键 1 能设置 8 位二进制数，而键 6 能发出串行输入脉冲，每按键一次，即发一个单脉冲，使此 8 位设置数的高位在前，向 PIO10 串行输入一位，同时能从 D8~D1 的发光管上看到串行左移的数据，十分形象直观。

### 10. 工作模式 9

工作模式 9 的电路结构如图 5.16 所示。

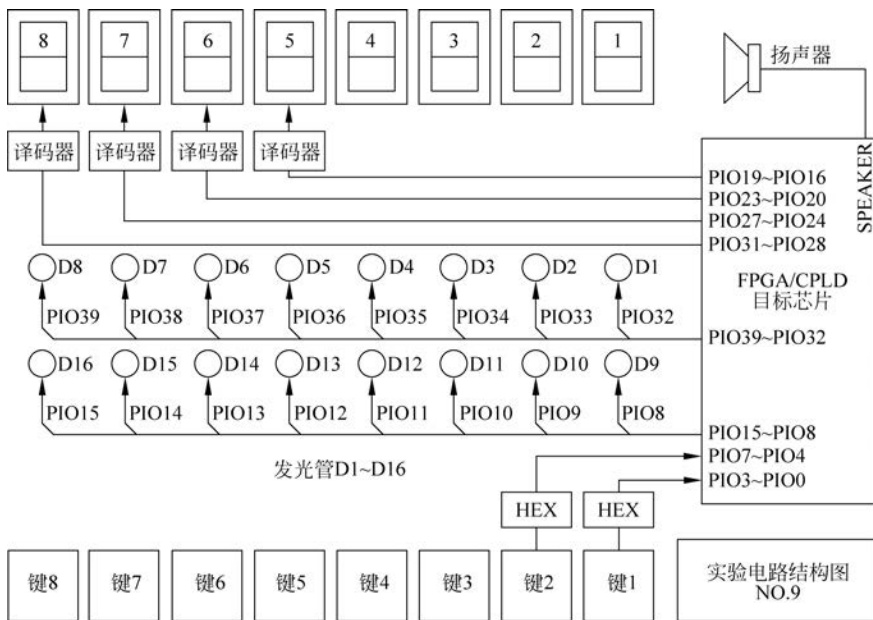


图 5.16 工作模式 9 的电路结构

此电路结构可验证交通灯控制等类似的逻辑电路。

### 11. 工作模式 A 和 B

当模式选择键 SWG9 显示为 A 时,系统板即变成一台数字频率计,数码管 8 将显示 F,数码管 6~数码管 1 显示频率值,测频输入端为系统板右下角的 JP1B 插座,测频范围为 1Hz~500kHz。当模式选择键 SWG9 显示为 B 时,此电路适用于 8 位译码扫描显示电路方面的实验。

在这 11 种结构图中,GW 系统结构图信号名与芯片引脚对照表如表 5.1 所示。

表 5.1 GW 系统结构图信号名与芯片引脚对照表

结构图上的 的信号名	EP1C3T C144	EP3C40Q 240C8N	结构图上的 的信号名	EP1C3T C144	EP3C40Q 240C8N	结构图上的 的信号名	EP1C3T C144	EP3C40Q 240C8N
	引脚号	引脚号		引脚号	引脚号		引脚号	引脚号
PIO0	1	18	PIO25	52	80	PIO60	131	226
PIO1	2	21	PIO26	67	112	PIO61	132	230
PIO2	3	22	PIO27	68	113	PIO62	133	231
PIO3	4	37	PIO28	69	114	PIO63	134	232
PIO4	5	38	PIO29	70	117	PIO64	139	235
PIO5	6	39	PIO30	71	118	PIO65	140	236
PIO6	7	41	PIO31	72	126	PIO66	141	239
PIO7	10	43	PIO32	73	127	PIO67	142	240
PIO8	11	44	PIO33	74	128	PIO68	122	186
PIO9	32	45	PIO34	75	131	PIO69	121	185
PIO10	33	46	PIO35	76	132	PIO70	120	184
PIO11	34	49	PIO36	77	133	PIO71	119	183
PIO12	35	50	PIO37	78	134	PIO72	114	177
PIO13	36	51	PIO38	83	135	PIO73	113	176
PIO14	37	52	PIO39	84	137	PIO74	112	173
PIO15	38	55	PIO40	85	139	PIO75	111	171
PIO16	39	56	PIO41	96	142	PIO76	143	6
PIO17	40	57	PIO42	97	143	PIO77	144	9
PIO18	41	63	PIO43	98	144	PIO78	110	169
PIO19	42	68	PIO44	99	145	PIO79	109	166
PIO20	47	69	PIO45	103	146	SPEAKER	129	164
PIO21	48	70	PIO46	105	159	CLOCK0	93	152
PIO22	49	73	PIO47	106	160	CLOCK2	17	149
PIO23	50	76	PIO48	107	161	CLOCK5	16	150
PIO24	51	78	PIO49	108	162	CLOCK9	92	151

## 5.2 Quartus II 软件的安装

Quartus II 是 Altera 公司在 Max+plus II 基础上推出的新一代功能强大的 CPLD/FPGA 开发软件。该软件是一个完全集成化、易学易用的可编程逻辑设计环境,可以在多种平台上运行。它所提供的灵活性和高效性是无可比拟的,其丰富的图形界面,辅之以完整的、可即时访问的在线文档,使初学者能够轻松掌握和使用。

### 5.2.1 系统要求

为了使 Quartus II 的运行效果最佳,Altera 推荐的系统配置要求为:

- (1) CPU: 奔腾 II 400MHz 以上。
- (2) 操作系统: Windows 2000、Windows XP、Windows 7 或更新版本。
- (3) 内存要求: 可用内存为 512MB,物理内存至少为 800MB。
- (4) 安装所需空间: 2GB 以上。
- (5) 显卡要求: Microsoft Windows 兼容的 SVGA 显卡。
- (6) 通信接口: 具有并行通信口或 USB 通信口,以方便使用下载电缆。

### 5.2.2 安装步骤

(1) 把 Quartus II 开发软件的安装光盘放入计算机的光驱中,安装光盘将自动启动安装,也可以双击根目录下的 install.exe 文件,打开如图 5.17 所示的对话框。



图 5.17 安装向导

(2) 单击 Install Quartus II and Related Software 按钮,进入欢迎界面,单击 Next 按钮打开安装 Quartus II 软件的安装向导界面,如图 5.18 所示。在这个安装向导界面中,选中

Quartus II 5.0,其他项目不选,单击 Next 按钮,打开如图 5.19 所示的开发环境的协议接受界面。

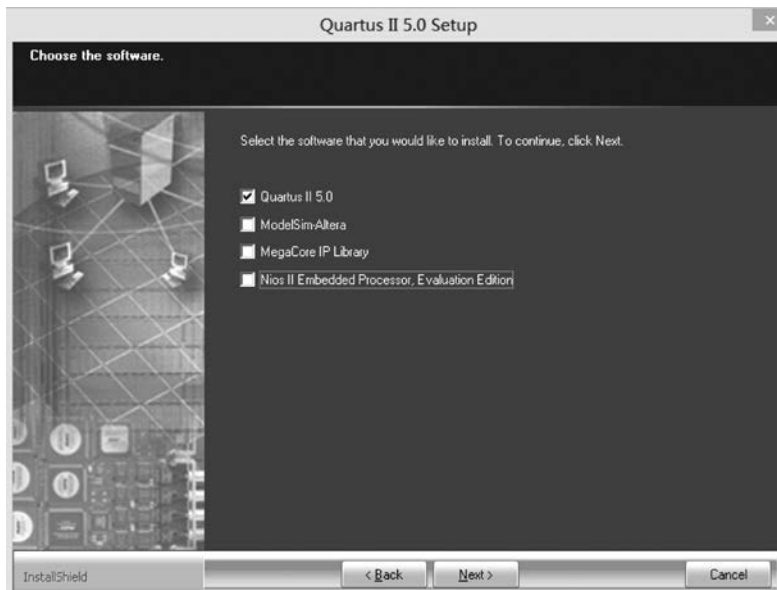


图 5.18 软件选择界面

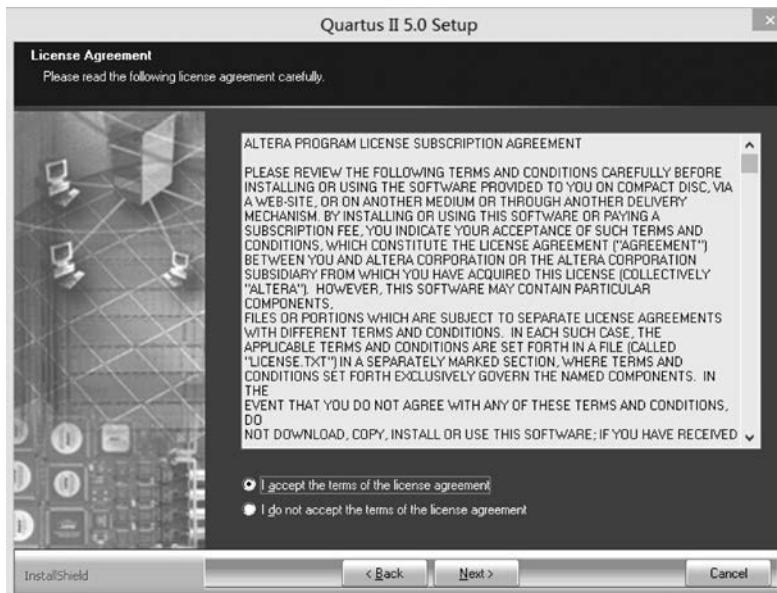


图 5.19 开发环境的协议接受界面

(3) 在图 5.19 中单击 I accept the terms of the license agreement 单选按钮,再单击 Next 按钮,进入如图 5.20 所示的定义用户名和公司名信息的界面。

(4) 在图 5.20 中单击 Next 按钮,进入如图 5.21 所示的 Quartus II 开发软件安装目录选择界面。选择安装路径,单击 Next 按钮进入如图 5.22 所示的 Quartus II 软件自定义安装和完全安装选择界面。



图 5.20 定义用户名和公司名信息



图 5.21 软件安装目录选择界面

(5) 在图 5.22 中单击 Next 按钮,进入如图 5.23 所示的安装基本信息提示窗。

(6) 在图 5.23 中继续单击 Next 按钮,Quartus II 开始正式安装,等待数分钟后显示软件安装完成提示窗,如图 5.24 所示。单击 Finish 按钮,完成安装。

### 5.2.3 安装许可证

Altera 公司的 Quartus II 软件安装完成后,在首次使用之前还必须要 Altera 公司提供的授权文件(license.dat)。



图 5.22 自定义安装和完全安装选择界面



图 5.23 软件安装基本信息提示窗

第 1 次启动 Quartus II 软件, 会打开如图 5.25 所示的安装许可证提示对话框, 其中有 3 种可选择项: ①不安装软件许可证, 用户可以免费使用软件 30 天; ②在 Altera 的官方网站上获得软件使用许可证; ③使用专用的软件许可文件。此处选择第 3 项, 单击 OK 按钮。

随后打开如图 5.26 所示的 License Setup 对话框, 导入授权文件, 单击 OK 按钮, 即完成许可证的安装。

至此, Quartus II 软件的安装全部结束, 可以开始设计工作了。

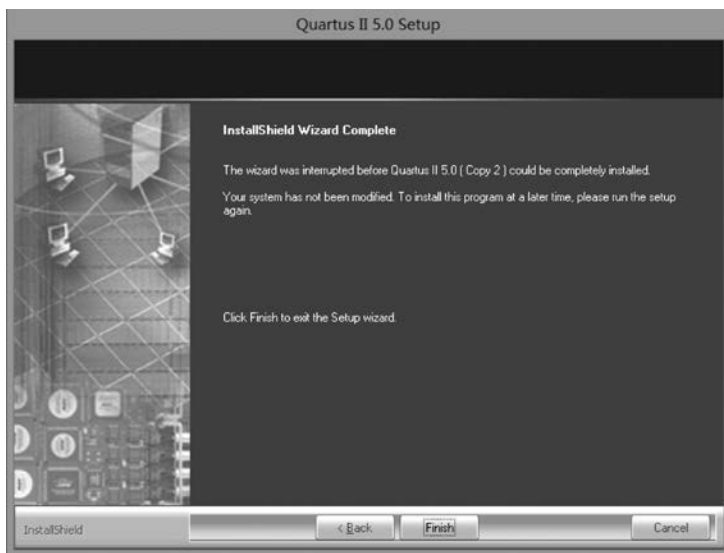


图 5.24 软件安装完成提示窗

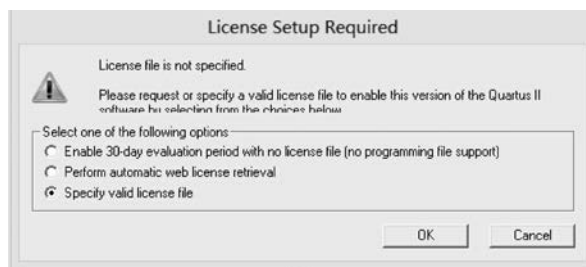


图 5.25 安装许可证提示对话框

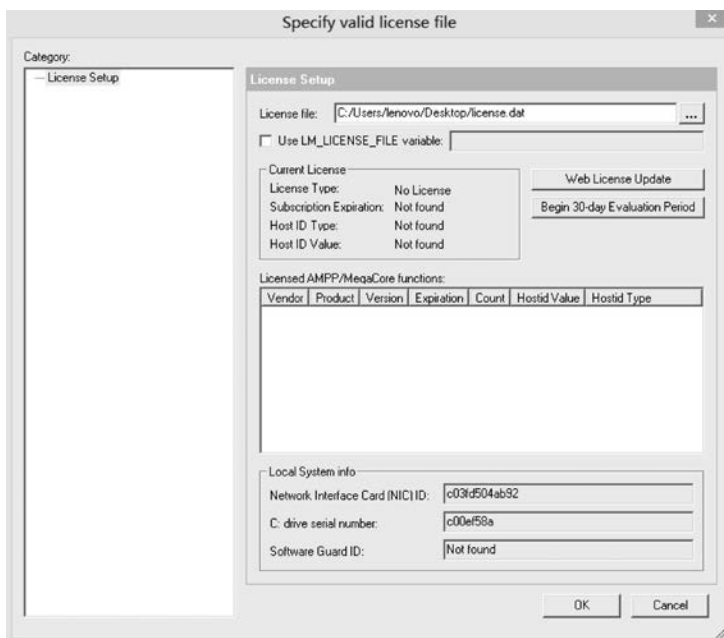


图 5.26 License Setup 对话框

## 5.3 Quartus II 的基本操作流程

### 5.3.1 Quartus II 的原理图编辑输入法

在 Quartus II 平台上,使用原理图输入设计法实现数字电路系统设计的操作流程如图 5.27 所示,包括编辑原理图、编译设计文件、生成元件符号、功能仿真、引脚锁定、时序仿真、编程下载和硬件调试等基本过程。用 Quartus II 图像编辑方式生成的图形文件的扩展名为 .bdf。为了方便电路设计,设计者首先应当在计算机中建立自己的工程目录,例如,用 \myeda\mybdf\ 文件夹存放 .bdf 文件,用 \myeda\myvhdl\ 文件夹存放设计 .vhd 文件等。

#### 1. 创建工程设计文件

启动 Quartus II 集成环境后,打开如图 5.28 所示的主界面窗口。

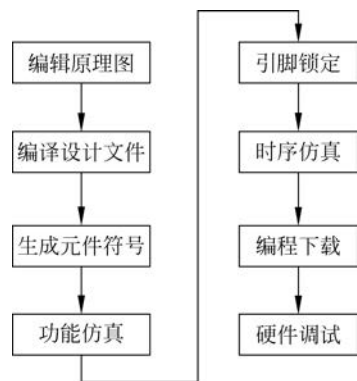


图 5.27 原理图输入设计法的基本操作流程示意图

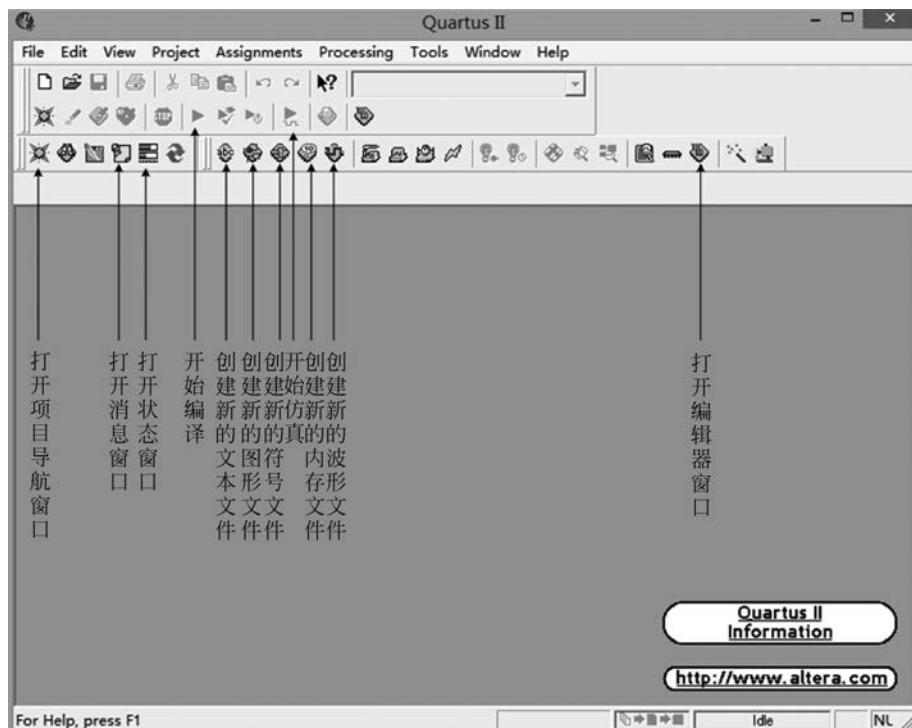


图 5.28 Quartus II 主界面窗口

任何一项设计都是一项工程(Project),都必须首先为此工程建立一个放置与此工程相关的所有文件的文件夹。此文件夹将被 EDA 软件默认为工作库(Work Library)。一般地,不同的设计项目最好放在不同的文件夹中,而同一工程的所有文件都必须放在同

一文件夹中。

执行菜单 File|New Project Wizard 命令,打开如图 5.29 所示的创建工程的对话框。在对话框的第 1 栏中输入项目所在的文件夹名;在第 2 栏中输入新的项目名,该项目名是设计系统的顶层文件名;在第 3 栏中输入设计系统的底层项目名,如果没有或暂不考虑底层项目,则第 3 栏中的项目名与第 2 栏相同。

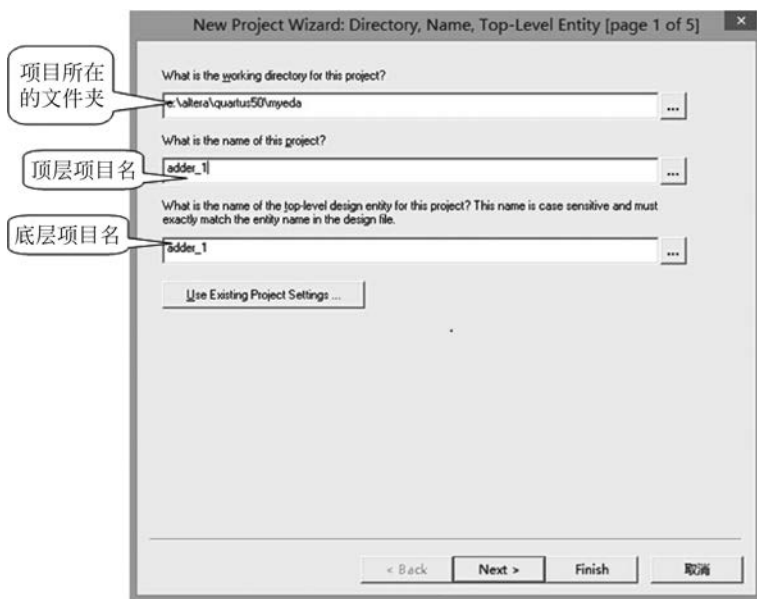


图 5.29 创建工程对话框

## 2. 进入图形编辑方式

选择 File|New 命令,弹出如图 5.30 所示的输入方式选择对话框,选择 Block Diagram/Schematic File (模块/原理图文件)方式,进入图形编辑窗口,如图 5.31 所示,这时就可以输入设计电路了。图 5.31 中原理图编辑工具条按钮从上到下依次为选择工具、文本工具、元件符号工具、模块工具、正交节点工具、正交总线工具、正交管道工具、橡皮筋工具、部分选择工具、放大/缩小小按钮、全屏按钮、查找工具、元件水平翻转按钮、元件垂直翻转按钮、元件逆时针旋转 90°按钮、画矩形框工具、画椭圆形工具、画直线工具和画弧线工具,这些工具栏按钮均可在 Edit 和 View 菜单项中找到。

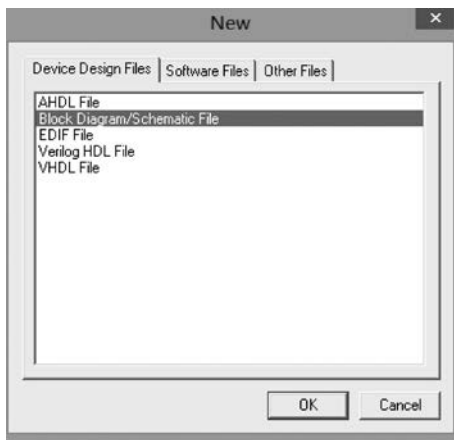


图 5.30 输入方式选择对话框

## 3. 编辑图像文件

在原理图编辑窗口中的任何一个位置上双击,弹出如图 5.32 所示的元件选择对话框;或者右击,将弹出一个选择对话框,选择此框中 Insert 的 Symbol as Block...项;或者执行菜单命令 Edit|Insert Symbol,也可以弹出输入元件选择对话框。

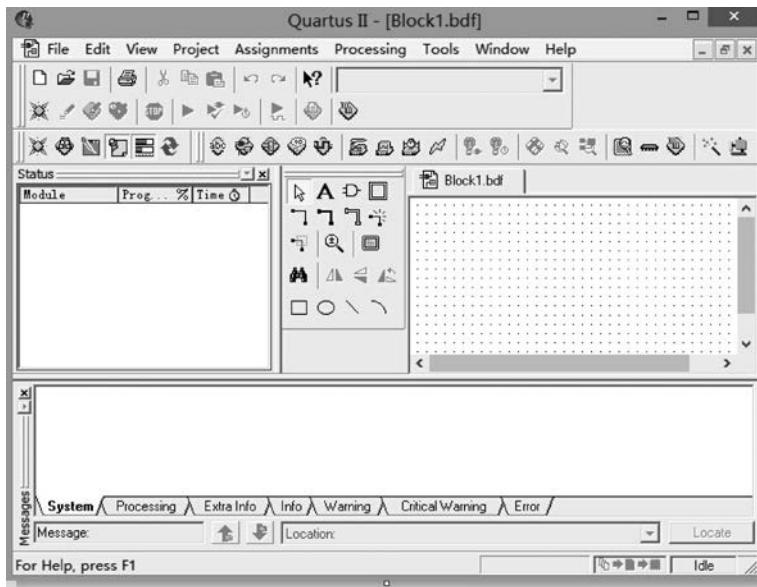


图 5.31 图形编辑窗口

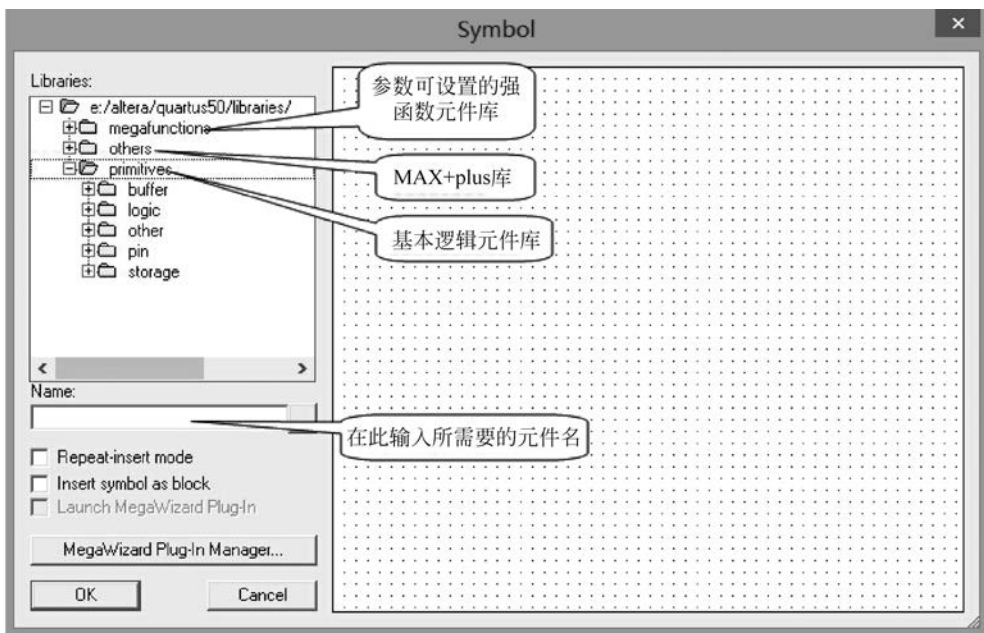


图 5.32 元件选择对话框

在图 5.32 中,Quartus II 列出了存放在 altera/quartus/libraries 文件夹中的各种元件库。其中 primitives 是基本逻辑元件库,包括缓冲器和基本逻辑门,如电源、门电路、触发器、输入和输出等。在元件选择对话框的 Name 栏目内直接输入元件名,或者在 libraries 栏目中,单击元件名,可得到相应的元件符号。元件选中后,单击 OK 按钮。

用上述方法,按照一位全加器的电路结构,用鼠标完成电路内的连接及与输入输出元件的连接,并将相应的输入元件符号名分别更改为 a、b 和 cin,把输出元件的名称分别更改为

sum 和 cout,如图 5.33 所示。电路设计完成后,用 adder\_1.bdf 为文件名,存在所建的工程目录内。

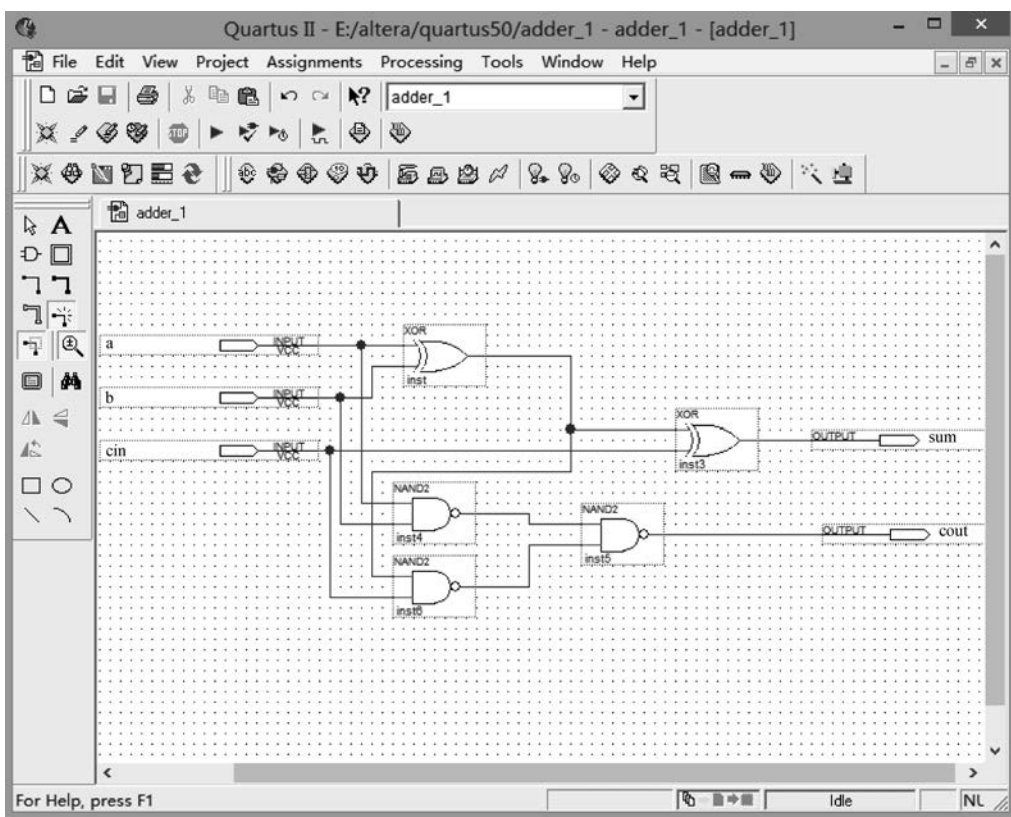


图 5.33 一位全加器的图形编辑文件

执行 Quartus II 主窗口菜单 Processing | Start Compilation 命令,或者在主窗口上直接单击“开始编译”按钮,即可以进行编译,编译过程中的相关信息将在“消息窗口”中出现。

#### 4. 选择目标芯片

在 Quartus II 集成环境下,执行菜单 Assignments | Device 命令,在如图 5.34 所示弹出的器件选择对话框的 Family 下拉列表中选择目标芯片,如 Cyclone,然后在 Available devices 列表中选择目标芯片型号,如 EP1C3T144C8,结束选择单击 OK 按钮。

#### 5. 仿真设计文件

##### (1) 创建波形文件。

执行 File | New 命令,打开如图 5.35 所示的 New 对话框,选择 Other Files 中的 Vector Waveform File 方式后单击 OK 按钮,或者直接单击主窗口上的“创建新的波形文件”按钮,进入波形编辑方式,如图 5.36 所示。

##### (2) 输入信号节点。

在波形编辑方式下,执行菜单 Edit | Insert Node or Bus 命令,或在波形编辑窗口的 Name 栏中右击,在弹出的快捷菜单中选择 Insert Node or Bus 命令,即可弹出 Insert Node or Bus(插入节点或总线)对话框,如图 5.37 所示。

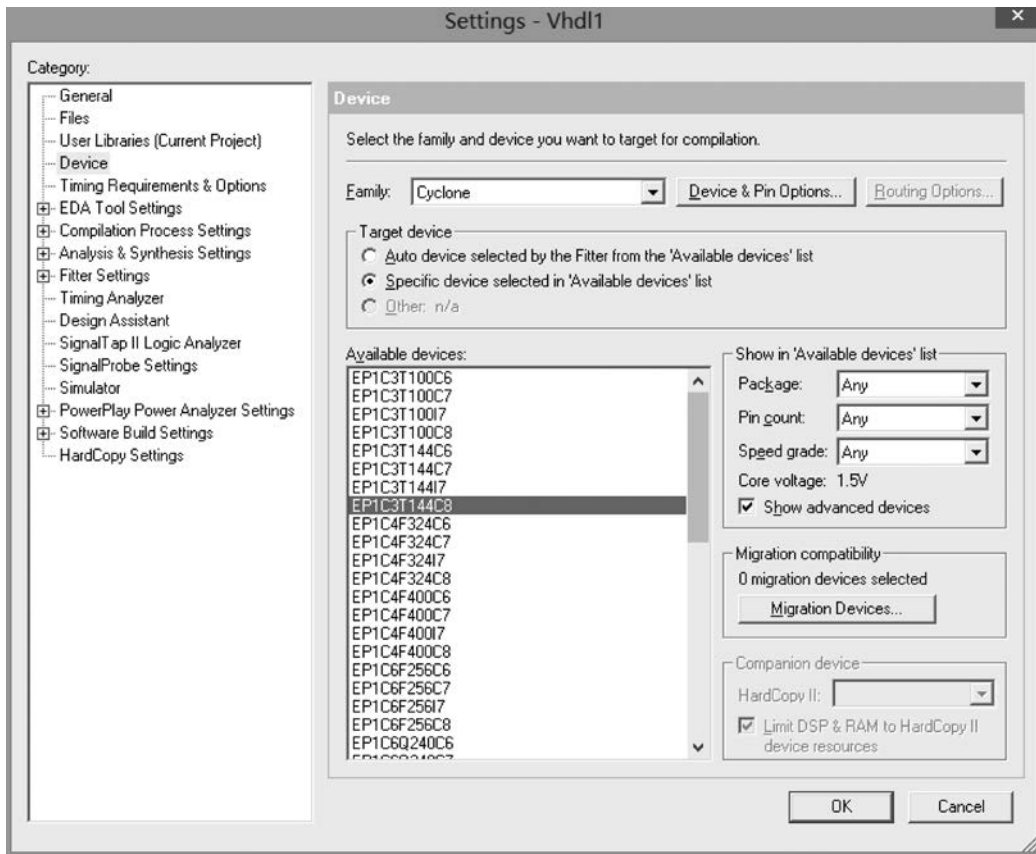


图 5.34 器件选择对话框

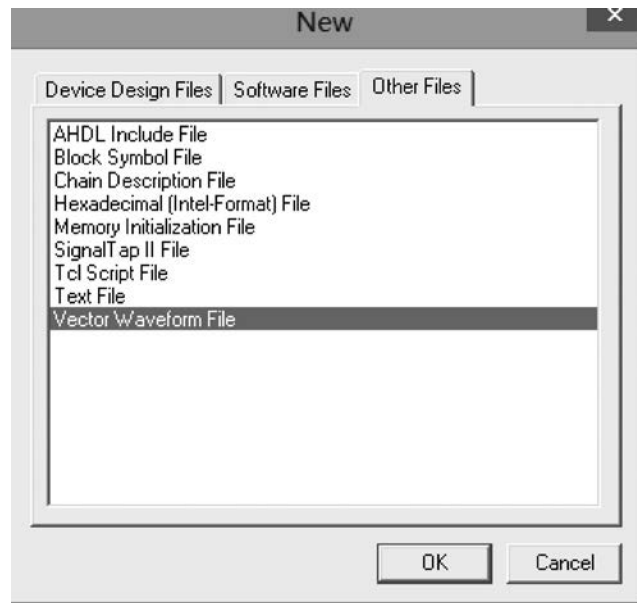


图 5.35 New 对话框

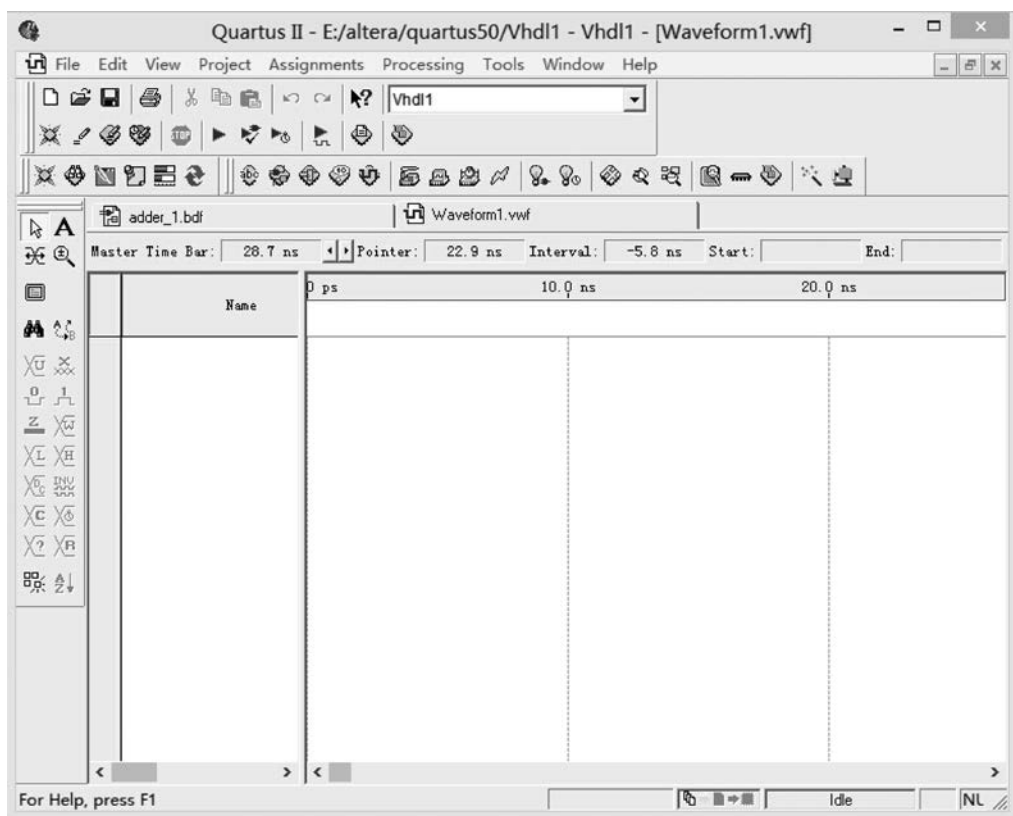


图 5.36 波形文件编辑界面

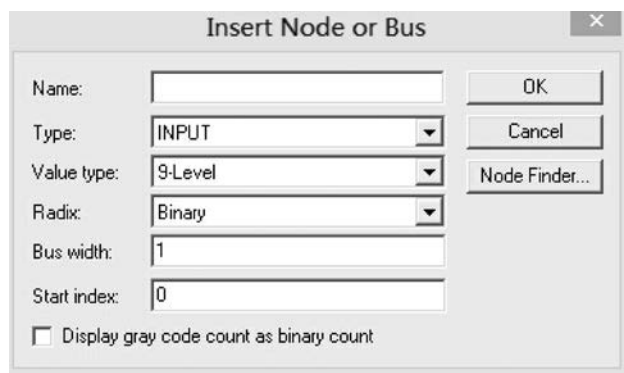


图 5.37 插入节点或总线对话框

在图 5.37 中,单击 Node Finder 按钮,打开如图 5.38 所示的 Node Finder(节点发现者)对话框,在对话框的 Filter 列表中选择“Pins: all”后,再单击 List 按钮,这时在窗口左边的 Nodes Found 列表中将列出该设计项目的全部信号节点。若在仿真中需要观察全部信号的波形,则单击窗口中间的“>>”按钮;若在仿真中只需观察部分信号的波形,则首先单击信号名,然后单击窗口中间的“>”按钮,选中的信号即进入到窗口右边的 Selected Nodes 列表中,如果需要删除 Selected Nodes 框中的节点信号,也可以用鼠标将其选中,然后单击窗口中间的“<”按钮。节点信号选择完毕后,单击 OK 按钮即可。

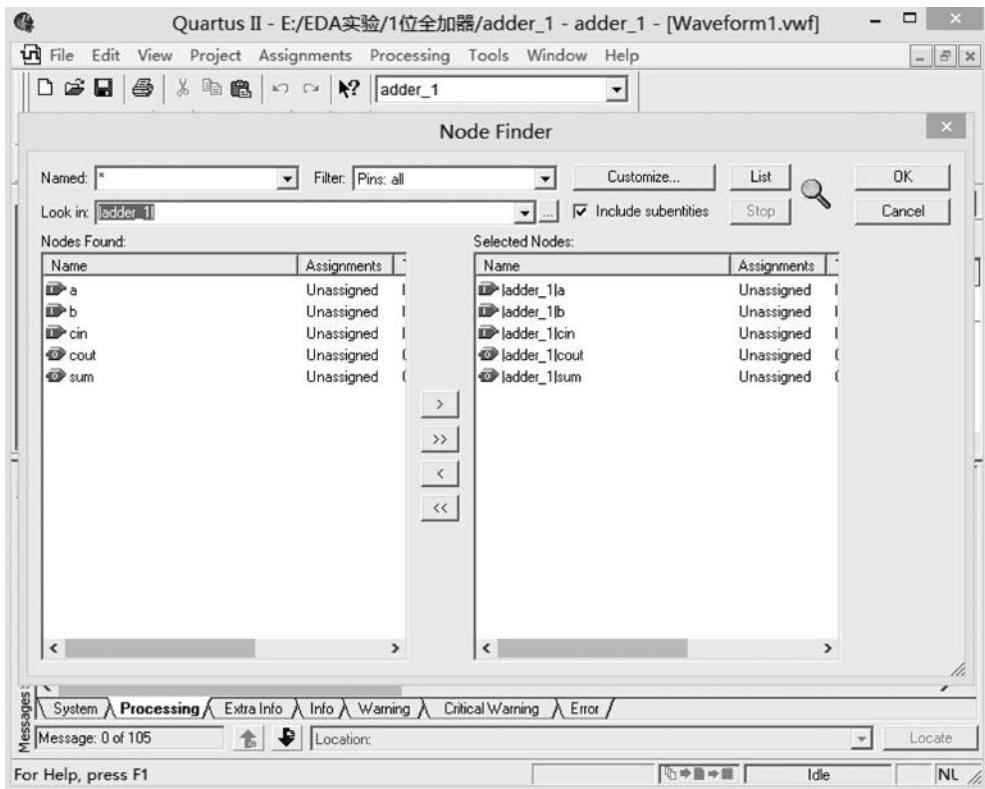


图 5.38 节点发现者对话框

### (3) 设置波形参量。

Quartus II 波形编辑器默认的仿真结束时间是  $1\mu\text{s}$ ，如果需要更长时间观察仿真结果，可执行菜单 Edit|End Time 命令，打开如图 5.39 所示 End Time 对话框，设置仿真文件的时间长度。选择菜单 Edit|Grid Size 命令，可以设置仿真波形编辑器中栅格的大小。注意，栅格的时间必须小于仿真文件的时间长度。

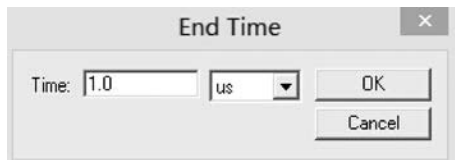


图 5.39 设置仿真时间域对话框

### (4) 编辑输入节点波形。

任意信号波形的输入方法是在波形编辑区中，单击并拖动鼠标到需要编辑的区域，然后直接单击快捷工具栏上相应按钮，完成输入波形的编辑。快捷工具栏各按钮的功能如图 5.40 所示。

### (5) 波形文件存盘。

设置好一位全加器输入节点的波形后，如图 5.41 所示。执行菜单 File|Save 命令，在弹出的 Save as 对话框中直接单击 OK 按钮即可完成波形文件的存盘。在波形文件存盘操作中，系统自动将波形文件名设置成与设计文件名同名，但文件类型是 .vwf，如 adder\_1.vwf。

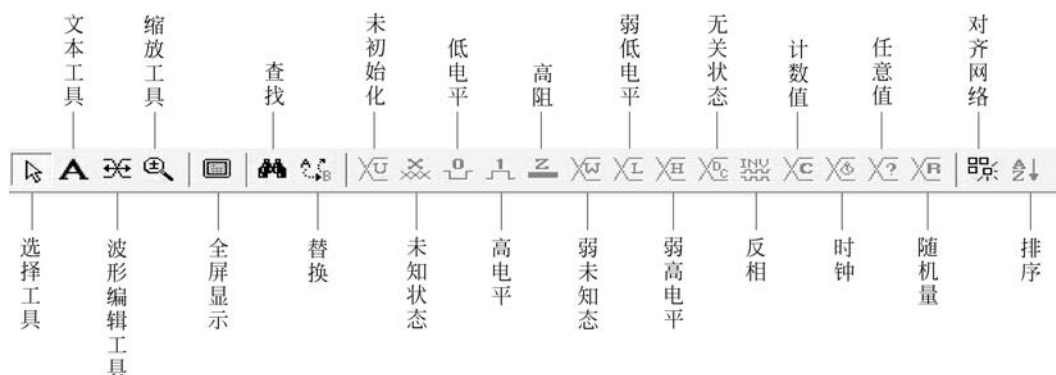


图 5.40 波形编辑器快捷工具栏各按钮的功能

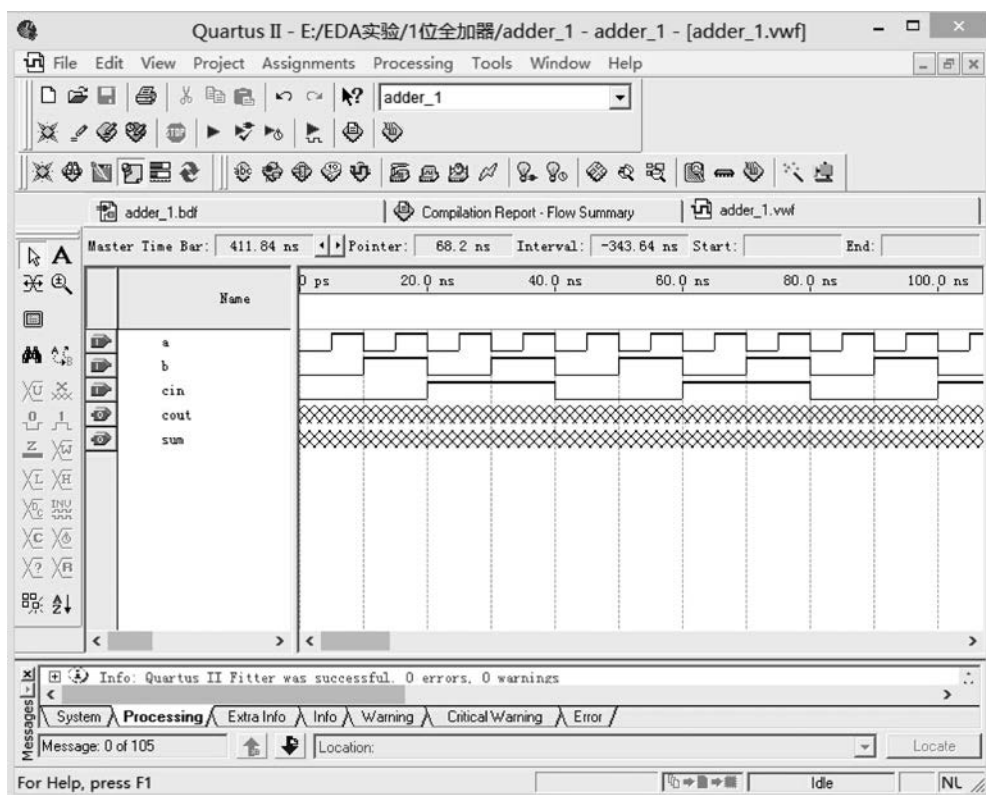


图 5.41 设置好全加器输入节点的波形界面

#### (6) 功能仿真。

功能仿真没有延时信息,仅对所设计的电路进行逻辑功能验证。仿真开始前,需选择菜单 Processing|Generate Functional Simulation Netlist 命令,产生功能仿真网表。然后执行主菜单 Tools|Simulator Tool 命令,在打开的对话框的选项 Simulation mode 中,选择仿真类型为 Functional,如图 5.42 所示。

然后,单击图 5.42 中左下方的 Start 按钮进行仿真,仿真成功后,单击右下方的 Report 按钮,弹出如图 5.43 所示的一位全加器的功能仿真波形,从波形图可以看出设计电路的逻辑功能是正确的,功能仿真没有时间延迟。

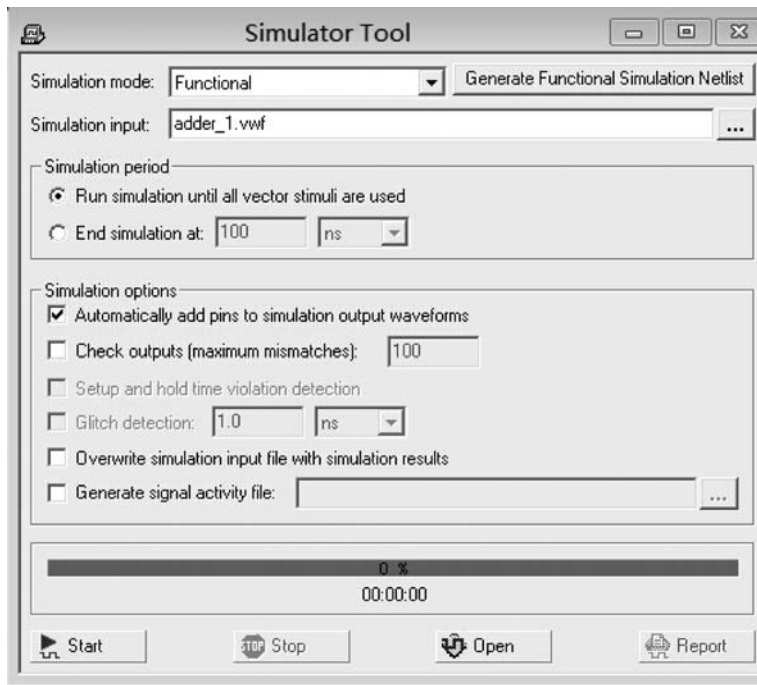


图 5.42 设置仿真类型窗口

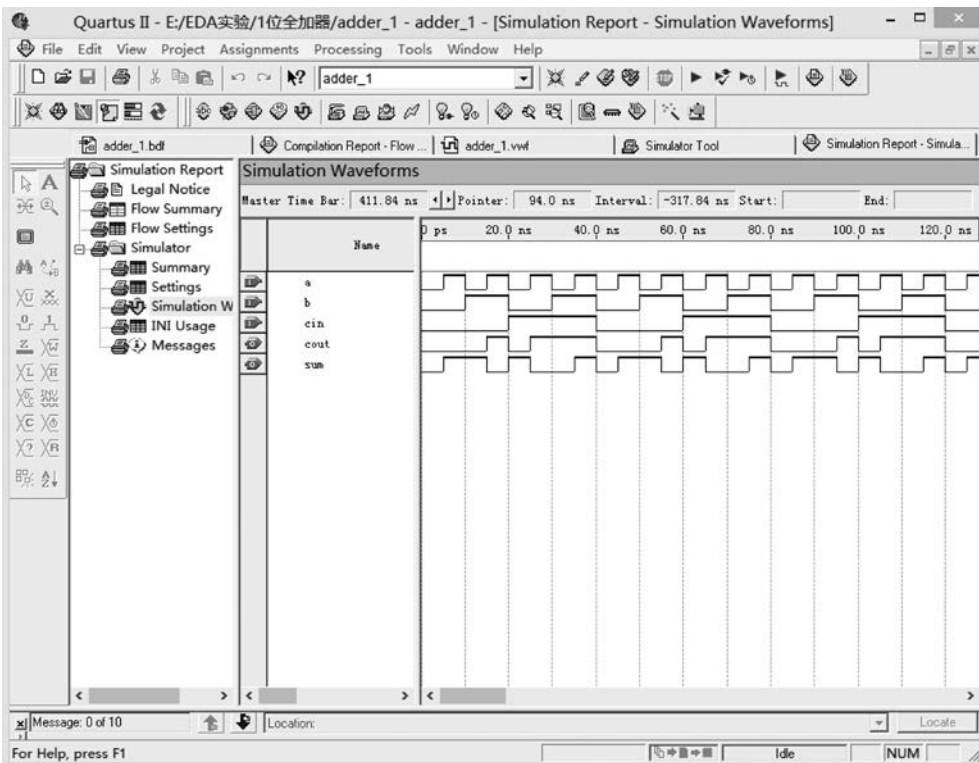


图 5.43 一位全加器的功能仿真波形

## 6. 引脚锁定

执行菜单 Assignments|Assignments Editor 命令或者直接单击 Assignments Editor 按钮,打开如图 5.44 所示的赋值编辑对话框,在对话框的 Category 栏目中选择 Pin 项,选择模式 5,引脚锁定如图 5.44 所示。引脚赋值操作结束后,保存并编译该文件,产生设计电路的下载文件(.sof)。

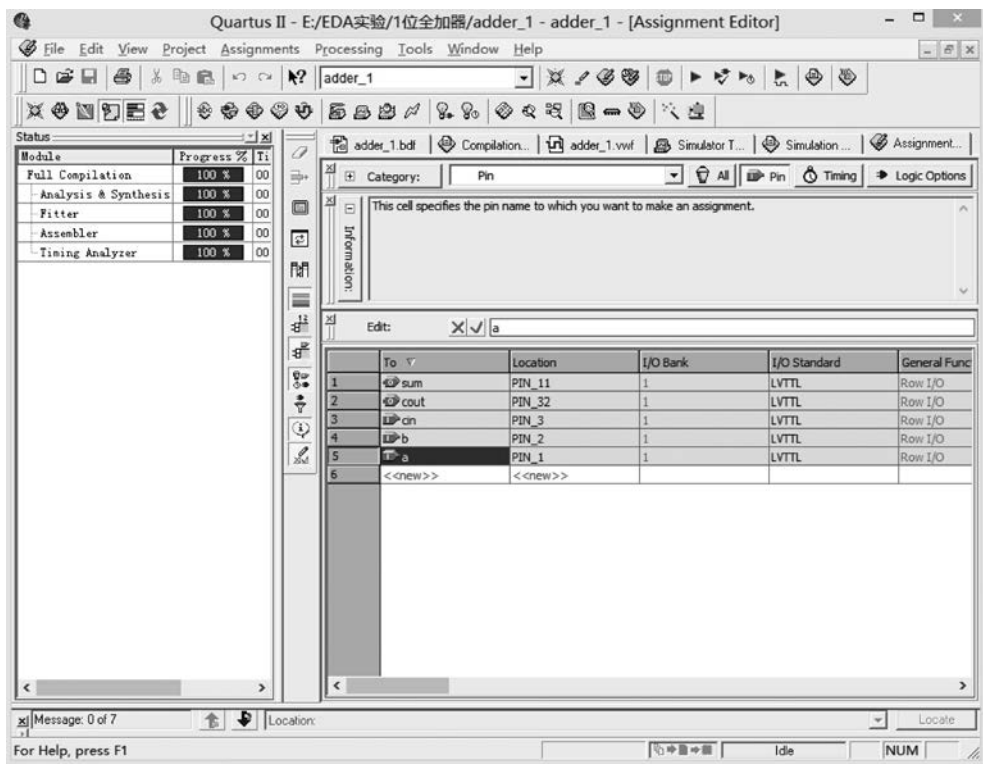


图 5.44 引脚锁定对话框

## 7. 编程下载设计文件

执行菜单 Tools|Programmer 命令或者直接单击 Programmer 按钮,打开如图 5.45 所示的编程器窗口,选择下载文件,单击 Start 按钮即可实现设计电路到目标芯片的编程下载。

### 5.3.2 Quartus II 的文本编辑输入法

Quartus II 的文本编辑输入法与原理图输入法的设计步骤基本相同。在设计电路时,首先要创建工程,然后在 Quartus II 集成环境下,执行菜单 File|New 命令,打开如图 5.30 所示的编辑文件类型对话框,选择 VHDL File,或者直接单击主窗口上的创建新的文本文件按钮,进入 Quartus II 文本编辑方式,如图 5.46 所示。

与原理图编辑输入法不同的是,创建工程时,第 2 个空白条应填入 VHDL 程序的实体名;文本文件保存时,文件名应与实体名一致,即 DCFQ.vhd。其余步骤同原理图编辑输入法。

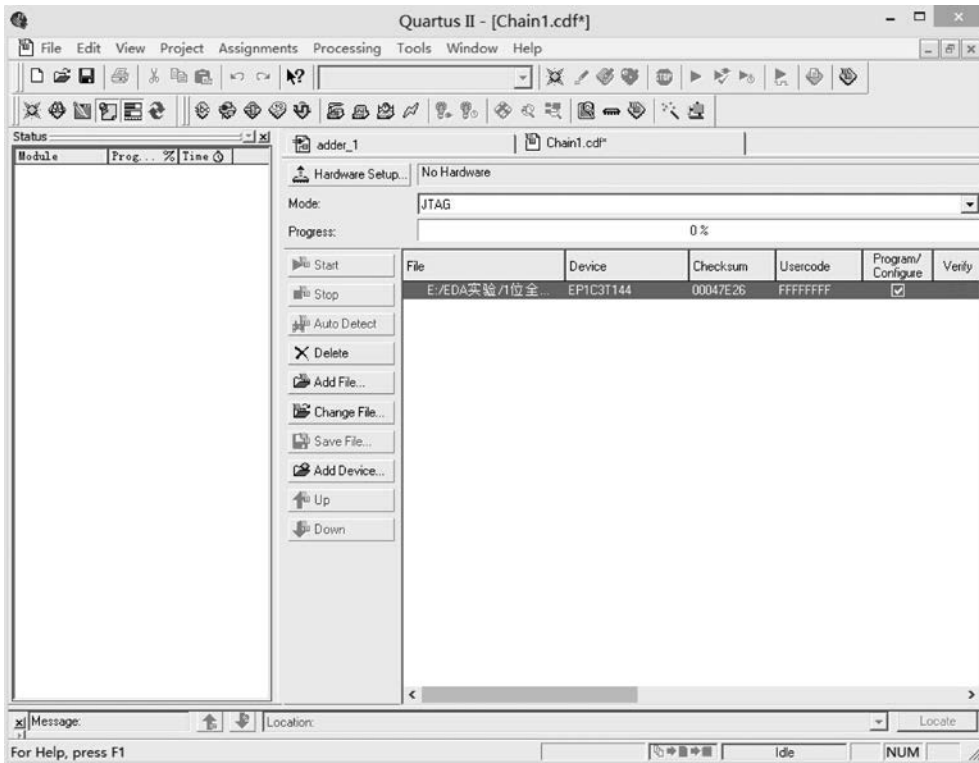


图 5.45 编程器下载窗口

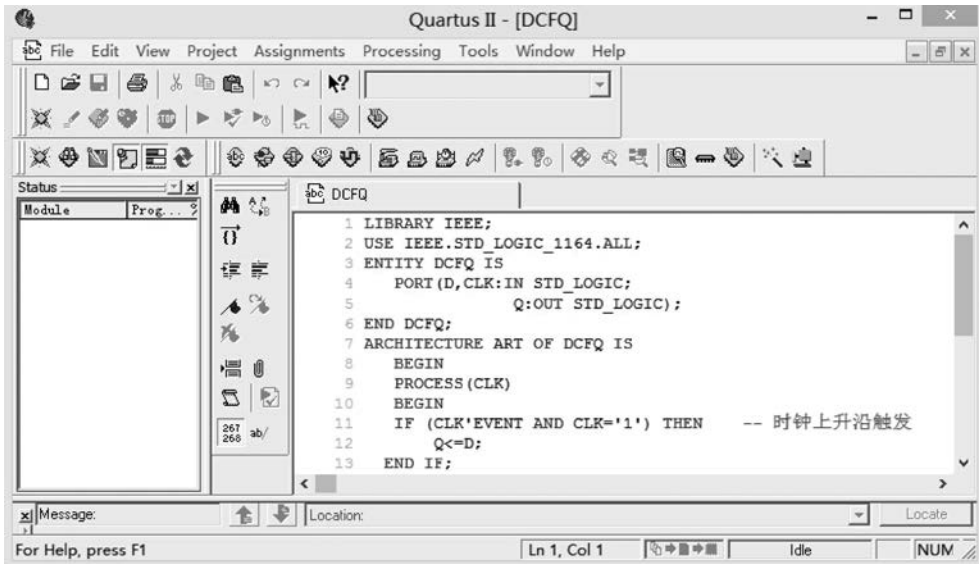


图 5.46 VHDL 编辑器

### 5.3.3 Quartus II 的层次化设计方法

层次化设计方法先利用原理图输入法或硬件描述语言实现底层电路的设计,然后利用原理图输入法,将多个设计元件连接起来,实现多层次系统电路的设计。下面通过 4 位串行

进位加法器的设计介绍层次化设计方法。

(1) 建立 4 位串行进位加法器工程项目 adder4, 并将顶层设计项目用 adder4 表示。

在 Quartus II 主窗口, 执行菜单 File|New Project Wizard 命令, 打开如图 5.47 所示的建立新设计项目的对话框。在对话框的第 1 栏中输入设计工程项目所在的文件夹名; 在第 2 栏中输入新的设计工程项目名 adder4; 在第 3 栏中输入设计系统的顶层文件实体名 adder4。

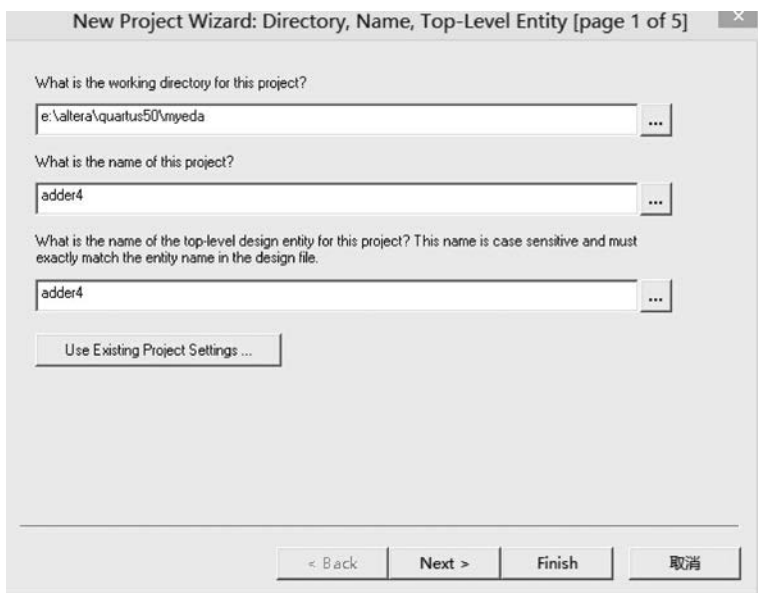


图 5.47 创建新设计项目的对话框

(2) 执行菜单 File|New 命令, 选择 block diagram/schematic file, 在原理图编辑窗口中先画输入输出引脚, 并保存。

(3) 用原理图输入法设计一位全加器 adder1, 并为一位全加器生成一个元件符号 adder1, 选择菜单 File|create/update|create symbol Files for current file 命令, 将转换好的元件存在当前工程的路径文件夹中。

(4) 返回步骤(2), 重新画原理图, 这时在 Libraries 中出现刚才所创建生成的 Project, 注意元件的调用。完成原理图的设计如图 5.48 所示, 保存并编译。

粗线表示由多条信号线组成的总线, 细线表示单信号线。右击信号线, 在弹出的对话框中, 单击 Bus Line 或 Properties 即可设置总线。需要在信号线上加文字标注时, 只要按住鼠标左键将信号线拉长, 然后在旁边输入文字标注就可以了。在图 5.48 所示原理图中, 4 位加法器输入符号 a[3..0] 的右边连接了一条粗的信号线, 表示该信号线与有 a[3]~a[0] 文字标注的 a 输入端连接; b[3..0] 输入符号的右边连接了一条粗的信号线, 表示该信号线与有 b[3]~b[0] 文字标注的 b 输入端连接; 输出符号 sum[3..0] 的左边连接了一条粗的信号线, 表示该信号线与有 sum[3]~sum[0] 文字标注的 sum 输出端连接。

后续步骤同原理图编辑输入法。建立波形仿真文件, 对 4 位加法器设计电路进行验证, 仿真波形如图 5.49 所示, 从仿真波形可以看出所设计电路的逻辑功能是正确的。

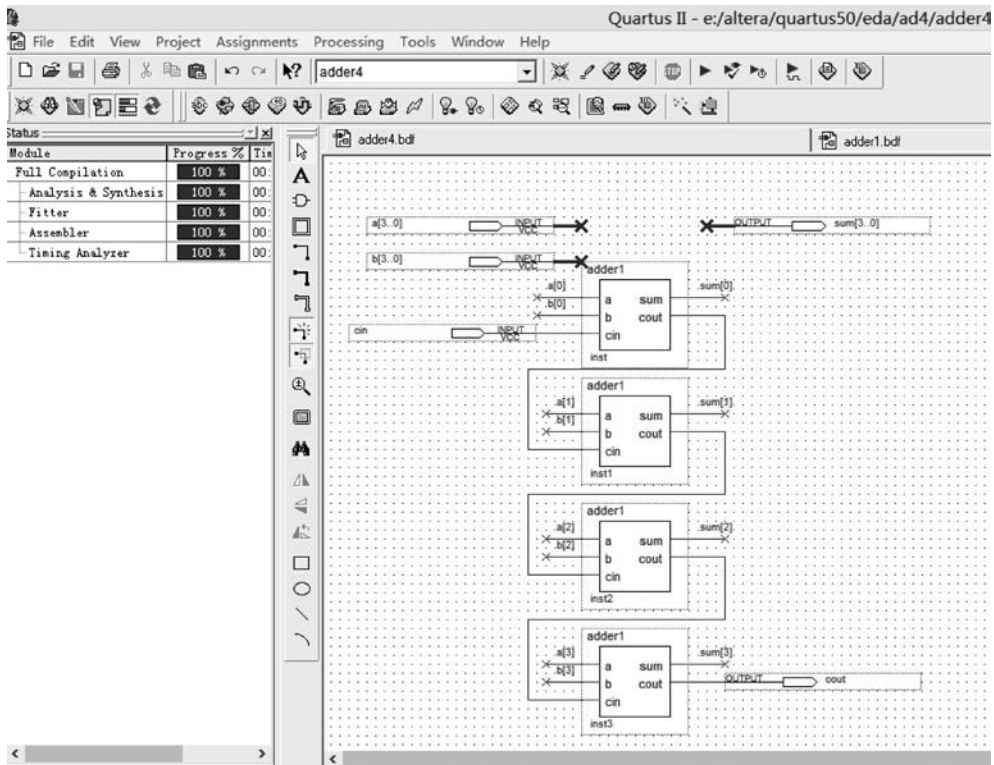


图 5.48 4 位串行进位加法器原理图

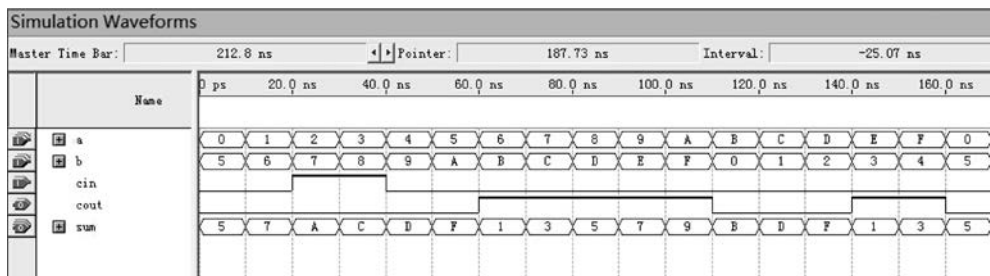


图 5.49 4 位加法器仿真波形

## 习题 5

1. 练习安装 Quartus II 软件。
2. 结构图上的信号名与引脚号分别指什么？
3. 建立一个新的工程,使用原理图和 VHDL 两种输入方式,设计一个 4 选 1 选择器,并进行波形仿真。