

# 第 章

## 集成电路基础

自从 20 世纪 60 年代集成电路投入市场以来,集成电路就不断高速发展着,其集成度即一块半导体芯片上元件和器件的数量一直以每三年翻一番的速度增长,形成了集成电路产业。现代日常生活中的智能手机、笔记本电脑、网络设备、液晶电视等设备都离不开集成电路。集成电路是电子信息产业的基础,推动了现代信息社会的发展。

集成电路是将电路中所需晶体管、电阻器和电容器等元器件以及电路连线集成于同一半导体芯片上而制成的电路或系统。它可分为数字集成电路、模拟集成电路和数模混合集成电路等类型,其中数字集成电路是用于处理数字信号的集成电路,是数字逻辑电路设计的基石。

### 1.1 集成电路发展概述

1958 年 9 月,世界上第一块集成电路在德州仪器公司(Texas Instruments, TI)研发成功。自此以后,集成电路经历了小规模集成(small scale integration, SSI)电路、中规模集成(medium scale integration, MSI)电路、大规模集成(large scale integration, LSI)电路、超大规模集成(very large scale integration, VLSI)电路和甚大规模集成(ultra large scale integration, ULSI)电路的发展过程。将各种功能模块集成到一个芯片上,如数字电路(digital circuit)、模拟电路(analog circuit)、存储器(memory)和输入/输出接口电路(input/output interface circuit)等模块集成到一个芯片上,实现片上系统(system on a chip, SOC),形成集成电路产业,促进现代信息技术发展。

特别是在 1963 年,仙童半导体公司的 Frank Wanlass 首次采用了 MOSFET(金属氧化物半导体场效应晶体管)逻辑门,这种逻辑门同时采用 NMOS(N 型金属氧化物半导体)和 PMOS(P 型金属氧化物半导体)晶体管,从而形成 CMOS(互补金属氧化物半导体)集成电路,它可以很好地解决双极型 TTL(晶体管-晶体管逻辑)集成电路的功耗大、很难大规模集成等问题。由于具备静态功耗低、输出动态范围大以及抗干扰能力强等优点,CMOS 工艺迅速成为主流的集成电路生产工艺。而 CMOS 技术、光刻技术、离子注入机的发展,推动了集成电路从大规模到超大规模发展。如 1972 年 Intel 公司推出的 4004 微处理器采用  $6\mu\text{m}$  的 NMOS 工艺,仅集成了几千个晶体管;而 2012 年 Intel 公司推出的四核酷睿 i7 Ivy Bridge 处理器采用 22nm 工艺,集成了 14.8 亿个晶体管,最高时钟频率为 3.5GHz。

近几年,随着光刻技术、3D 封装技术等先进工艺的推出,集成电路已由 21 世纪初

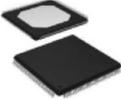
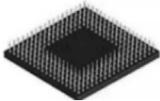
0.35 $\mu\text{m}$  的 CMOS 工艺发展至纳米级的 FinFET 工艺,FinFET 为新型互补金属氧化物半导体晶体管(Fin field-effect transistor)的英文缩写。

在过去的 50 多年里,半导体技术的发展一直遵循着 1965 年提出的摩尔定律给出的发展路线。摩尔定律的主要内容为:当价格不变时,每隔 18 个月,集成电路上可容纳的元器件数目就翻一番,性能也将提升一倍。这一经验法则成为半导体工艺不断发展的指南。

## 1.2 集成电路封装

当集成电路设计完成,在晶片上经过沉积、掩模、光刻、注入、切片等加工工艺后,就可进行芯片封装。芯片引脚 I/O 间距单位用 mil 表示,1mil=0.001in=25.4 $\mu\text{m}$ 。一般芯片封装类型如表 1-1 所示。

表 1-1 集成电路芯片封装类型

芯片封装类型	英文名称	芯片描述	芯片封装图例
DIP 型 (双列直插封装)	dual inline package	外形为长方形,引脚数小于 100,适合印制电路板(PCB)穿孔焊接	
SOP 型 (小外形封装)	small out-line package	采用表面贴装技术,引脚从两侧引出,呈翼状	
QFP 型 (扁平封装)	quad flat package	四脚扁平,引脚从四侧引出,呈翼状,引脚数可达 300 多	
PGA 型 (引脚栅格阵列封装)	pin grid array	采用引脚栅格阵列封装技术,以 100mil 间距居中放置穿孔式引脚阵列,具有低热电阻和较多引脚数量	
BGA 型 (球栅阵列封装)	ball grid array	PGA 改良型,在管壳底部放置球形焊点阵列,具有较高的 I/O 引脚密度和低寄生参数	
Flip-Chip 型 (倒装片封装)	flip-chip	在芯片最顶层的金属层通过球形焊点直接将芯片和印刷电路板相连,比 BGA 具有更高的 I/O 端口密度和更低的寄存参数	

## 1.3 集成电路设计方法

随着集成电路硬件的发展,集成电路的设计方法不断改进,经历了三个发展时期。

### 1.3.1 中小规模集成电路的设计方法

中小规模集成(MSI/SSI)电路设计,就是利用各种逻辑门、触发器、计数器和寄存器等逻辑器件,实现具有一定逻辑功能的系统。设计出的逻辑电路需在印制电路板(printed-circuit board,PCB)上组装并进行整机电路联调。通常情况下,系统整机电路逻辑门不超过万门,集成度不能太高。

### 1.3.2 电子设计自动化技术

随着集成电路制造业的飞速发展,出现了集成电路计算机辅助设计(computer aided design,CAD)和电子设计自动化(electronic design automation,EDA)技术。

CAD使集成电路设计向着更广、更快、更精准和更灵活的方向发展。随着CAD软件不断丰富、成熟与完善,EDA技术应运而生。EDA可集成逻辑图输入、逻辑模拟、测试码生成、电路模拟、行为综合、逻辑综合、版图设计与版图验证等工具于一体,构成较完整的设计系统。将人工设计工作交由设计工具完成,提高了复杂逻辑设计能力,大幅缩短了设计周期,优化了芯片布局布线和功耗等技术指标。

### 1.3.3 用户现场可编程技术

随着集成电路制作工艺的提高,专用集成电路中的半定制电路——现场可编程门阵列(field programmable gate array,FPGA)问世,技术开发人员无须与半导体公司的生产合作,在实验室就可利用计算机开发软件实现现场编程,开发出具有各种功能、各种用途的集成芯片和数字电子系统。

由于FPGA开发工具的通用性和开发语言的标准化,其设计出的逻辑电路具有很好的兼容性和可移植性,因此提高了产品的开发效率,缩短了设计周期,使FPGA在大数据、人工智能、云计算等领域得到广泛应用。

# 第 2 章

## FPGA 技术简介

### 2.1 FPGA 概况

现场可编程门阵列(FPGA)是一种可通过编程来实现用户所需逻辑功能的半导体器件。它能够按照设计人员的需求配置指定电路结构,让客户不必依赖芯片制造商设计和制造芯片。

自从 1984 年 Xilinx(赛灵思)推出第一款 FPGA 芯片以来,FPGA 的集成度和性能提高得很快,其集成度可高达每片千万门以上。FPGA 具有可编程灵活性好、并行计算、开发周期短与研发成本低等优点,在云计算、高速通信、大数据处理及人工智能等领域得到广泛应用。

### 2.2 FPGA 的基本结构

FPGA 是一种可编程逻辑器件(programmable logic device,PLD)芯片,可以通过编程实现任意数字逻辑电路。图 2-1 给出一个典型的 FPGA 结构示意图,它大致由三大部分组成:第一部分为可配置逻辑模块;第二部分为可编程输入/输出(input/output,I/O)逻辑模块;第三部分为布线资源,包括布线通道、开关块(switch block,SB)、连接块(connection block,CB)。另外,为便于开发与实用,FPGA 芯片一般还配置块存储器、时钟树、配置/扫描链(configuration/scan chain)和测试电路等必要电路。

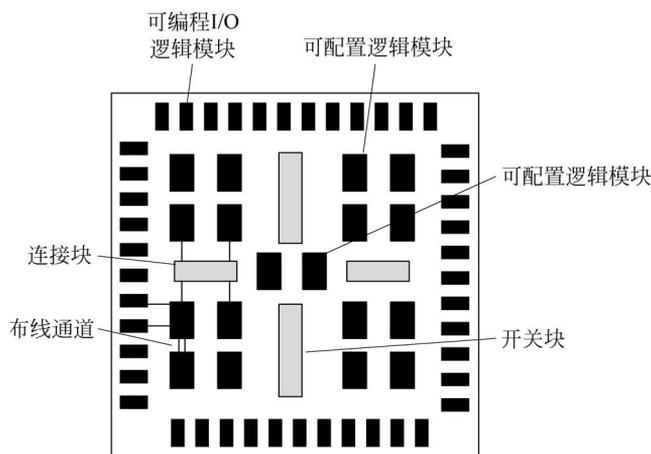


图 2-1 典型的 FPGA 结构示意图

### 2.2.1 逻辑门阵列

常用的逻辑门有与门、或门、非门,它们是数字逻辑电路的基本组成单位,基于布尔代数对二进制数 0 和 1 进行操作,完成不同逻辑运算。FPGA 芯片由海量的逻辑门组成,构成逻辑门阵列,并可通过编程方式对逻辑门阵列进行排列组合,实现某种特定的数字逻辑功能。

### 2.2.2 可配置逻辑模块

FPGA 一般采用静态随机存储器(static random access memory,SRAM)工艺,其可配置逻辑块一般由查找表(look up table,LUT)和寄存器(register)组成。本书中的实验项目的电路调试与测试采用 Cyclone 系列 FPGA 芯片,其可编程逻辑单元通常称为 LE(logic element),由一个寄存器和一个查找表(LUT)构成。大多数 Cyclone 系列 FPGA 将 10 个 LE 有机联系在一起,构成逻辑阵列模块(logic array block,LAB)。一般 LAB 包括 LE、LE 之间的进位链、LAB 控制信号、局部互联线资源、LUT 级联链、寄存器级联链等连线和资源。

### 2.2.3 可编程输入/输出逻辑模块

可编程输入/输出逻辑模块就是连接 I/O 引脚和内部布线的模块,完成不同电气特性下对输入/输出信号的驱动与匹配需求,通常包括上拉/下拉、I/O 方向和转换速率等控制电路以及触发器等数据存储电路。

### 2.2.4 布线资源

布线资源可连通 FPGA 逻辑块间及逻辑块与 I/O 块所有单元,主要由布线通道、连接块和开关块构成。布线通道一般为多层格子状排布的岛形构造。在实际应用中,设计者可通过开发软件中的布局布线器,根据输入逻辑网表的拓扑结构和约束条件自动布线。

### 2.2.5 时钟网络

时钟和时钟布线网络是 FPGA 硬件的重要组成部分。时钟基本上是低偏移控制信号,时钟布线网络由时钟到数字系统中的所有逻辑布线通道组成,一个时钟全局网络可以连接到所有逻辑单元。在实际应用场景中,根据逻辑设计需要,采用启用和禁用时钟布线网络中所选时钟的手段,实现功耗的动态控制。

## 2.3 FPGA 采用的可编程技术

FPGA 芯片如同一张白板,技术人员可通过计算机中的开发软件完成数字逻辑电路设计、调试及芯片电路擦写,使硬件电路设计如同软件编程一样灵活,弥补了定制电路的不足并克服了低密度 PLD 门电路数有限的缺点,大大缩短了硬件电路设计周期,提高了系统可靠性。其使用灵活的原因是 FPGA 采用了可编程技术。下面介绍 FPGA 采用的几种可编程技术。

### 2.3.1 反熔丝技术

反熔丝在通常状态下绝缘,加上高电压时绝缘层会打开通孔熔成连接状态。在导通时,反熔丝可编程开关接通电阻和负载电容都很小,可用来实现高速电路。但写入操作需要采用专用编程器完成,且写入操作只能进行一次,具有非易失性。

### 2.3.2 可擦编程只读存储器技术

可擦编程只读存储器(erasable programmable read only memory, EPROM)是一种断电后数据不会丢失的非易失性存储器,技术人员可进行写入操作。但 EPROM 数据擦除要利用专用设备或通过紫外线照射才能完成。数据全部清除后方可再次写入新的程序和数据,擦除数据较不方便,也不灵活。

### 2.3.3 闪存技术

闪存是一种电可擦编程只读存储器(electrically-erasable programmable read only memory, EEPROM),属于非易失性存储器。不同于使用紫外线照射进行擦除的 EPROM,EEPROM 可通过电子方式对闪存进行擦除和重写,但闪存重写时具有需要高电压、重写次数有限、接通电阻和负载电容均较大等缺点。

### 2.3.4 静态随机存储器技术

静态随机存储器(SRAM)是一种可自由进行读写操作的半导体随机存储器,断电后数据易丢失且待机功耗大。但静态随机存储器速度快,对数据重写次数无限制,可采用最先进的 CMOS 工艺,为绝大多数 FPGA 广泛应用的可编程技术。

## 2.4 FPGA 基本逻辑单元介绍

### 2.4.1 静态 CMOS 反相器

反相器是数字集成电路设计的基础。图 2-2 给出了静态 CMOS 反相器的电路图及其逻辑符号,它由 PMOS 管和 NMOS 管串联而成。

当输入  $V_{in}$  为“1”,即  $V_{in}=V_{DD}$  时,NMOS 管导通而 PMOS 管截止,输出  $V_{out}$  为“0”,等效电路如图 2-3(a)所示;而当输入  $V_{in}$  为“0”时,NMOS 管截止而 PMOS 管导通,输出  $V_{out}$  为“1”,等效电路如图 2-3(b)所示。显然这个电路实现了反相器功能。

静态 CMOS 反相器具有如下特性:

- (1) 输出高电平和低电平分别相当于电源电压  $V_{DD}$  与零(地,GND),输出电压摆幅大。
- (2) 逻辑电平与器件的尺寸无关,所以晶体管可以采用最小尺寸。
- (3) CMOS 反相器具有低输出电阻,带载能力强。
- (4) 输入阻抗高,因此稳态输入电流几乎为零。

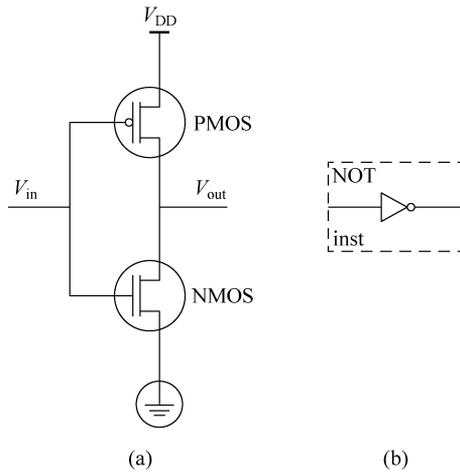


图 2-2 静态 CMOS 反相器的电路图与逻辑符号

(5) 在稳态工作时,电源与地之间没有直流通路。只有在状态转换过程中,两个 CMOS 管才可能同时导通,电路有电流通过,因此功耗较低。

门延时是指信号从逻辑门输入端到输出端的传输延迟时间。CMOS 反相器门延时时间主要受限于负载电容  $C_L$  充放电所需时间,如图 2-4 所示。

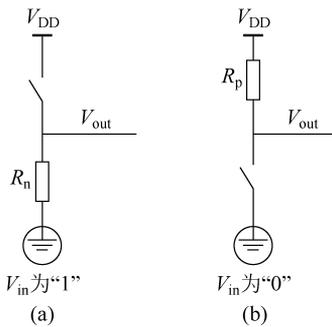


图 2-3 CMOS 反相器开关等效电路

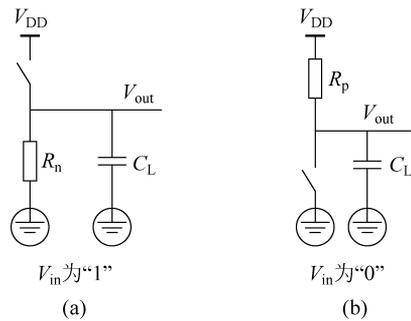


图 2-4 CMOS 反相器动态特性等效电路

输出负载电容  $C_L$  主要由 NMOS 和 PMOS 晶体管的漏极扩散电容、连线电容及扇出门的输入电容构成,CMOS 反相器的响应时间是由负载电容的充放电时间决定的。

通过一阶  $RC$  电路分析,从图 2-4(a)可得出反相器输出下降时间  $t_{PHL}$  为

$$t_{PHL} \approx 0.69R_n C_L \quad (2-1)$$

式中,  $t_{PHL}$  为输出下降时间;  $R_n$  为 NMOS 导通电阻;  $C_L$  为负载电容。

同样,从图 2-4(b)可得出 CMOS 反相器输出上升时间  $t_{PLH}$  为

$$t_{PLH} \approx 0.69R_p C_L \quad (2-2)$$

式中,  $t_{PLH}$  为输出上升时间;  $R_p$  为 PMOS 导通电阻;  $C_L$  为负载电容。

则反相器传输延迟时间为

$$t_p \approx 0.69C_L \frac{R_p + R_n}{2} \quad (2-3)$$

CMOS 反相器传输延迟特性示意图如图 2-5 所示。传输延迟时间是衡量逻辑门电路开关速度的重要参数,用于说明当给逻辑门输入信号时,需要用多长时间才能使逻辑门产生输出响应。

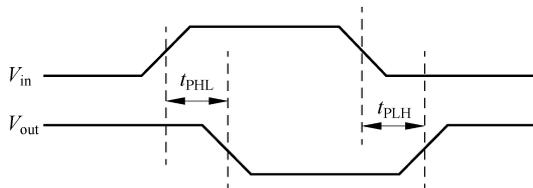


图 2-5 CMOS 反相器传输延迟特性

## 2.4.2 D 触发器

FPGA 逻辑单元内的 D 触发器是边沿触发器,就是一种在时钟的上升沿(或下降沿)将输入信号的变化传送至输出端的触发器,其逻辑示意图如图 2-6 所示。

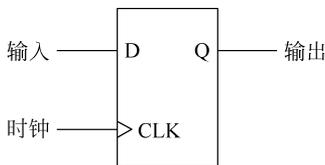


图 2-6 D 触发器逻辑示意图

CMOS 工艺下的 D 触发器电路结构如图 2-7 所示,由传输门和两个反相器分别组成前后两级锁存器,并按主从结构连接而成。这里的 CMOS 传输门就是较理想的开关,由 CLK 状态变化切换开关。为了防止时钟信号变化时输入信号发生冒险现象,主锁存器的时钟相位应该与产生输入信号的电路时钟反相,确保稳定的输入信号进入锁存器。

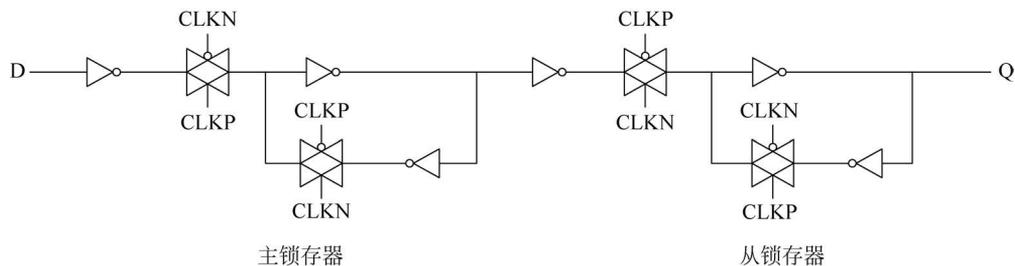


图 2-7 D 触发器电路结构图

D 触发器工作原理图如图 2-8 所示,当主锁存器工作( $CLK=0$ )时,输入信号 D 被保存在主锁存器中,从锁存器里存储的是上一时钟周期的数据,则输出 Q 为从锁存器存储的上一时钟周期数据。

当从锁存器工作( $CLK=1$ )时,主锁存器保存的数据会传输到后级,同时 D 输入信号被隔离在外,则触发器输出发生改变,输出 Q 为传输到后级的 D 信号,从而实现了边沿触发功能。

在时钟变化过程中,反相器环会出现亚稳态,所以要有建立时间(setup time)约束,在时钟上升沿到来前应保持输入 D 稳定,并且在  $CLK=1$  之后也需要输入 D 维持一定时间,称之为保持时间(hold time)约束,如图 2-9 所示。

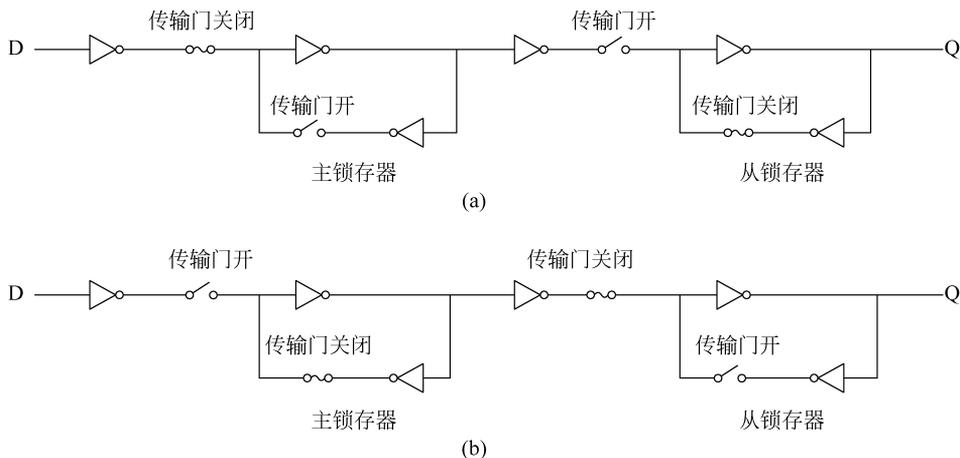


图 2-8 D 触发器工作原理图

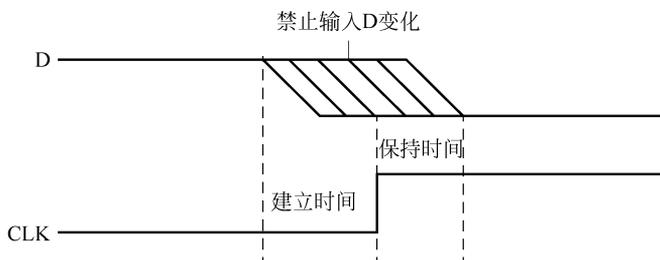
(a) 主锁存器工作时( $CLK=0$ ); (b) 从锁存器工作时( $CLK=1$ )

图 2-9 建立时间与保持时间

### 2.4.3 静态随机存储器

静态随机存储器(SRAM)是由基于 CMOS 反相器环的锁存器和传输晶体管开关构成,如图 2-10 所示。静态随机存储器利用锁存器的双稳态(0 和 1 状态)记录数据,数据写入控制信号为“Write”,通过 NMOS 晶体管控制反相器环。

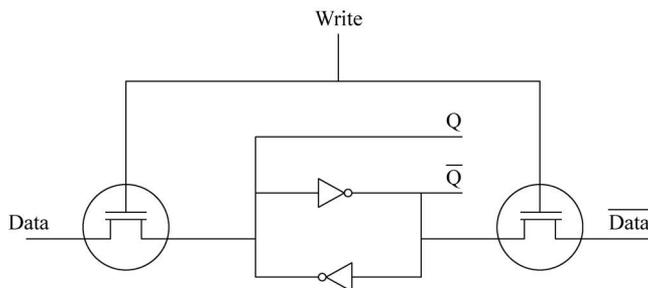


图 2-10 静态随机存储器(SRAM)基本单元

采用静态随机存储器的 FPGA 芯片大多数在逻辑块中使用查找表,并使用数据选择器等来切换布线连接。查找表的存储器中保存逻辑的真值表,由多位静态随机存储器构成。

### 2.4.4 查找表的逻辑实现

查找表是一个字(word)只有一位的内存表,由静态随机存储器单元和数据选择器(MUX)组成,输出就是地址信号所选择的一位数据。当所要实现的逻辑函数为多位输入时,可联合使用多个查找表来实现。如图 2-11 所示为查找表结构图。

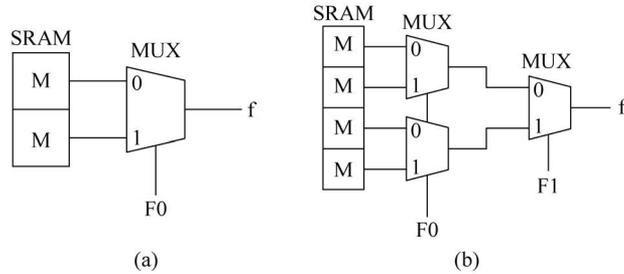


图 2-11 查找表结构图

(a) 一位; (b) 多位

采用查找表法实现一个半加器逻辑电路的案例如图 2-12 所示。其中,S、C 分别为本位和进位输出。

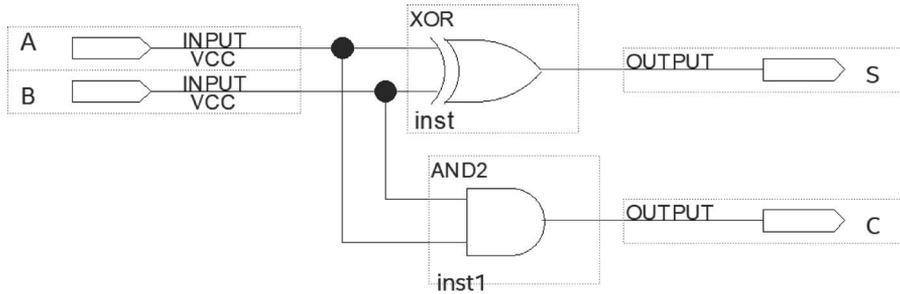


图 2-12 半加器逻辑电路

使用查找表时,利用 EDA 软件将半加器逻辑电路编译生成可配置的数据表,如表 2-1 所示。然后把输出的本位和 S 数值直接写入 SRAM 中,通过输入 A 和 B 数据选择实现了本位和 S 逻辑输出,如图 2-13 所示。进位输出 C 的查找表原理与此相同,这里不再列出。

表 2-1 半加器数据表

输 入		输 出	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1