



在数字集成电路中,逻辑门的延时对电路的关键路径延时起着重要影响。如果逻辑门的延时过长,可能会导致电路性能下降,甚至因时序违例而出现错误的输出结果。因此,优化逻辑门的延时,可以有效提高电路的运行速度和性能,提高系统的整体效率。本章实验旨在通过以下三部分,引导读者更好地理解并掌握 CMOS 逻辑门延时优化的相关技术。

(1) 四输入 NAND 逻辑门的电路设计与延时优化。确定一个四输入 NAND 门的晶体管尺寸,使它的驱动能力和单位反相器尺寸近似相等。定义单位反相器的尺寸,其中 PMOS 管尺寸为 $W_P = 240\text{nm}$ 、 $L_P = 40\text{nm}$,NMOS 管尺寸为 $W_N = 120\text{nm}$ 、 $L_N = 40\text{nm}$ 。由于门的延时与输入模式相关,需要搜索最差情况下的输入模式以及测量最差延时大小。

(2) 八输入 AND 逻辑门的电路设计与延时优化。设计八输入 AND 逻辑门电路结构,通过修改电路结构来优化延时,逻辑门的驱动能力和单位反相器相等。

(3) 多级逻辑电路的延时优化。基于(2)的电路结构,设计每级逻辑门尺寸,优化链路延时。

5.1 实验目的

- (1) 熟悉 Virtuoso 的使用,学习基本的使用方法和技巧。
- (2) 学习 CMOS 逻辑门延时模型。
- (3) 掌握 CMOS 逻辑门延时优化方法。

5.2 实验原理

5.2.1 逻辑门传播延时——RC 模型

一般静态互补 CMOS 逻辑门的传播延时可以用 RC 模型进行分析,分为本征延时 t_{p0} 和努力延时 t_{effort} 两部分:

$$t_p = 0.69R_{\text{eq}}(C_{\text{int}} + C_{\text{ext}}) = 0.69R_{\text{eq}}C_{\text{int}} + 0.69R_{\text{eq}}C_{\text{ext}} = t_{p0} + t_{\text{effort}} \quad (5-1)$$

其中,本征延时 t_{p0} 是逻辑门驱动自身本征电容的延时,与负载无关;努力延时 t_{effort} 与负载电容成正比。

5.2.2 逻辑门传播延时与输入变量的关系

逻辑门的传播延时受其输入变量的直接影响,并且内部节点电容的初始状态亦对传播延时产生显著影响,而该节点电容状态的形成与逻辑门此前接收的历史输入紧密相关。图 5-1 展示了两输入 NAND 门在不同输入模式下的传播延时。

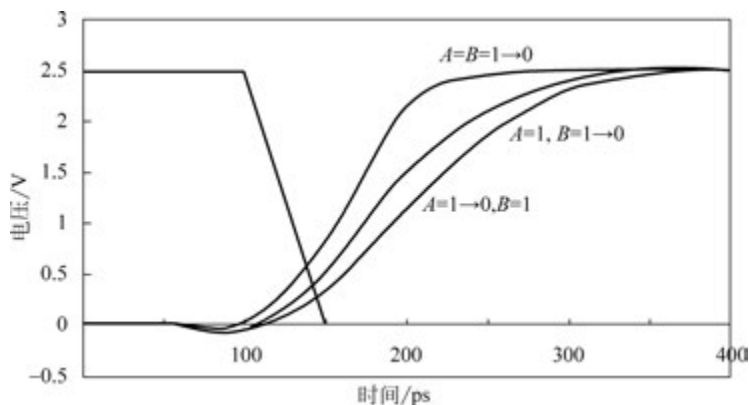


图 5-1 两输入 NAND 门在不同输入模式下的传播延时

5.2.3 逻辑门传播延时与扇入的关系

如图 5-2 所示,逻辑电路的传播延时与其扇入之间呈现典型的平方比例关系,具体表示为

$$t_p = a_1 FI + a_2 FI^2 + a_3 FO \quad (5-2)$$

其中,FI 表示扇入数量;FO 表示扇出数量。此外,延时与电路中逻辑级数的多少存在显著关联。对于某一特定功能的电路实现,往往存在多种不同的结构设计方案,此时,通过综合考量逻辑门的扇入特性与各级数分布,有望实现对逻辑电路延时的有效优化。

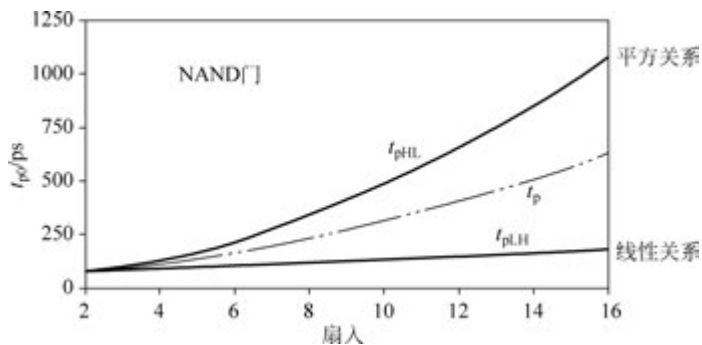


图 5-2 CMOS NAND 门的传播延时与扇入的关系

变换电路结构可以降低对扇入的要求,从而降低门的延时,如图 5-3 所示。门的延时与



图 5-3 变换电路结构可以减少门的扇入

扇入间的平方关系使一个六输入的 NOR 门传播延时较大。把这个 NOR 门分解为两个三输入门显著地提高了速度,有效补偿了由于把反相器变成一个两输入 NAND 门所引起的额外延时。

5.2.4 逻辑路径的传播延时模型和优化

根据式(5-1),逻辑门的传播延时可以进一步表示为

$$d = h + p \quad (5-3)$$

其中, p 为(归一化)本征延时; h 为门努力延时, 其取决于逻辑门的复杂性和扇出:

$$h = gf \quad (5-4)$$

其中, g 为逻辑努力; f 为输出负载与输入电容的比值, 又称为等效扇出或电气努力。式(5-3)表示的逻辑门延时模型是一个简单的线性关系。图 5-4 展示了一个反相器及一个两输入 NAND 门的传播延时与等效扇出的关系, 直线的斜率即该门的逻辑努力, 其与纵轴的交点即本征延时, 表明可以通过调整等效扇出(调整晶体管的尺寸)或通过选择具有不同逻辑努力的逻辑门来调整延时。

表 5-1 和表 5-2 分别表示了一些常见逻辑门的归一化本征延时和逻辑努力。

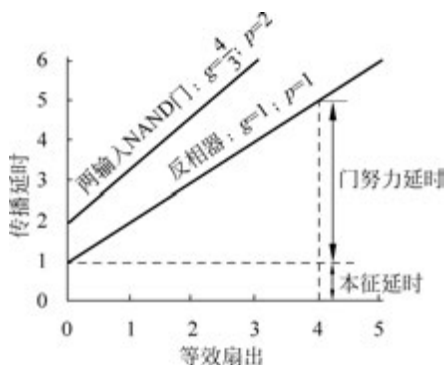


图 5-4 反相器及两输入 NAND 门的传播延时与等效扇出的关系

表 5-1 一些常见逻辑门的归一化本征延时

逻辑门	输入数量				
	1	2	3	4	n
反相器	1	/	/	/	/
与非门	/	2	3	4	n
或非门	/	2	3	4	n

表 5-2 一些常见逻辑门的逻辑努力

逻辑门	输入数量				
	1	2	3	4	n
反相器	1	/	/	/	/
与非门	/	4/3	5/3	2	$(n+2)/3$
或非门	/	5/3	7/3	3	$(2n+1)/3$

路径延时 D 等于各级延时的总和, 可以写成路径努力延时 H 和路径(归一化)本征延时 P 的和, 即

$$D = \sum d_i = H + P = \sum h_i + \sum p_i \quad (5-5)$$

由于本征延时和晶体管尺寸无关, P 只与逻辑路径和门的类型有关。

路径努力 H 定义为路径上各级逻辑门逻辑努力、分支努力和电气努力的乘积, 即

$$H = \prod h_i = \prod g_i f_i = GFB \quad (5-6)$$

其中, G 为路径逻辑努力:

$$G = \prod g_i$$

F 为路径电气努力:

$$F = \frac{C_{\text{out}}}{C_{\text{in}}} \quad (5-7)$$

B 为路径分支努力:

$$B = \prod b_i \quad (5-8)$$

其中,每个分支处 b 的计算方法为

$$b = \frac{C_{\text{on-path}} + C_{\text{off-path}}}{C_{\text{on-path}}} \quad (5-9)$$

分支努力 b 表示在该路径上本级的所有输出负载与其中作为下一级有效输入负载的比例。当一个逻辑路径的级数、门的类型、输入信号驱动能力和负载确定后,按式(5-6)~式(5-9)可以计算得出整个路径的努力 H ,其与门类型有关,与各级门的尺寸无关,并且其为各级努力延时的乘积。根据数学原理,若一组数的乘积为常数,那么当各个数的大小相等时逻辑路径传播延时的总和最小,即当路径中各级门具有相同的努力延时,该路径的努力延时最小。因此,如果路径分为 N 级,则最小路径延时 D 为

$$D = NH^{\frac{1}{N}} + P \quad (5-10)$$

并且,由此可以得出实现这种最小延时的逻辑门的输入电容

$$C_{\text{in}} = \frac{C_{\text{out}} g_i}{\hat{h}} \quad (5-11)$$

其中, $\hat{h}$ 为最佳的门努力,其值为 $H^{\frac{1}{N}}$ 。从该路径初始端或末端开始,可采用上述公式逐级计算出各级门的尺寸大小。

根据延时模型及优化公式,利用逻辑努力优化设计使延时最小的步骤具体如下。

- (1) 计算路径逻辑努力 G 、电气努力 F 、分支努力 B 、路径努力 H ;
- (2) 求得最优级数和最优的各级门努力 h 以及对应的总路径延时 D ;
- (3) 根据每级门努力 h 和逻辑努力 g ,计算该级的扇出 f ;
- (4) 根据各级扇出 f 和输入输出电容的对应关系即可计算出各级门尺寸。

5.3 实验内容

5.3.1 延时测试分析

延时测试分析的具体步骤如下。

1. 创建电路图

创建电路 cell_viewlab5_nand4,并画出四输入 NAND 逻辑门的电路图,根据题目要求选定尺寸(图 5-5 中给出的尺寸仅供参考),然后进行检查并保存。

2. 创建四输入 NAND 逻辑门符号

选择 Create→Cellview→from Cellview 创建逻辑门符号,为了规范,统一将输入引脚放在左侧,输出引脚放在右侧,VDD 放在上方,VSS 放在下方,如图 5-6 所示。

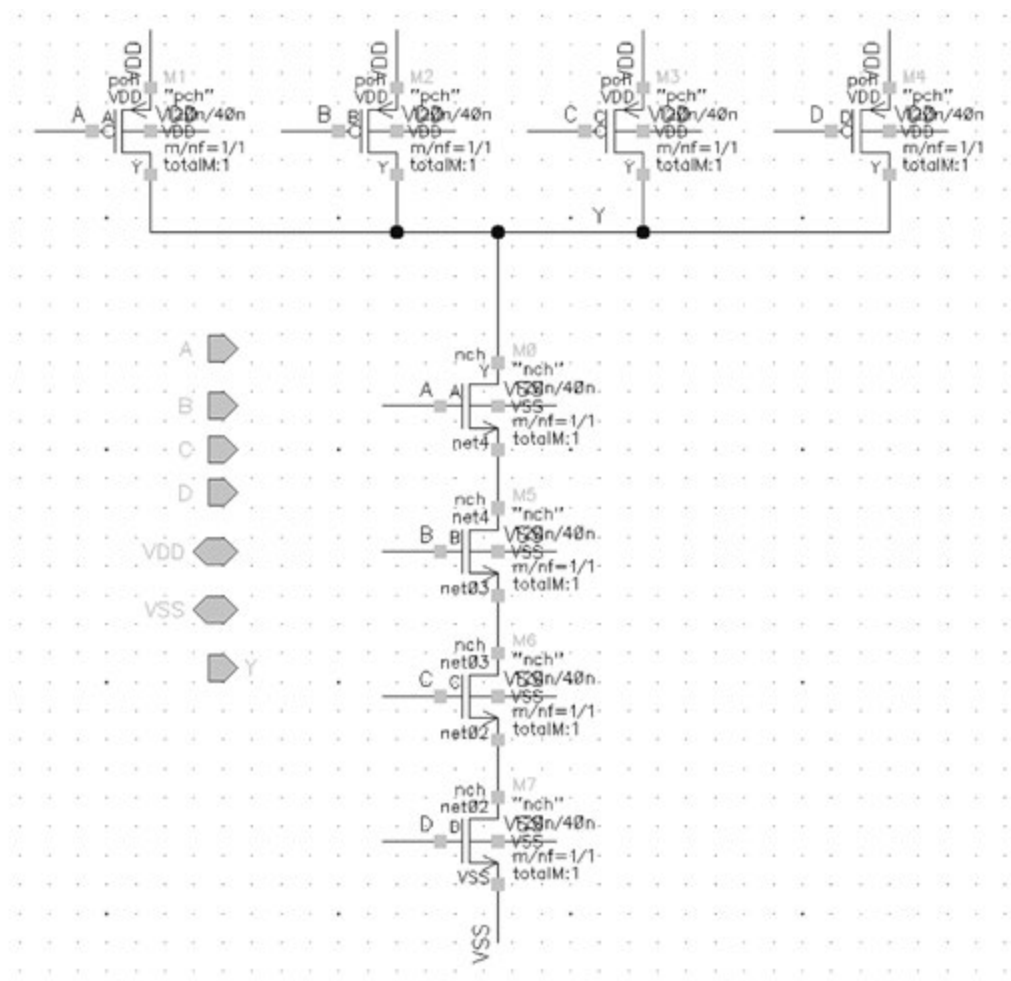


图 5-5 四输入 NAND 逻辑门的电路图

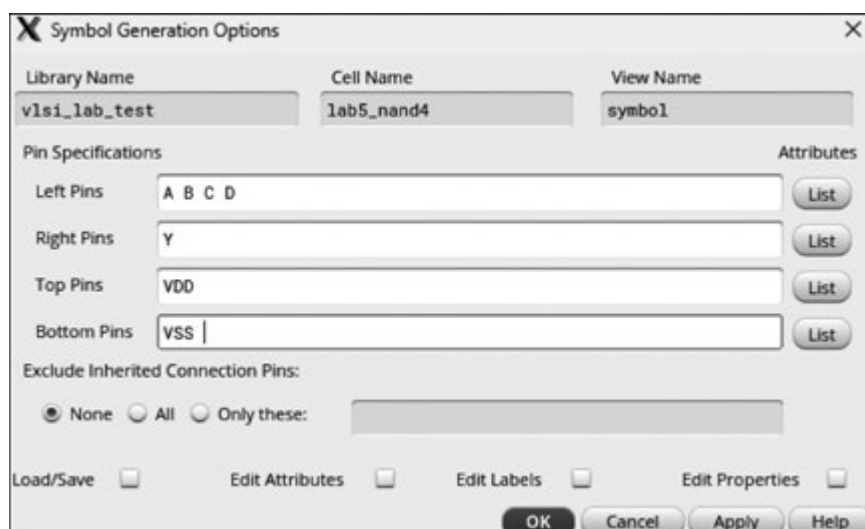


图 5-6 逻辑门符号创建窗口

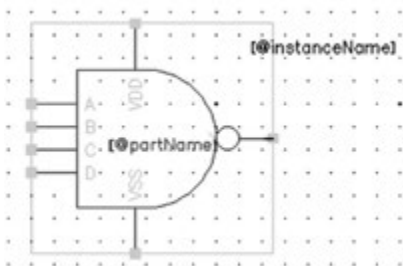


图 5-7 四输入 NAND 逻辑门符号

默认生成的方块不是 NAND 逻辑门的标志,此时需要绘制一个简单规范的四输入 NAND 逻辑门符号,如图 5-7 所示,需要注意的是保证输入输出端口的正确性。

3. 搭建测试电路

绘制完成四输入 NAND 逻辑门符号后,即可创建 cell_view lab5_nand4_test,并按图 5-8 搭建测试电路。按快捷键 i,在工艺库中搜索 inv,调用反相器到电路中。按照图 5-9 设置反相器尺寸,PMOS 管为 $W_P=240\text{nm}$, $L_P=40\text{nm}$,NMOS 管为 $W_N=120\text{nm}$, $L_N=40\text{nm}$ 。

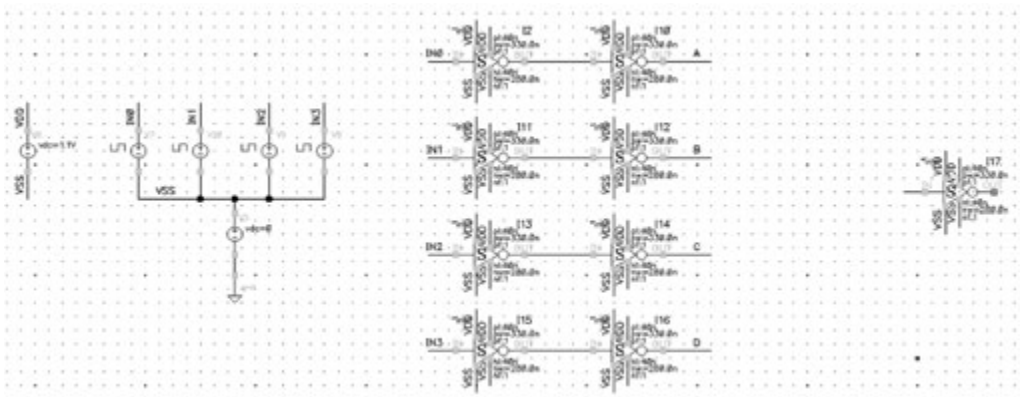


图 5-8 四输入 NAND 逻辑门测试电路图

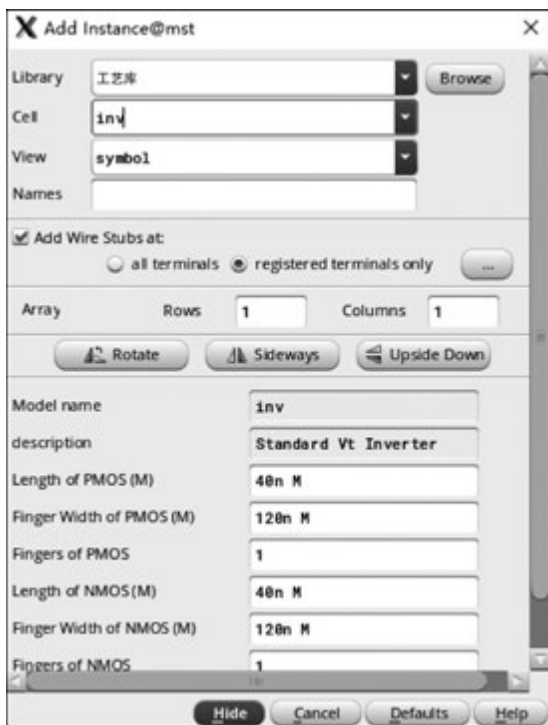


图 5-9 反相器尺寸设置

测试电路中,使用 vdc 电压源并设置 $VDD=1.1V$ 和 $VSS=0$,使用 vbit 电压源设置 4 个信号的输入波形。输入驱动为 4 个单位反相器,负载为一个单位反相器,随后把搭建的四输入 NAND 逻辑门电路实例化到测试电路中。整体测试电路如图 5-10 所示。

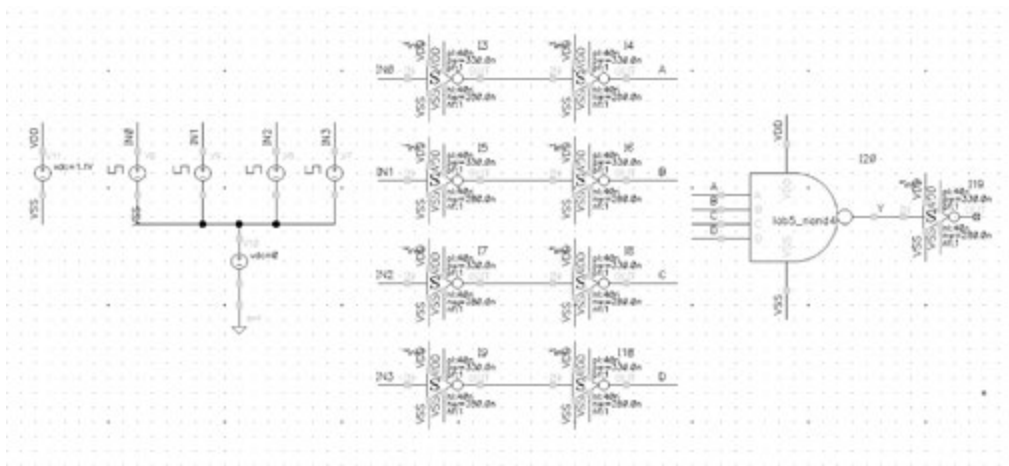


图 5-10 整体测试电路图

4. 测试

此前实验已经介绍了测量逻辑门延时的方法,本实验与之类似,按照图 5-11 所示,通过 ADE 设置瞬态(tran)moderate 模式仿真,测试 4 个节点 A、B、C、D 和输出 Y 的波形,并测量四输入 NAND 逻辑门的传播延时。不同的输入模式可以通过设置图 5-12 中的 4 个 vbit 电压源来产生(例如输入模式 1111→1110)。

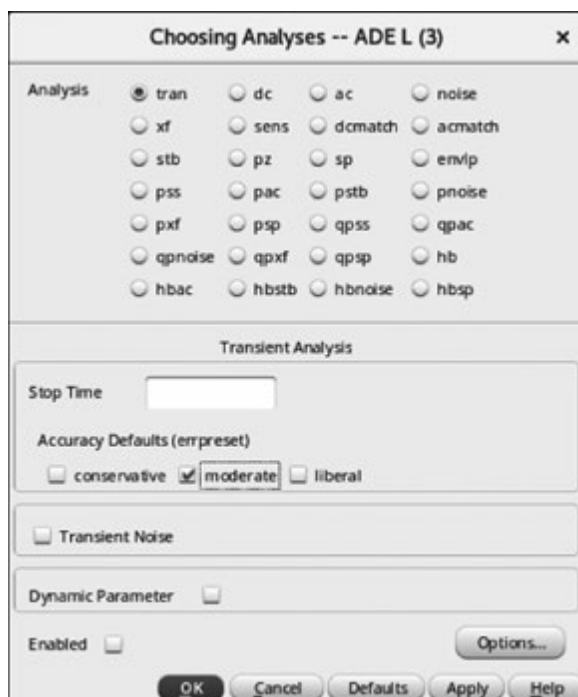


图 5-11 ADE L 中设置瞬态仿真操作

vbit 电压源主要是将数字信号转换为模拟信号,单击图 5-13 中的 vbit 电压源,按快捷键 q 即可查看电压源的属性。如图 5-14 所示,具体的属性设置如下。



图 5-12 新建 vbit 电压源操作

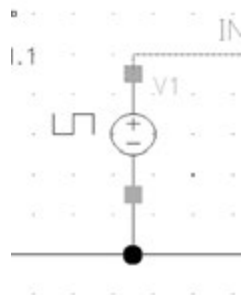


图 5-13 vbit 电压源电路

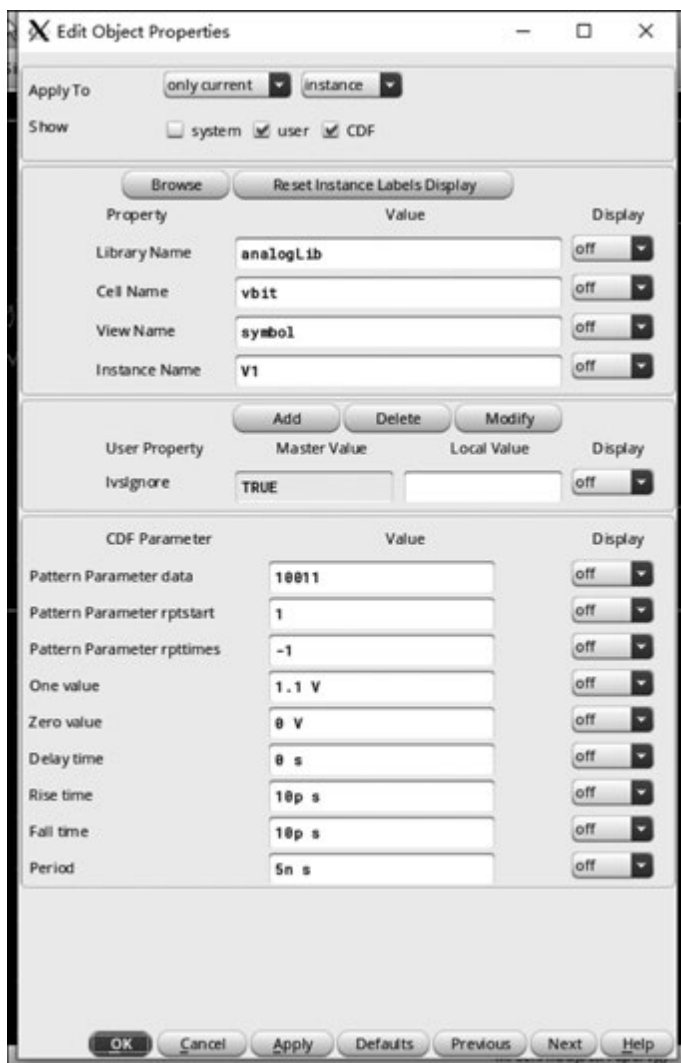


图 5-14 vbit 电压源属性

- (1) Pattern Parameter data: 输入的数字信号。
- (2) Pattern Parameter rptstart: 信号从开始重复的位置。
- (3) Pattern Parameter rpttimes: 信号重复的次数(0 为不重复, -1 为无限重复)。
- (4) One value: 高电平对应的电压值。
- (5) Zero value: 低电平对应的电压值。
- (6) Delay time: 延时。
- (7) Rise time: 上升时间。
- (8) Fall time: 下降时间。
- (9) Period: 每位对应的时间长度。

图 5-14 中的属性对应的波形如图 5-15 所示。

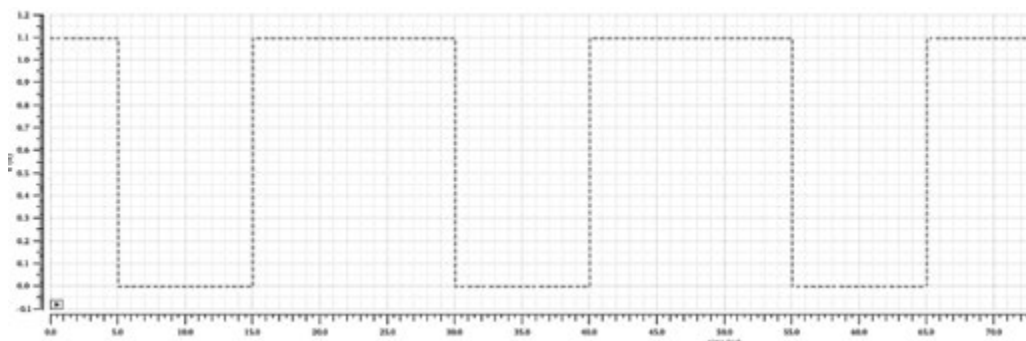


图 5-15 四输入 NAND 逻辑门的仿真波形

5.3.2 延时优化测试分析

设计八输入 AND 逻辑门电路结构,并优化延时。电路具有如图 5-16 所示的 3 种电路结构实现方式。多级逻辑门可以减少扇入的数量,但级数较多也会增大延时。分别测试 3 种电路结构的延时,分析实现相同功能的不同电路结构下的电路延时变化。电路中逻辑门的驱动能力与单位反相器的驱动能力相当。通过测试比较得出哪种电路的延时最短。

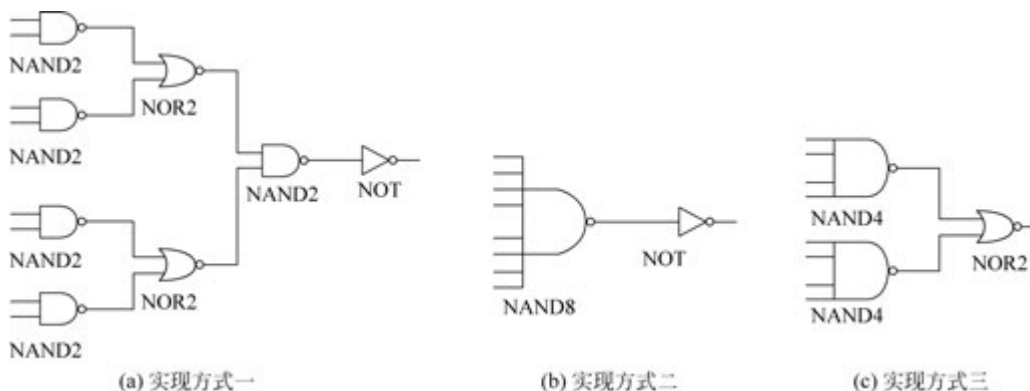


图 5-16 八输入 AND 逻辑门电路的 3 种实现方式

创建电路 cell_view lab5_and8,如图 5-17 所示,绘制的是图 5-16(a)所示的电路结构。按快捷键 i,在工艺库中搜索 nand2、nor2、nand4 等器件,按图 5-18 所示添加器件,调用

逻辑门器件完成电路搭建,逻辑门尺寸保持与单位反相器的驱动能力相等。工艺库中,若没有八输入 AND 的逻辑门,需要和 5.3.1 节中类似,使用 MOS 管搭建。

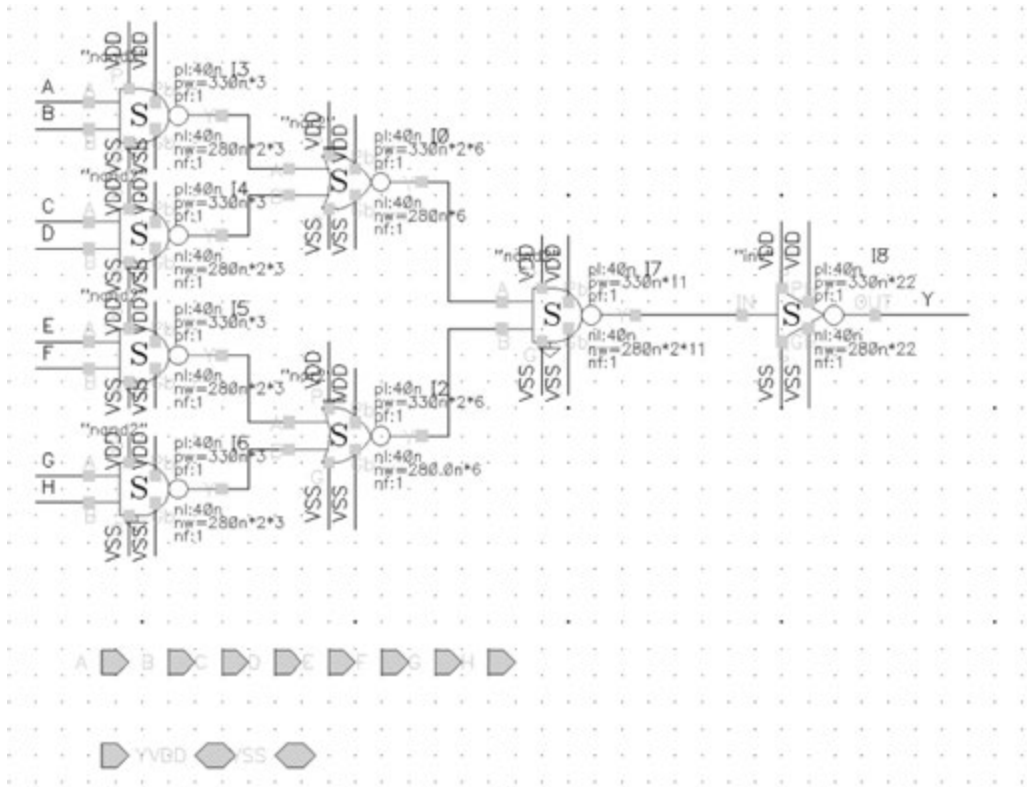


图 5-17 八输入 AND 逻辑门电路原理图

绘制完成八输入 AND 逻辑门电路后创建电路符号用来测试,如图 5-19 所示。



图 5-18 添加 nand2 器件操作

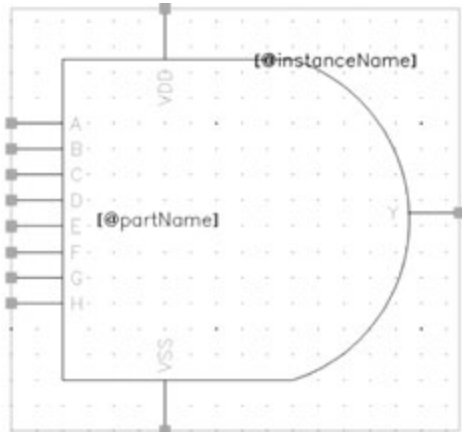


图 5-19 八输入 AND 逻辑门电路符号

完成电路符号创建后,搭建测试电路,测试电路和四输入 NAND 逻辑门实验的测试电路类似,如图 5-20 所示,差异为输入从 4 个变成了 8 个。八输入 AND 逻辑门的 8 个输入的驱动都为 1 个单位反相器,负载是一个反相器,其尺寸是单位反相器的 64 倍。将所设计的

八输入 AND 逻辑门实例化到测试电路中。

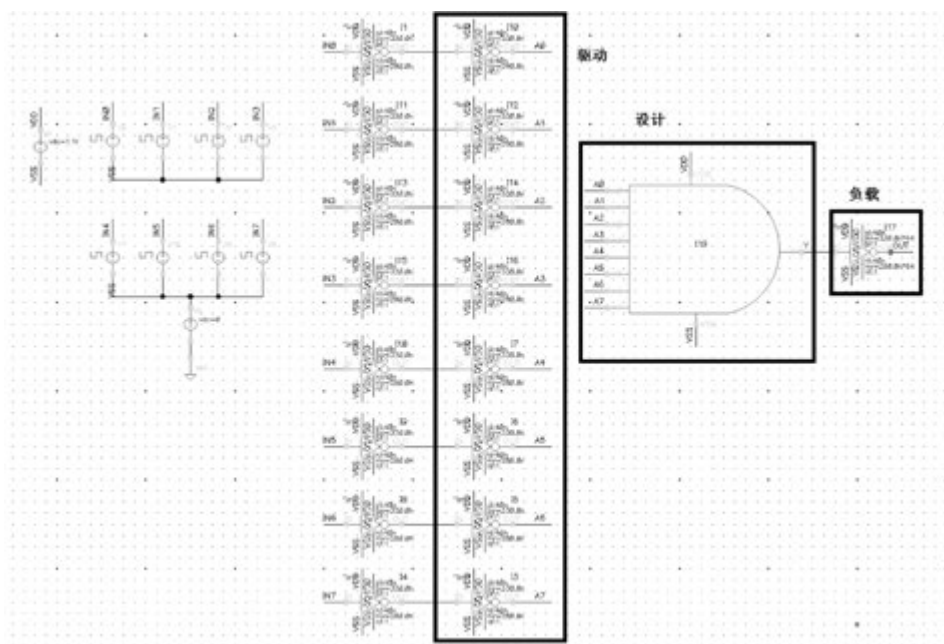


图 5-20 八输入 AND 逻辑门整体测试电路

最后设置 ADE 仿真测试, 设置瞬态仿真(20ns), 输入模式为 11111111→01111111→11111111, 即 IN0 信号先从 1 变为 0 然后又变为 1, 其余信号一直为 1。然后观察输入测试点和输出测试点, 即 A0 信号的驱动单位反相器的输入与输出 Y 的波形, 并测量两者之间的延时。仿真输入和输出测试点选择如图 5-21 所示, 仿真波形图示意如图 5-22 所示。

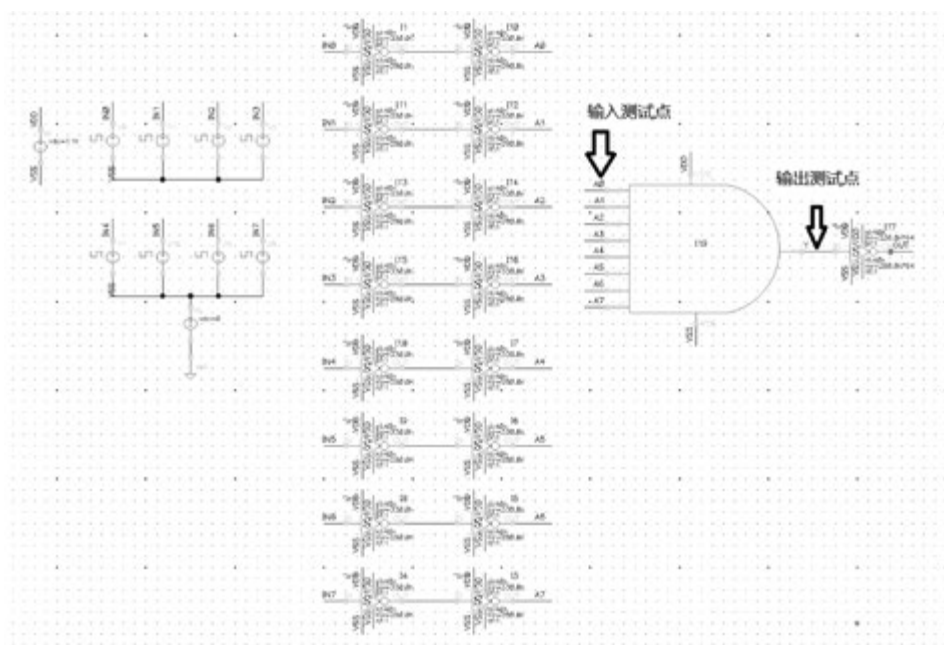


图 5-21 仿真输入和输出测试点选择

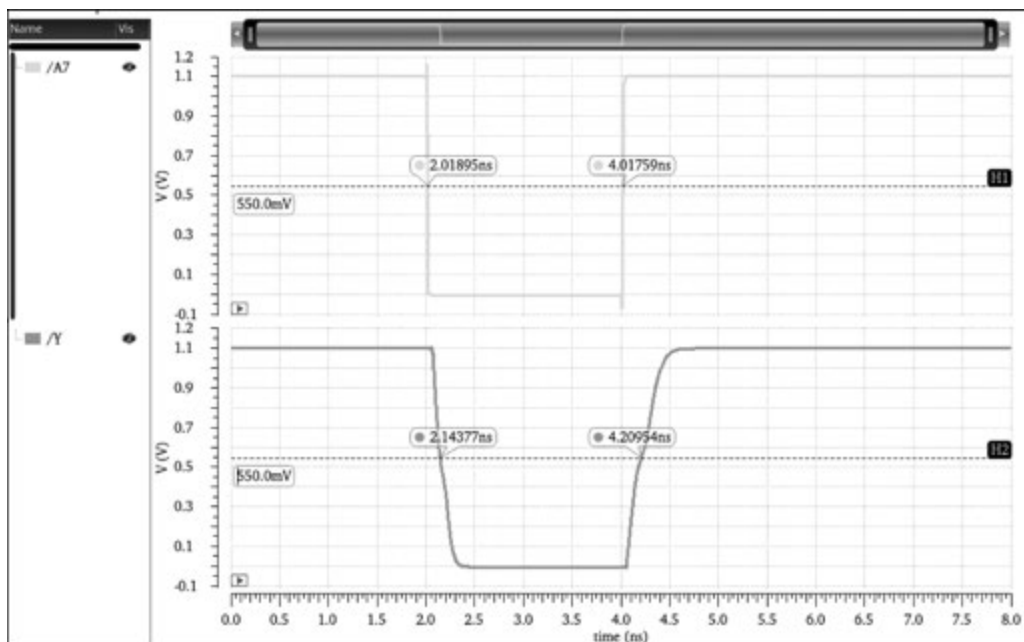


图 5-22 八输入 AND 逻辑门的仿真波形

5.3.3 逻辑门延时优化设计

选定 5.3.2 节中的最短延时的电路结构,并根据电路结构以及驱动和负载,设置电路中各级逻辑门的尺寸大小来优化延时,且尽量令逻辑门的驱动能力均为单位反相器的倍数。