

一级封装是将已通过零级封装(如引线键合、载带自动键合等)实现电学互连的一个或多个 IC 晶片及封装基板用适宜的材料(金属、陶瓷、塑料或它们的组合)封装起来,使之成为有实用功能的电子元器件或组件。

一级封装包括单芯片组件(Single Chip Module, SCM)和多芯片组件(MCM)两大类,在各个不同的发展时期都有相应的封装形式。例如,在 20 世纪 70 年代末至 80 年代初的插装技术发展时期,有典型的双列直插封装(DIP)和针栅阵列(PGA)封装;在 20 世纪 80 年代中期的表面贴装技术(SMT)发展时期,开发出了表面贴装式封装(Surface-Mount Package, SMP)的陶瓷无引线芯片载体(LCCC)、塑料有引线芯片载体(PLCC)、小外形封装(Small Outline Package, SOP)和小外形 J 形引脚封装(Small Outline J-Leaded Package, SOJ);在 20 世纪 80 年代末 SMT 的成熟期,又开发出成为主流封装的四边扁平封装(QFP)。随着 SMT 技术的进步,安装密度不断提高,各种电子封装也进一步向小型化、薄型化、窄节距方向发展,从而又相继出现窄节距小外形封装(Shrink Small Outline Package, SSOP)、薄型小外形封装(Thin Small Outline Package, TSOP)、超小外形封装(Ultra Small Outline Package, USOP)、薄型塑料方块扁平封装(Thin Plastic Quad Flat Package, T-PQFP)等,连 PGA 封装也适应 SMT 的需要,发展成短引脚型结构。

20 世纪 90 年代初,IC 的 I/O 引脚数不断增加,有的高达数千只引脚,这时 QFP 的引脚节距即使已达到 0.4mm 甚至 0.3mm 的安装极限,也难以满足高 I/O 引脚数的要求。一种新型微电子封装——球栅阵列(BGA)封装在美国研制开发成功,有的专家称 BGA 是大规模集成电路(Large-Scale Integrated Circuit, LSI)、超大规模集成电路(Very Large Scale Integrated Circuit, VLSI)芯片微电子封装的“救星”。BGA 一出现就引起世界微电子封装界的广泛重视,各厂商竞相研制开发,一时间在市面上出现了多种类型的 BGA,其中有塑封 BGA(Plastic BGA, PBGA)、倒装芯片 BGA(Flip-Chip BGA, FCBGA)、载带 BGA(Tape BGA, TBGA)和陶瓷密封 BGA(Ceramic BGA, CBGA)等。在此期间,日本在继续发展 QFP 的同时,在 BGA 的基础上还研发出芯片级封装(CSP),它是不大于被封装晶片尺寸 20% 的微电子封装。BGA 和 CSP 的出现,解决了具有数千个 I/O 引脚 VLSI 芯片的电子封装的后顾之忧,因此在此后的几年内,BGA 和 CSP 的发展简直是爆炸性的,仅 1995 年全世界生产 BGA 和 CSP 的厂家就有数十家。

CSP 的出现,还解决了单芯片在组装多芯片组件(MCM)时良品晶片(Known-Good Die, KGD)的测试问题,这对一直发展缓慢的 MCM 起到了巨大的推动作用,使 MCM 的安

装成品率得以保证,同时允许其与 SMT 技术相兼容,生产与安装成本得以大幅降低。用 CSP 和 BGA 方法可以封装 MCM(即 MCMBGA 封装),使之成为更大规模的系统级封装(System in a Package, SiP)。

如今,由于微电子产品的高性能、多功能、小型化、便携式和低成本等要求的推动,微电子封装技术的发展已呈现出百花争艳的局面,各种新型先进封装的发展日新月异,层出不穷,成为微电子领域活跃的一族。

按照引脚分布形态区分,封装元器件有单边引脚、双边引脚、四边引脚与底部引脚 4 种。常见的单边引脚有单列直插封装(Single In-line Package, SIP)与交叉引脚直插封装(Zigzag In-line Package, ZIP); 双边引脚有双列直插封装(DIP)、小外形封装(SOP)等; 四边引脚主要有四边扁平封装(Quad Flat Package, QFP),也称为芯片载体(Chip Carrier); 底部引脚有金属罐式封装(Metal Can Package, MCP)与点阵列式(PGA)封装(又称为针栅阵列封装)。

3.1 双列直插封装

双列直插封装(DIP)是一种简单的集成电路的封装方式。DIP 芯片外形为长方形,在其两侧则有两排平行的金属引脚,称为排针。DIP 元件可以焊接在印制电路板电镀的贯穿孔中,或是插在 DIP 插座(Socket)上。大多数中小规模集成电路均采用这种封装形式,其引脚数一般不超过 100。图 3-1 所示为典型的塑封双列直插器件结构。

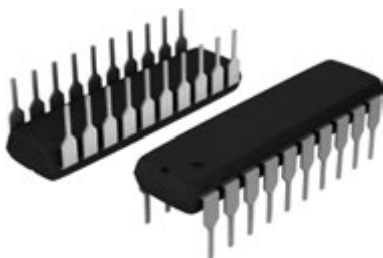


图 3-1 典型的塑封双列直插器件结构

DIP 元件一般简称为 DIP_n , 其中 n 是引脚的个数,如十四针的集成电路即称为 DIP14。DIP 芯片有两排引脚,需要插入兼容 DIP 结构的芯片插座上。当然,也可以直接插在有相同焊孔数和位置排布的电路板上进行焊接。从芯片插座上插拔 DIP 芯片时应特别小心,以免损坏引脚。

DIP 芯片有如下特点。

- (1) 适合 PCB 的通孔插装;
- (2) 易于在 PCB 上布线;
- (3) 焊接安装操作方便。

DIP 是 20 世纪 60 年代开发出来的最具代表性的 IC 芯片封装结构,在表面贴装技术出现之前曾是大量应用于中小规模 IC 芯片的主导封装形式,引脚数为 4~64 个,产品呈系列化、标准化,品种规格齐全,至今仍有大量 DIP 元件投入使用(1997 年各种 DIP 产品的总量约为 110 亿枚)。



DIP 可分为陶瓷熔封双列直插封装(CDIP)、塑料双列直插封装(PDIP)与窄节距双列直插封装(Shrink DIP,SDIP)等,其 I/O 引脚节距一般为 2.54mm 或 1.78mm。现以 CDIP 及 PDIP 为例介绍它们的封装技术。

3.1.1 陶瓷熔封双列直插封装

和其他双列直插封装一样,陶瓷熔封双列直插式封装(CDIP)的引线节距为 2.54mm。这种封装结构十分简单,只有底座、盖板和引线架 3 个零件。其工艺过程如图 3-2 所示。



图 3-2 CDIP 的工艺过程

(1) 准备底座和盖板,底座和盖板一般是黑色陶瓷,通过把氧化铝粉末、润滑剂、黏接剂混合压制所需形状,然后在空气中烧结成陶瓷。

(2) 把玻璃浆料印制到陶瓷底座和盖板上,烧成后用玻璃覆盖。

(3) 将引线框架放在底座上,在空气中烧制,使玻璃熔化,引线框架埋入玻璃中形成带引线框架的底座。在这种结构中,一般将铝气相沉积到压制成形引线框架的引线键合部分,然后将其烧结,以增强与引线框架材料(Fe/Ni/Co 合金)的附着力。后来,其制作方法改为覆上铝箔然后进行压制。键合部位用胶进行金属化,然后使用引线键合方法将晶片的焊盘连接到引线框架上,实现晶片与外部的电学连接。

(4) 芯片键合后进行焊线。

(5) 把覆盖有低熔点玻璃的盖板与贴好 IC 芯片的底座组装到一起,在空气中加热使玻璃熔化,形成密封。

(6) 电镀引脚,切断引脚连接。

这种方法是用低熔点玻璃实现密封的,所以也称为低熔点玻璃密封 DIP。CDIP 器件结构如图 3-3 所示。

玻璃密封的 CDIP 器件可用于随机存储器(Random Access Memory,RAM)、数字信号处理器(Digital Signal Processor,DSP)等电路。带有玻璃窗口的 CDIP 器件一般用于紫外线擦除型可擦可编程只读存储器(Erasable Programmable Read-Only Memory,EPR0M)以及内部带有 EPROM 的计算机电路等。

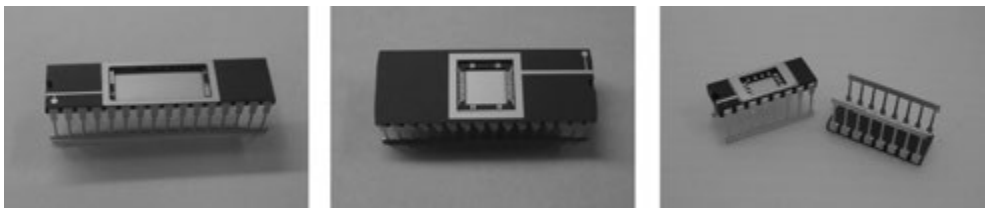


图 3-3 CDIP 器件结构

CDIP 结合了引线框架、陶瓷与低熔点玻璃的特点,不需在陶瓷上金属化,烧结温度低(一般低于 500°C),因此成本很低。在 20 世纪 90 年代前,它曾占据国际集成电路封装市场的很大份额。由于其电性能和可靠性不易提高,体积也大,现已逐渐被多层陶瓷封装和塑料封装所取代。

多层陶瓷熔封双列直插封装(Multilayer Ceramic DIP, MLCDIP)由多层陶瓷工艺制作。与传统的 CDIP 工艺不同,多层陶瓷工艺的生瓷片由流延法制成,将一定厚度的生瓷片切割为一定的尺寸(如 5 英寸 \times 5 英寸或 8 英寸 \times 8 英寸),如有需要,还可在瓷片中冲出通孔,并在通孔中填充金属。此后,在每层生瓷片上丝网印刷钨或钼以实现瓷片层间的金属化,然后将多层金属化的生瓷片在一定的温度和压力下进行层压,随后热切成多个单元的 CDIP 生瓷体(若需要,可在此时进行侧面金属化印刷),进行排胶,并在湿氢或氮氧混合气体中于 $1550\sim 1650^{\circ}\text{C}$ 温度下烧成 CDIP 熟瓷体,然后进行金属化(电镀或化学镀镍,在上表面钎焊封口环,在两侧面钎焊引线,然后镀金),最后进行外壳检漏和电性能检测。外壳制作完成后,将其用于常规的后道封装工艺,即成为电子元件。

MLC DIP 制作中,流延工艺十分重要,它是多层陶瓷工艺的基础。生瓷片主要由陶瓷粉末、玻璃粉末、黏接剂、溶剂和增塑剂等制作而成。黏接剂在生瓷片制作过程中起黏接陶瓷颗粒的作用,还可以使生瓷片适合于金属化浆料(如钼浆料、钨浆料)印刷。溶剂有两个主要作用:其一是在球磨过程中使瓷粉均匀分布;其二是使生瓷片中的溶剂挥发后形成大量的微孔,这种微孔能在以后的生瓷叠片层压过程中为金属线条周围的陶瓷提供压缩空间,使金属布线不受损伤。增塑剂能使生瓷片呈现“塑性”或柔性,这是由于增塑过程中降低了黏接剂的玻璃化温度。

还有一种工艺需要提及,这就是钎焊过程。无论是手工焊、浸焊、波峰焊还是再流焊,焊接过程都要经过对焊件界面的表面清洁、加热、润湿、毛细作用、扩散和溶解、冶金结合形成结合层和冷却等阶段。

(1) 表面清洁。钎焊焊接只能在清洁的金属表面进行。此阶段的作用是清理焊件的被焊界面,把界面的氧化膜及附着的污物清除干净。表面清洁是在加热过程中钎料熔化前,通过助焊剂的活化作用使其与焊件界面起反应后完成的。

(2) 加热。在一定温度下,金属分子获得足够的动能后,才能在很短的时间内完成产生浸润、扩散、溶解、形成结合层。因此,加热是钎焊焊接的必要条件。对于大多数合金而言,较理想的钎焊温度为 $15.5\sim 71^{\circ}\text{C}$ 。

(3) 润湿。熔融的液态钎料在金属表面漫流铺展,金属原子自由接近湿焊件表面,这是扩散、溶解、形成结合层的首要条件。

(4) 毛细作用、扩散和溶解、冶金结合形成结合层。熔融的钎料润湿在毛细现象、扩散

和溶解作用下,经过一定的温度和时间形成结合层(焊缝),焊点的抗拉强度与金属间结合层的结构和厚度等因素有关。

(5) 冷却。焊接完成,将体系冷却到金属的固相温度以下,凝固后即形成具有一定抗拉强度的焊点。

CDIP 具有良好的机械性能和电性能,可靠性较高,引脚中心距为 2.54mm,体积较大。CDIP 的最大优势在于为封装设计者提供了充分的灵活性,允许其充分利用封装布线提高封装的电性能。例如,设计者可以在陶瓷封装体内加入电源面和接地面,以减小电感;可以加入接地屏蔽面或线,以减小信号线间的串扰;可以控制信号线的特性阻抗等。

3.1.2 塑料双列直插封装

塑料双列直插封装(PDIP)具有工业自动化程度高、产量大、工艺简单、成本低廉等特点,这种封装使用的是非气密性的塑封外壳,不能完全隔断芯片与周围的环境,具有易吸潮的缺点,但在大量民用产品的使用环境中,其在一定时期内仍可保证器件的可靠工作。

塑料封装用的树脂(环氧模塑材料)应具备如下特性。

- (1) 树脂要尽可能与被包封的各种材料相匹配,即热膨胀系数相近。
- (2) 在 $-65\sim 150^{\circ}\text{C}$ 的环境温度范围内能正常工作,这要求其玻璃化温度大于 150°C 。
- (3) 树脂的吸水性要小,并与引线的黏接性能良好,防止湿气沿树脂引线界面侵入内部。
- (4) 要有良好的物理性能和化学性能。
- (5) 要有良好的绝缘性能。
- (6) 固化时间短。
- (7) 钠含量低,放射性杂质含量低,防止对器件的工作产生干扰。

用于连续注塑的热固性环氧材料正具备这些特性,并已成为国际上注塑的通用材料。多年来,PDIP 在提高耐湿性、降低应力、提高热导率和提高塑封生产效率等方面均有了长足的进步。为改善塑料封装环氧树脂的性能,还要添加一定的填料。主要填料有石英粉(二氧化硅)、二氧化锆、氧化铝、氧化锌、无机盐或有机纤维等。为使 PDIP 具有一定的颜色,还要添加一些调色素,如炭黑(黑色)、三氧化二铁(红色)、二氧化锆(白色)等。为了塑封后易于脱模,还要加入适量的脱模剂。

塑料封装前,在加入各种添加剂的环氧树脂中注入适当比例的固化剂,在常温下均匀地分散到树脂的各部分并与其初步反应,但此时的树脂材料尚未充分固化,这时的塑封材料只能算作预先凝结的待用坯料。PDIP 的引线框架为局部镀银的 C194 铜合金或 42 号铁镍合金,基材用冲压或刻蚀方法成形。将集成电路芯片用黏接剂黏接在引线架的中心芯片区,将其各焊区与局部电镀银的引线架各焊区用引线键合连接,然后将载有此芯片的引线架置于塑封模具的下模中,盖上上模。接着将已预热过并经计量的环氧坯料放入树脂腔中,置于注塑机上。加热上、下模具令其达到 $150\sim 180^{\circ}\text{C}$,这时的环氧坯料已经软化熔融并具有一定的流动性,注塑机对各个活塞加压,熔融的环氧树脂就通过注塑流道挤流到各个芯片所在的空腔中。此后将工件保温加压 $2\sim 3\text{min}$ 待其成形,即可脱模并及时清除塑料毛刺。还需对引线架的引线连接处切肋,并将引脚弯折成 90° ,方可成为标准的 PDIP。制造完成的器件需进行高温老化筛选,令树脂材料充分固化,再经测试、分选、打印、包装后,才可以作为成品器

件出厂。PDIP 的一个突出优点是可根据要求的产量设计模具的容量(腔数),可大可小,省工省时,适用于自动化大批量生产。

3.2 小外形封装

小外形封装(SOP)是一种很常见的元件封装形式,它实际上是 DIP 的变形,即将 DIP 的直插式引脚向外弯曲成 90° ,使其适于 SMT 安装方式。SOP 的外形尺寸和重量比 DIP 小得多。

小外形封装结构的引脚有两种不同的形式,一种具有 L 形的翼形引脚,通常称为 SOP,也被称为小外形 L 形引脚封装(Small Outline L-leaded Package, SOL),如图 3-4 所示。

另一种结构可进一步缩小封装器件在 PCB 上占据的面积,其结构与 SOP 类似,但将引脚弯曲成 J 形,引脚在封装的下面,此类封装称为小外形 J 形引脚封装(SOJ),如图 3-5 所示。



图 3-4 SOL 结构



图 3-5 SOJ 结构



第 10 集
微课视频

SOP 的特点是引脚在塑封主体之外,易焊接,焊点容易检查,但占用 PCB 的面积比 SOJ 大。与之相对地,SOJ 的安装密度较 SOP 高。SOP、SOJ 类的引脚节距多为 1.27mm、1.0mm 和 0.65mm 等,引脚数为 8~86 只。SOP、SOJ 的引线框架材料,除可伐合金及 42 号铁镍合金外,还可用铜合金制作,它具有柔性,可吸收焊接时的应力,而且导电导热性能好。在各类表面贴装器件(Surface-Mounted Device, SMD)中,SOP 与 SOJ 占据的份额最大。在 SMT 1998 年第 7 期刊载的对 1997—2002 年的各类封装产品预测中,各个时期 SOP、SOJ 的产量约占 SMD 各类封装总产量的 60%。SOP 与 SOJ 主要用于封装中小规模 IC 芯片,也用于封装 I/O 引脚较少的大规模集成电路(LSI)芯片。

SOP、SOJ 几乎全部采用模塑封装,其制作方法与其他模塑工艺类似。先把 IC 芯片用导电银浆(又称导电胶)或树脂黏接在引线框架上,经树脂固化,使 IC 芯片固定,再将 IC 芯片上的焊区与引线框架引脚的键合区(一般局部镀金或银)用引线键合方法连接。然后放入塑封模具中进行模塑封装,出模后经切筋整修,去除塑封“毛刺”,将框架外引脚打弯成形。若引脚向外弯成翼形,就成为 SOP;若引脚向内弯成 J 形,则成为 SOJ。成形的 SOP、SOJ 器件经筛选、测试、分选、打印、包装,方可作为成品出厂。

SOP 有常规型、窄节距 SOP(SSOP)及薄型 SOP(TSOP)等多个种类。SOP 封装的应用范围较广,且此后逐渐派生出的甚小外形封装(Very Small Outline Package, VSOP)、薄

型窄节距 SOP (Thin Shrink SOP, TSSOP) 及小外形晶体管 (Small Outline Transistor, SOT)、小外形集成电路 (Small Outline IC, SOIC) 等在集成电路中都起到了举足轻重的作用。例如, 计算机主板上的时钟发生器采用的就是 SOP。

3.3 四边扁平封装

随着集成电路封装技术的发展, 为了进一步在不大幅扩大芯片所占面积的前提下增加更多的 I/O 引脚数目, 在小外形封装技术的基础上, 又提出了四边扁平封装 (QFP) 的概念。QFP 与 SOP 一样, 属于表面贴装类型封装的一种, 其将 SOP 的双排引脚变为围绕整个封装四边的四边引脚, 从而增加了单个芯片可容纳的引脚数量, 提高了 PCB 的布线密度及空间利用效率。QFP 的引脚数目一般为 44~208, 甚至可以达到 304, 引脚之间距离很小, 引脚很细。该技术封装 CPU 时操作方便, 可靠性高; 而且其封装外形尺寸较小, 寄生参数减小, 适合高频领域的应用。

从管壳材质划分, QFP 以塑料 QFP (PQFP) 为主, 也有陶瓷熔封 QFP (Ceramic QFP, CQFP)。经过十多年的研制开发和应用, QFP 的技术与性能不断改进提高, 终于在 20 世纪 90 年代初成为各类大规模集成电路 (LSI) 芯片以及较低 I/O 引脚数超大规模集成电路 (VLSI) 芯片的 SMD 类主流封装产品, 其中 I/O 引脚数在 208 个以下的 QFP 具有较高的性能价格比, 以及更优良的焊点可靠性, 曾一度成为最理想的 SMD 封装产品。QFP 器件的外形如图 3-6 所示。



图 3-6 QFP 器件的外形

QFP 引脚之间的距离很小, 引脚很细, 一般用于大规模集成电路 (LSI) 或超大规模集成电路 (VLSI), 其引脚数一般在 100 以上。由于 QFP 器件一般为正方形, 其引脚分布于封装体四周, 因此非常容易识别。在很多电路中都有 QFP 芯片存在。

QFP 器件引脚从 4 个侧面引出, 呈海鸥翼形 (L 形)。QFP 的包封基材有陶瓷、金属和塑料 3 种。从数量上看, 塑料封装占绝大部分。提及 QFP 时, 若没有特别说明包封材料, 一般指的是塑料四边扁平封装 (PQFP)。PQFP 是最普及的封装形式, 不仅用于微处理器、门阵列等数字逻辑电路, 也用于磁带录像机信号处理、音响信号处理等模拟 LSI 电路。

QFP 具有以下特点。

- (1) 属于表面贴装器件, 通常通过表面贴装方法将其安装在 PCB 上。
- (2) 适用于高频应用场景。
- (3) 贴装操作方便, 可靠性高。
- (4) 封装面积与被包封晶片面积的比值较小。

3.3.1 QFP 的分类和结构

QFP 集成电路的封装种类繁多, 一般引脚中心距小于 0.65mm。按照其封装体的厚度可以将其分为 3 种: 普通四边扁平封装 (QFP), 封装体厚度一般为 2.0~3.6mm; 小型四边扁平封装 (Low-Profile Quad Flat Package, LQFP), 封装体厚度一般为 1.4mm; 薄型四边

扁平封装(Thin Quad Flat Package, TQFP),封装体厚度一般为 1.0mm。

另外,有的厂家把引脚中心距为 0.5mm 的四边扁平封装称为窄节距四边扁平封装(Shrink Quad Flat Package, SQFP),也有厂家把引脚中心距为 0.65mm 或 0.4mm 的四边扁平封装称为 SQFP。QFP 的缺点是当引脚中心距小于 0.65mm 时,引脚容易弯曲。为了防止引脚变形,出现了几种改进的 QFP,如 4 个角带有树脂缓冲垫的带缓冲垫四边扁平封装(Quad Flat Package with Bumper, BQFP)等。对于逻辑集成电路,不少高可靠性产品都封装在多层陶瓷熔封四边扁平封装里(CQFP)。引脚中心距最小为 0.4mm、引脚数最多为 348 的产品也已问世。此外,也有用玻璃密封的陶瓷熔封四边扁平封装。

1. 普通四边扁平封装

普通 QFP 多为正方形封装,其引脚分布于封装体四周,引脚数目通常为 44~308,也有引脚数更多的产品,部分产品的引脚数甚至可以达到 500。

2. 薄型四边扁平封装(TQFP)

相对于普通的 QFP 来说,TQFP 的厚度要小一些。TQFP 对中等性能、低引线数量要求的应用场合而言是成本效用最高的封装方案,且可以得到一个重量较轻的封装。TQFP 系列支持的印模尺寸和引脚数量较广,尺寸范围为 7~28mm。

3. 窄节距四边扁平封装(SQFP)

SQFP 的引脚中心距比普通 QFP 要小,所以在封装体的边缘可以容纳更多的引脚。SQFP 通常又被称为细间距四边扁平封装(Fine-pitch QFP, FQFP)。

4. 带缓冲垫四边扁平封装(BQFP)

BQFP 一般在封装体的 4 个角安装凸起的缓冲垫,以防止在运送过程中引脚发生弯曲变形,如图 3-7 所示。一些美国的半导体厂家主要在微处理器和专用集成电路(Application Specific Integrated Circuit, ASIC)等电路中采用此封装。BQFP 的引脚中心距为 0.635mm,引脚数为 84~196。

5. 陶瓷熔封四边扁平封装(CQFP)

CQFP 用干压方法制造,其结构如图 3-8 所示。两次干压的矩形或正方形陶瓷片(管底和基板)都是用丝网印制法印在焊接用玻璃上,然后涂覆上釉。此后加热玻璃,同时引线架被植入已经变软的玻璃底部,形成一个机械附着装置。将晶片安装就位并与框架键合完毕后,管底被安放到顶部,加热到玻璃熔点并冷却。

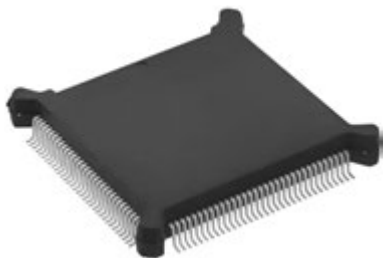


图 3-7 BQFP 结构

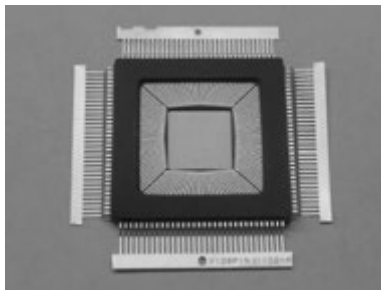


图 3-8 CQFP 结构

3.3.2 QFP 与其他几种封装的比较

QFP 是在小外形封装(SOP)的基础上发展而来的,它的出现大大提高了芯片的封装效率。但是因为工艺和性能的问题,目前已经逐渐被 TSOP-II 和球栅阵列(BGA)封装所取代。QFP 和其他多种芯片封装技术的比较如下。

(1) 封装效率(晶片面积占封装面积的比例)比较: DIP 最低(2%~7%),QFP 次之(10%~30%),BGA 和 PGA 较高(20%~80%),芯片级封装(CSP)最高(70%~85%)。

(2) 封装厚度比较: 普通的 PQFP 和 PDIP 的厚度为 2.0~3.6mm,薄型 QFP(TQFP)和薄型 SOP(TSOP)可减小到 1.0~1.4mm,超薄型 QFP(Ultra Thin QFP,UTQFP)和超薄型 SOP(Ultra Thin SOP,UTSOP)可进一步减小到 0.5~0.8mm。

(3) 引脚间距比较: 双列直插封装(DIP)和针栅阵列(PGA)封装的典型引脚间距为 2.54mm,窄节距 DIP(SDIP)和塑料有引线芯片载体(PLCC)为 1.27mm,四边扁平封装(QFP)可缩小到 0.63mm 和 0.33mm,球栅阵列(BGA)封装的最小引脚间距可缩小到 0.5mm,芯片级封装(CSP)可进一步缩小到 0.33~0.15mm。

(4) 引脚数比较: 小外形封装(SOP)的最大引脚数为 40,双列直插封装(DIP)为 60,PLCC 可达 400,QFP 可达 500,PGA 和 BGA 中的塑料封装也可以达到 500,而陶瓷封装则可达 1000,芯片级封装(CSP)的引脚数也可达 1000。

除了上述指标外,还需要考虑封装成本问题。一般来讲,双列直插封装(DIP)、小外形封装(SOP)价格最低,四边扁平封装(QFP)价格较高,因而对于低、中引脚数的封装,DIP 与 SOP 是优先考虑的形式。当然,引脚数量也是生产过程中需要考虑的一环。例如,载带自动键合(TAB)的成本较 PQFP 更高,但相对针栅阵列(PGA)封装而言还是低很多;然而,对于高引脚数的封装,针栅阵列(PGA)和球栅阵列(BGA)封装仍是优先选择的对象,因为与 QFP 相比,针栅阵列和球栅阵列能在保持较大间距的条件下得到高得多的引脚数。



第 11 集
微课视频

3.4 栅格阵列封装

随着科技的快速发展和产业结构的不断变革,电子制造业正面临着前所未有的挑战与机遇。传统的封装技术已经无法满足市场对高性能、高可靠性、小型化的需求。栅格阵列(Land Grid Array,LGA)封装作为一种先进的封装技术,能够提高芯片的集成度、降低成本并提高性能,这推动了 LGA 封装的发展。

LGA 结构基于芯片与基板之间的直接倒装连接。LGA 封装使用刚性或柔性的电路板作为基板,其上布满了密集的连接器。这些连接器借由穿过基板的金属化通孔与芯片实现电气连接。在 LGA 结构中,倒装的芯片通过焊球与基板直接相连,晶片与基板之间的间距很小。LGA 封装结构如图 3-9 所示。

LGA 封装技术一度被视为“跨越性的技术革命”,这主要是由于它用金属触点式封装取代了以往的针状插脚。以 Intel 公司的历代产品为例,基于 LGA 封装

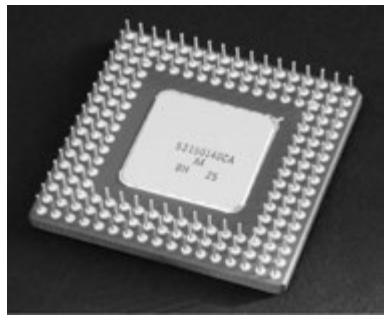


图 3-9 LGA 封装结构

技术的 LGA-775(775 代表其可提供 775 个 I/O 触点)接口系统在推出之后,基于 PGA 技术的 Socket 478(也被称为 Socket T,478 代表其提供 478 个 I/O 插脚)接口系统被直接淘汰。值得一提的是,Socket 478 是 Intel 公司推出的基于 PGA 技术的最后一代产品。

不难看出,LGA 封装技术实质上是 PGA 技术的演进。继续以 LGA-775 为例,由于其安装在 PCB 上的结构从针脚变成了触点,所以采用 LGA-775 接口的处理器在安装方式上也与此前基于 PGA 技术的其他产品不同——它不具备针脚结构,不能利用针脚固定接触,而是必须以安装扣架固定,使 CPU 可以牢固地压接在基座的弹性导电触须上,其电学连通原理与 BGA 封装相似,只不过 BGA 是用焊锡将芯片牢固焊接在基座上,而 LGA 则可以随时解开扣架更换芯片。

需要强调的是,此处的 LGA、PGA 属于封装技术的范畴,而 Socket-478、LGA-775 属于插座类型的范畴,是 Intel 公司基于不同封装技术推出的芯片-基座间连接的解决方案,请不要将二者混淆。

3.5 球栅阵列封装

多年以来,四边扁平封装(QFP)技术一直以其成本低、效率高的优点广泛应用于半导体器件与电路的封装,但该封装技术仅适用于引脚数不超过数百量级的元器件与电路。进入 20 世纪 90 年代以后,由于微电子技术的飞速发展,器件与电路的引脚数不断增加,QFP 面临着性能与组装的巨大障碍,为了适应 I/O 数不断增长的趋势,封装人员不得不将 QFP 做得很大或缩小引脚间距,这就造成封装性能的降低并使制造成本越来越高。在这种进退两难的情形下,球栅阵列封装技术迅速崛起。

球栅阵列(BGA)封装是 1990 年初由美国 Motorola 公司与日本 Citizen 公司共同开发的先进高性能封装技术,如图 3-10 所示。它是在基板的背面按阵列方式制出球形触点作为引脚,在基板正面装配 IC 芯片(有的 BGA 芯片与引脚端在基板的同一面),是多引脚大规模集成电路芯片封装用的一种表面贴装技术。

球栅阵列的优点包括:①芯片与基板之间互连长度缩短,使封装性能得到进一步提高;②互连所占的板面积较小,利于器件的小型化;③I/O 间距要求一般不太严格,设计时较为灵活,可高效地进行功率分配和信号屏蔽。因此,球栅阵列互连从 20 世纪 90 年代开始逐渐得到广泛应用。在早期,针栅阵列(PGA)封装曾一度广泛用于先进的多 I/O 器件封装,但目前 BGA 已逐渐成为这类器件的最佳封装技术。

目前的许多芯片级封装(CSP)都为 BGA 型,这类封装的最大优点就是可最大限度地节约基板上的空间。BGA 可使用多种材料,其结构形式多种多样。最常见的 BGA 结构是芯片向上结构,而对热处理要求较高的器件通常要使用芯片向下结构。晶片与基板之间的连接(一级互连)多采用传统的引线键合等方法,一些较先进的器件则采用倒装芯片方法进行互连。多芯片组件(MCM)器件一般采用 BGA 封装方法。

栅格阵列(LGA)和焊柱阵列(Column Grid Array,CGA)封装等也与 BGA 有着密切的

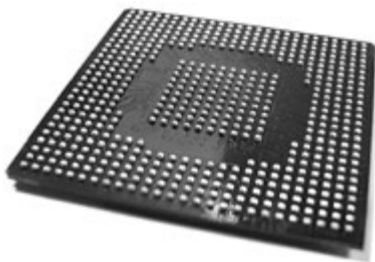


图 3-10 BGA 封装结构

关系。BGA 封装是将焊球阵列安装在器件的下表面,而 LGA 封装则是在器件下表面制作触点。焊柱阵列是由球栅阵列互连方法发展而来的,其典型特点是使用陶瓷基板以提高连接的可靠性。

BGA 封装具有以下特点。

- (1) 成品率高。
- (2) BGA 焊点的中心距一般为 1.27mm,可以利用现有的 SMT 工艺设备,而 QFP 的引脚中心距如果小到 0.3mm,引脚间距只有 0.15mm,其安装与焊接的工艺实现极为困难。
- (3) 增加了器件引脚数,缩小了器件尺寸。
- (4) 明显改善共面问题,极大地减少了共面损坏。
- (5) BGA 引脚牢固,不像 QFP 那样存在引脚变形。
- (6) BGA 引脚短,因此信号路径短,减小了引线电感和电容,增强了节点性能。
- (7) BGA 有助于散热。
- (8) BGA 适合 MCM 的封装需要,有利于实现 MCM 的高密度、高性能特性。

3.5.1 BGA 的分类和结构

BGA 器件的最大特点是其底部存在一个由大量焊球构成的阵列。这些焊球的间距通常为 1.27~2.54mm。BGA 器件对贴装精度的要求并不严苛,因为其在焊接时具有自动排列对准的特点,即使器件与焊盘之间发生一定程度的偏移,在进行回流焊时,器件的位置也会自动纠正。这是因为熔化了焊料在表面张力的作用下会将表面积缩小到最低,在此作用下,器件将被“拉回”合适的位置。

BGA 封装中晶片与基板的互连方式可采用引线键合或倒装芯片键合。目前大多数 BGA 器件的 I/O 接口数为 100~1000 个。采用引线键合的 BGA 器件,其 I/O 数常为 50~540 个;而采用倒装焊方式的 BGA 器件,其 I/O 数常大于 540 个。塑封球栅阵列(PBGA)器件的互连常用引线键合方式;陶瓷熔封球栅阵列(CBGA)器件常用倒装芯片键合方式;载带球栅阵列(TBGA)器件两种互连方式都有使用。目前,当 I/O 数小于 600 个时,引线键合的成本低于倒装芯片键合。但是,倒装芯片键合方式更适宜大批量生产,且利于缩小整个封装器件的体积。

BGA 的焊球分布有周边阵列、交错阵列和全阵列 3 种类型,如图 3-11 所示。如果芯片和焊球位于基板的同一面,只能采用周边阵列焊球分布,如微型球栅阵列(Micro BGA, MBGA);载带球栅阵列(TBGA)的焊球也不能够安装到封装中心固定芯片的地方,因此也只能采用周边阵列焊球分布。塑封球栅阵列(PBGA)、陶瓷熔封球栅阵列(CBGA)和陶瓷熔封焊柱阵列(Ceramic Column Grid Array, CCGA)可采用全阵列,也可以采用部分阵列分布。对于大尺寸芯片,如果材料热失配较大,焊球分布在芯片边缘对应区域底部会加大该区域热膨胀系数不一致导致的应力,严重情况下会导致芯片与基板分层或芯片破裂,为了降低材料热失配导致的应力的影响,需要采用交错阵列焊球分布。

按照基板的种类,BGA 可分为 4 类:塑封球栅阵列(PBGA)、陶瓷熔封球栅阵列(CBGA)、陶瓷熔封焊柱阵列(CCGA)和载带球栅阵列(TBGA)。下面分别对其进行介绍。

1. 塑封球栅阵列

塑封球栅阵列(PBGA)又称为模压塑料阵列载体(Over Molded Plastic Array Carriers,

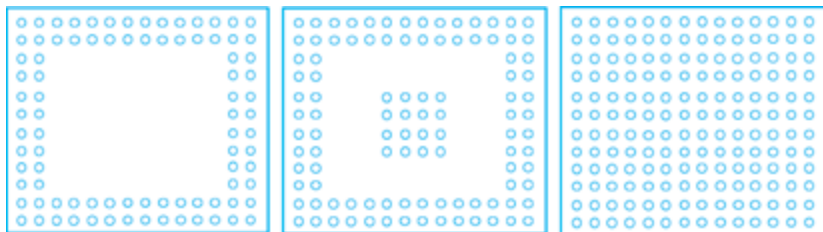


图 3-11 BGA 的焊球分布方式

OMPAC),它是最常用的 BGA 封装形式,如图 3-12 所示。PBGA 的包封材料与基板材料一般均为塑料,晶片通过引线键合技术连接到封装基板上,然后用塑料进行整体注塑处理。此后,低熔点锡铅合金(37% Pb-63% Sn)焊料被安置到封装基板的外侧形成阵列,如图 3-13 所示。塑封球栅阵列的焊球可以采用全阵列分布,也可以采用部分阵列分布,焊球的尺寸大约为 1mm,间距范围为 1.27~2.54mm。

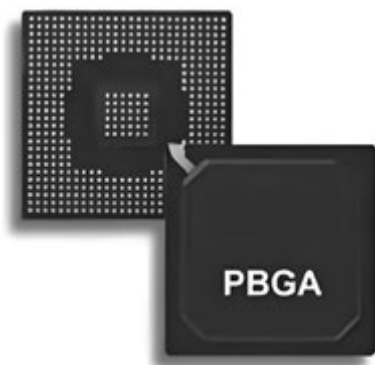


图 3-12 PBGA 封装器件

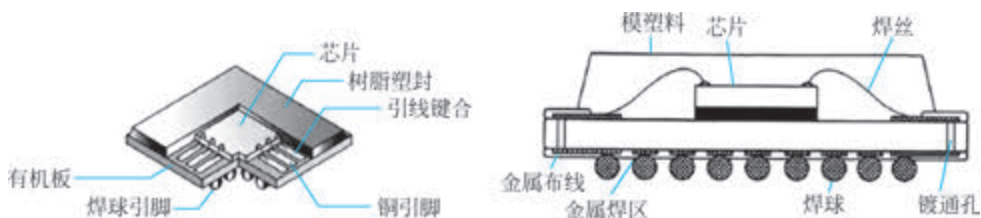


图 3-13 PBGA 结构

PBGA 器件可以使用标准的表面贴装方法装配到 PCB 上。装配时先将焊膏通过模板印制到 PCB 的焊盘上面形成焊膏阵列图形,将器件焊球向下安置在焊膏上面,令焊球与焊膏(焊盘)对齐,然后对整个体系加热进行回流焊。此时器件焊球与 PCB 上的焊膏均熔化,在表面张力的作用下,器件与焊盘自动对齐。

PBGA 的优点如下。

(1) 制造商完全可以利用现有的装配技术和廉价的材料,从而确保整个封装器件具有较低廉的价格。

- (2) 与 QFP 器件相比较,产生的机械损伤很少。
- (3) 和 PCB 的热匹配性好,安装质量很高。
- (4) 与 PCB 连接时,焊球焊接可以自对准。
- (5) 对焊球的共面要求较为宽松,因为在安装过程中焊球将作为焊料熔化。
- (6) 安放时易于对准。
- (7) 电性能良好。
- (8) 可用于 MCM 封装。

PBGA 封装的缺点主要是对湿气敏感,采用 PBGA 技术所面临的挑战是保持封装器件平面化或扁平化,对潮湿气体的吸收降到最低,防止“爆米花”现象(指器件受潮后封装材料爆裂导致器件报废)的产生,以及解决晶片尺寸较大时的器件可靠性问题。在具有大量 I/O 接口的器件中,这些问题尤为严重。与大多数的表面贴装器件不同,PBGA 器件装配完毕后,焊点的可靠性问题较为罕见,这是由于能使得焊点失效的机构极少。另外的一项挑战是继续降低 PBGA 封装的成本。经过不断努力,PBGA 器件可能成为具有良好性价比的替换 QFP 器件的手段(甚至在 I/O 数量少于 200 时也是如此)。

2. 陶瓷熔封球栅阵列

陶瓷熔封球栅阵列(CBGA)器件也称为焊球载体(Solder Ball Carrier, SBC)。制作 CBGA 器件时,首先将晶片与陶瓷多层基板的顶部表面相接合,然后用陶瓷材料熔封晶片,以为其提供物理保护,提高器件可靠性。此后,在陶瓷基板的底部表面安装锡铅合金(90% Pb-10% Sn)焊球。与塑封球栅阵列类似,焊球阵列可以采用全阵列分布,也可以采用部分分布,所采用的焊球尺寸为 1mm,间距为 1.27mm。

CBGA 器件同样能够使用表面贴装方法和回流焊工艺进行装配。CBGA 所用的回流焊工艺与 PBGA 略有不同,这主要是由于焊球的组分发生了变化。PBGA 中的低熔点锡铅合金焊膏(37% Pb-63% Sn)在 183℃ 时即可熔化,而 CBGA 焊球(90% Pb-10% Sn)在约 300℃ 时方可熔化。一般标准的表面贴装回流焊所采用的 220℃ 加热温度仅能够熔化焊膏,却不能熔化焊球。因此,为了能够形成良好的焊点,在焊接 CBGA 器件时,需要在电路板上涂覆更多焊膏。在回流焊过程中,熔化的焊膏填充在焊球的周围,焊球起到刚性支座的作用。在焊接过程中,焊膏与焊球之间也会发生相互扩散,焊接完成后二者之间并不存在一个明确的界限,而是在二者之间形成一个铅锡比例近线性变化的区间。CBGA 结构如图 3-14 所示。

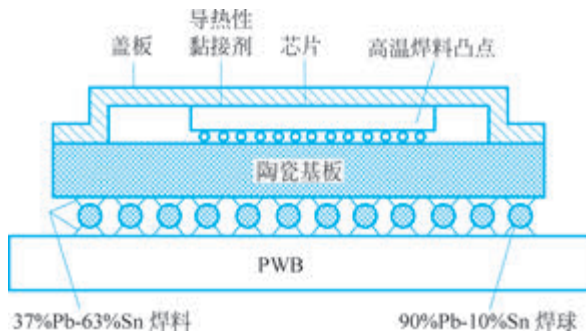


图 3-14 CBGA 结构

与 PBGA 器件不同, CBGA 器件虽然气密性良好, 但在电路板和陶瓷封装材料之间存在热膨胀系数不匹配的问题, 对器件进行热循环处理后, 焊点失效问题较为严重。大量的可靠性测试工作显示, 边长不超过 32mm 的 CBGA 器件可以耐受业界通用的热循环测试。若焊球间距为 1.27mm, 该尺寸的器件最多可以承载 625 个 I/O 引脚。边长超过 32mm 的 CBGA 器件在热循环测试中的表现不佳, 故而对于此类大尺寸器件, 应该考虑其他封装方式。

CBGA 封装的优点如下。

- (1) 可靠性高, 有优良的热性能和电性能。
- (2) 与 QFP 器件相比较, 很少会受到机械损坏的影响。
- (3) I/O 引脚数量高于 250 的元件具有非常高的封装效率(即晶片占据器件的比例), 这有利于器件的小型化。
- (4) 共面性好, 焊点成形容易。
- (5) 对湿气不敏感。
- (6) I/O 引脚密度高。
- (7) 和 MCM 工艺相容。
- (8) 具有一定的可返修性。

另外, 此种封装可以将晶片倒装在基板上, 相较于引线键合方法, 倒装芯片方法可以进一步提高封装效率。此外, 倒装芯片可以在不影响器件原有功能的前提下节省晶片的布线面积。这有利于器件的小型化, 同时提高了晶圆的利用率, 使制造成本降低。

CBGA 封装也存在一些局限性。

- (1) 陶瓷基板与环氧树脂 PCB 的热膨胀系数不同, 二者的热匹配性差, 产品耐受热循环与热冲击的效果不佳。
- (2) 封装成本高。

总体而言, CBGA 技术在实际应用中不存在很重大的技术难题, 最大的问题是与现有贴装设备的兼容性, 以及工艺的高成本。另外, 这种封装重量相当大, 不适用于便携式电子产品。因此, CBGA 器件主要在高性能、高 I/O 引脚数量等应用领域发挥作用, 且多用于工业与军事领域。

3. 陶瓷熔封焊柱阵列

陶瓷熔封焊柱阵列(CCGA)器件也称为焊柱载体(Solder Column Carrier, SCC), 其主要作为大尺寸 CBGA(边长大于 32mm)器件的替代品, 是 CBGA 的扩展。CCGA 结构如图 3-15 所示, 其采用 90%Pb-10%Sn 的焊柱阵列替代陶瓷底面的贴装焊球。与前述两种封装相同, 焊柱阵列可以采用全填充排布, 也可以采用部分填充排布, 圆柱的直径为 0.508mm, 高度约为 18mm, 间距为 1.27mm。目前采用 CCGA 技术的产品很少, 其主要用于对气密性有严格要求的大尺寸器件。

与 CBGA 器件的焊球不同, CCGA 器件上的焊柱能够承受电路板和陶瓷封装之间的热膨胀系数失配所产生的应力作用。这种封装清洗容易, 耐热性好, 可靠性高。大量的可靠性测试工作证明, CCGA 器件的优点和缺点与 CBGA 器件非常类似, 但焊柱比焊球更容易受到机械损伤。

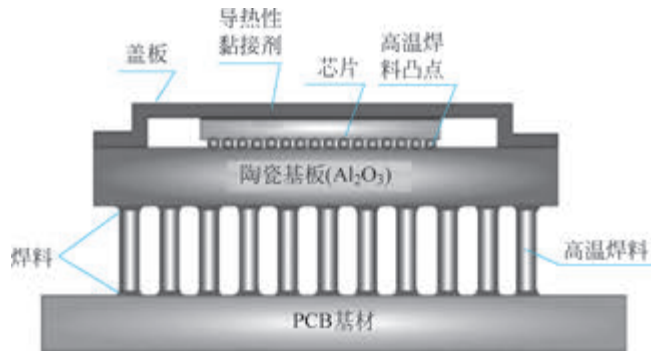


图 3-15 CCGA 结构

4. 载带球栅阵列

载带球栅阵列 (TBGA) 也称为阵列载带自动键合 (Array Tape Automated Bonding, ATAB), 是一种相对新颖的 BGA 形式。该方法使用引线键合或倒装芯片方法连接晶片与导电载带, 将晶片妥善包封后, 将焊球以类似于引线键合的微焊接 (Micro-Welding) 工艺处理逐一地连接到载带的另一面。

TBGA 封装器件及其结构如图 3-16 所示, 焊球采用锡铅合金 (90%Pb-10%Sn) 制造, 直径为 0.9mm, 间距一般为 1.27mm。焊球仅能以周边阵列形态分布, 因为晶片对面的封装基板底部被环氧封装材料占据。当焊球和晶片被装配好后, 将一个镀锡的铜加强肋安置在载带的顶部表面上, 其确保器件的刚性与平面化。将 PBGA、CBGA 器件装配到 PCB 上的表面贴装工艺同样适用于 TBGA 器件。

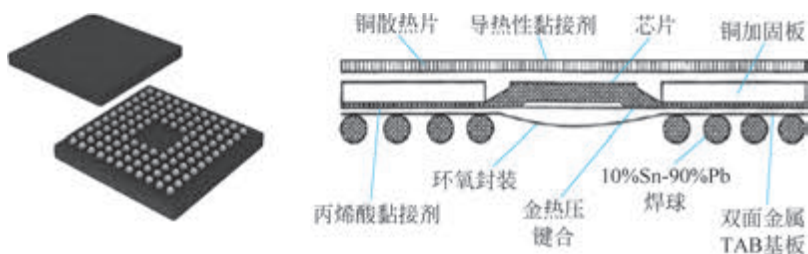


图 3-16 TBGA 封装器件及其结构

TBGA 封装具有以下优点。

- (1) 比绝大多数的 BGA 器件 (特别是具有大量 I/O 接口的) 要轻和小。
- (2) 比 QFP 器件和绝大多数其他 BGA 的电性能要好。
- (3) 尽管在芯片连接中存在局部应力, 但总体上和 PCB 的热匹配性较好。
- (4) 具有非常高的封装效率。
- (5) 是最薄的 BGA 封装, 可节省安装空间。
- (6) 是经济型的 BGA 封装。

另外, 这种封装使用载带键合作为零级封装方案, 其空间利用率要高于引线键合, 其他优点与 CBGA 器件类似, 且热膨胀系数适配引发的问题相对较轻。在实际应用中, TBGA 遇到的技术方面的挑战很少, 其最大问题在于隔湿与散热能力不佳。此外, TBGA 封装的

成本较高,在扩大其应用规模之前,必须进一步提升性价比。目前,TBGA 器件主要用于需要大量 I/O 接口的场合。

3.5.2 BGA 器件的制作及安装

1. 塑封球栅阵列(PBGA)的制作工艺

塑封球栅阵列(PBGA)器件中的焊球阵列安装在与封装基板相连的一面,另一面用于芯片的安装与引线键合。下面以 Motorola 公司的模压塑料阵列载体(OMPAC)工艺为例,介绍 PBGA 器件的制作过程。

OMPAC 器件的基板为 BT 树脂或玻璃制成的印制电路板(PCB),BT 树脂或玻璃芯材被层压在两层 $18\mu\text{m}$ 厚的铜箔之间,然后钻出通孔,并对通孔进行填镀,通孔一般位于基板的四周。用常规的 PCB 工艺在基板的两面制作图形(导线、电极以及安装焊料球的焊区阵列),随后进行图形化,暴露出电极和焊区金属。

基板制备好之后,首先用填银环氧树脂(导电胶)将硅芯片黏接到镀有镍/金的薄层上,黏接固化后用热压超声球形引线键合方法将 IC 芯片上的铝焊区与基板上的镀镍/金丝焊电路相连。然后用填有石灰粉的环氧树脂膜压料进行模压密封。树脂固化之后,使用自动拾放机械手系统将预制好的浸有焊膏的焊球安放到各个焊区上,使用回流焊工艺在 N_2 气氛保护下进行焊料回流,使焊料球与镀镍/金的焊区焊接形成焊料凸点。

在基板上安装焊料球时可采用两种方法:“球在上”和“球在下”。“球在上”方法是指先在基板上丝网印刷焊膏,将印有焊膏的基板装在夹具上,用定位销将带有筛孔的顶板与基板对准(筛孔的中心距与阵列焊点的中心距相同),将焊球放在顶板上,使焊球通过顶板上的孔阵列落到基板焊区的焊膏上(多余的焊球则落入其他容器被回收)。待球放置完毕后取下顶板,将器件进行回流焊,然后进行清洗。

“球在下”方法的过程与“球在上”方法相反。该方法先将带有孔洞阵列(孔洞直径小于料球)的特殊夹具(小舟)放在一个振动/摇动装置上,将焊球放置在上面,通过振动使球定位于各个孔排成阵列,在焊球上涂覆焊膏,再将基板放置于其上,回流焊之后进行清洗。

焊球的直径一般为 0.76mm 或 0.89mm 。PBGA 焊球的成分为低熔点的 $63\%\text{Sn}-37\%\text{Pb}$ 合金(OMPAC 使用的焊球为 $62\%\text{Sn}-36\%\text{Pb}-2\%\text{Ag}$ 合金),而 CBGA、CCGA 焊球的成分通常为高熔点的 $10\%\text{Sn}-90\%\text{Pb}$ 合金。

焊球的排布可分为全阵列(覆盖整个基板区域)和部分阵列(覆盖一部分基板区域)两种。当芯片与焊球位于基板的同一面时(一部分 CBGA 和 MBGA 采用此布局),只能采用部分阵列,因为中间位置被芯片占据;允许使用全阵列排布时,有时也会放弃基板的中间区域,采用部分阵列的排布方式,这样做是为了提高电路板的布线灵活性。

2. 载带球栅阵列(TBGA)的制作工艺

载带球栅阵列(TBGA)封装的晶片载体为聚酰亚胺(PI)载带。先在载带上冲孔,然后电镀通孔,在载带两面进行铜金属化,达到所需厚度再镀镍和金。再将带有金属化通孔和再分布图形的载带分割成单体,进行下道工序。

首先,用微焊技术把焊球($10\%\text{Sn}-90\%\text{Pb}$)焊接到载带上,使焊球的顶部熔进电镀通孔内。接着在载带的外引线区用绝缘胶黏接一个铜质的加强环,该加强环像一个画框,在其开孔处将芯片焊到载带上。安装晶片时,对于面阵型芯片(焊盘分布于整个工作面上),可用

IBM 的 C4 工艺；对于周边型金凸点芯片（焊盘分布于晶片边缘），则用标准的热压键合。C4 芯片的 I/O 节距可达 $62.6\mu\text{m}$ ，典型热压键合芯片的 I/O 节距生产水平达 $83\mu\text{m}$ ，实验室样品水平已达 $74\mu\text{m}$ 。焊接后用环氧树脂把芯片包封起来，如有需要，还可以在芯片上方黏接一个盖板。黏接时在芯片与盖板之间使用导热性黏接剂，此盖板可增强器件的散热性能，并能为后续器件贴装过程中的拾放提供较大的接触面。TBGA 的尺寸一般遵照 JEDEC (Joint Electron Device Engineering Council) 标准。

TBGA 是适用于高 I/O 数应用的一种封装形式，根据应用要求，I/O 数可为 200~1000，晶片与载体之间的连接既可以用倒装芯片焊料再流，也可以用热压键合。TBGA 的贴装使用标准的 63% Sn-37% Pb 焊膏。TBGA 与 PCB 之间有良好的热匹配性，在安装 TBGA 时由于焊料的表面张力作用，即使焊球与 PCB 上焊区对准偏差达 50%，仍能将焊球拉回到中心位置，从而提供可靠连接。

3. 陶瓷熔封球栅阵列 (CBGA) 和陶瓷熔封焊柱阵列 (CCGA) 的制作工艺

与 PBGA 和 TBGA 相比，陶瓷熔封球栅阵列 (CBGA) 封装的结构与制作工艺较为复杂，主要区别如下。

(1) CBGA 基板是多层陶瓷布线基板，而 PBGA 基板通常为 BT 树脂多层布线基板，TBGA 基板则是有加强环结构的聚酰亚胺 (PI) 多层铜布线载带。

(2) CBGA 与 TBGA 基板下面的焊球为 90% Pb-10% Sn 或 95% Pb-5% Sn 的高温焊球，而 PBGA 则使用 37% Pb-63% Sn 的低温焊球。

(3) CBGA 使用陶瓷进行熔封，属于气密性封装；而 PBGA 和 TBGA 则为塑料封装，是非气密性封装。

从 CBGA 与 PBGA、TBGA 的结构比较可以看出，制作 CBGA 的工艺相对要复杂些。图 3-17 所示为 5 层陶瓷基板的布线结构，其中的多层布线分成信号层、电源层和接地层；晶片以倒装方法连接至基板顶端。

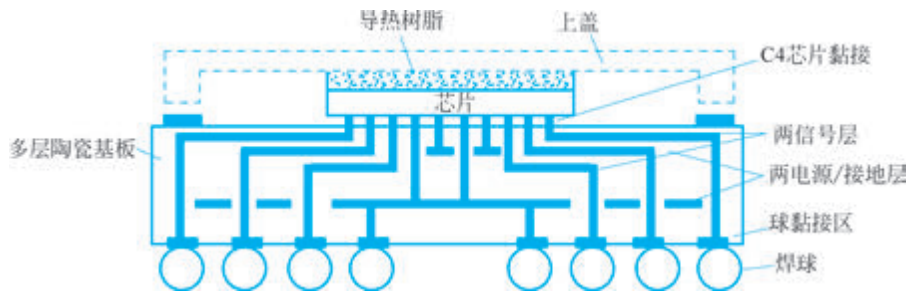


图 3-17 5 层陶瓷基板的布线结构

陶瓷封盖的周边及基板的周边有金属化层，以便密封焊接；芯片背面与盖板之间填充导热树脂以增强器件散热性能；高温焊球焊接在陶瓷基板底部的金属焊区。

首先用高温共烧结陶瓷 (High Temperature Co-fired Ceramic, HTCC) 或低温共烧结陶瓷 (Low Temperature Co-fired Ceramic, LTCC) 制作技术制成 CBGA 的多层陶瓷布线基板，然后在陶瓷基板布线区上印制低温共熔铅锡焊膏，将具有 C4 凸点的基片倒装在基板上，芯片另一面涂上导热树脂，再盖上陶瓷封盖，采用陶瓷金属化密封技术，密封好 CBGA 封装盖板。

将晶片包封完成后,使用植球法或焊膏印制法将高温焊球连接到多层陶瓷基板的底部金属焊区,便成为完整的CBGA封装。封装后应对其焊球阵列的完好性和每个焊球的完整性进行检查,必要时应进行修补。

陶瓷熔封焊柱阵列(CCGA)封装技术与CBGA封装技术基本一致,将CBGA中的高温铅锡焊球换成高温铅锡焊柱即可,如图3-18所示。

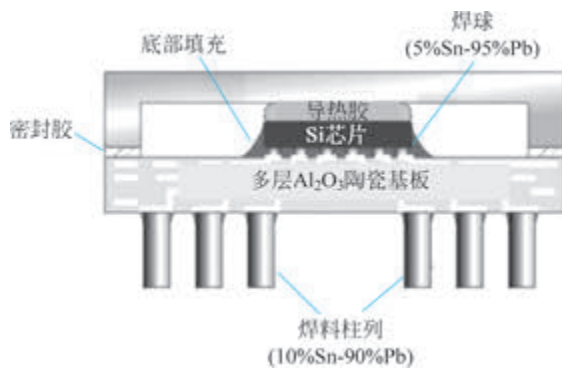


图 3-18 CCGA 结构示意图

4. BGA 器件的安装与再流焊

以载带球栅阵列(TBGA)器件为例,将TBGA组装至PCB上时,第一步是丝网印制焊膏,用不锈钢模板在PCB上涂覆焊膏图形。由于将BGA芯片安装在PCB上并进行回流焊后只能看到外围焊点,不能对里面的焊点情况进行目检,故第二步是在安放TBGA器件之前检查所印制的焊膏,保证每个焊区上都有合适的焊膏量。第三步是向PCB上安放TBGA器件。带有观测系统的自动安装机可高速准确地安装TBGA(TBGA预先装在料盘中),安放时的压力应足够,但不能过大,既要使所有焊球都与焊膏接触,又不能把焊膏挤开。第四步是回流焊,可以采用气相焊、红外焊和热风对流焊等方法进行。回流焊过程中要保证每个焊点都充分回流。第五步是清洗,即使用去离子水清洗掉水溶性焊膏和焊剂,然后进行干燥,同时用压缩空气吹扫TBGA器件与PCB之间的间隙,以彻底去除残留水分。第六步是检查焊点,对于周边焊点可用立体显微镜进行目检;此外,用透射X射线可检查内部焊点的缺陷,如桥连、焊球孔隙等。

将其他BGA器件贴装在PCB上的工序与TBGA器件的贴装方法类似,BGA在PCB上的安装与目前的SMT设备和工艺可完全兼容。贴装前需检查BGA焊球的共面性以及有无脱落。此后,先将低熔点焊膏丝网印制到PCB的焊盘阵列上,用安装设备将BGA器件对准放在印有焊膏的焊盘上,然后进行标准的SMT回流焊。

对于PBGA而言,因其焊球合金的熔点较低,回流焊时焊球部分熔化,与焊膏一起形成C4焊点,焊点的高度比原来的焊球低;而CBGA的焊球是高熔点合金,回流焊时不熔化,焊点的高度不降低。如前所述,BGA器件进行回流焊时,熔融焊料的表面张力使得焊接过程出现一种独特的“自对准效应”。因此,BGA器件的贴装成品率很高,且在安放过程中允许有一定的位置偏差。安放时操作人员无法看到焊料球的对位情况,因此一般要在电路板上做标记,安放时使BGA器件的外轮廓与标记对准。

5. 焊点的质量检测

对于 BGA,检测焊点质量是比较困难的。由于焊点被隐藏在装配的 BGA 下面,因此通常的目检和光学自动检测不能检测焊点质量。目前,国外主要采用 X 射线断面自动工艺检测设备进行 BGA 焊点的质量检测。

X 射线断面自动工艺检测设备能用 X 射线切片技术分清 BGA 焊点的边界,因而可以对每个焊点区域进行精确检测。这种检测设备能用很小的视场景深产生 X 射线焦面,并且将 BGA 焊点的每个边界区域移到焦面上分别照相。对于每个图像,采取特征值算法规则读出铜焊区及互连 X 射线图像关键点的灰度级,并将灰度级读数转换成对应的物理尺寸,尺寸数据被送入可自动生成工程控制图的统计过程控制装置,并存储起来作为统计过程控制(Statistical Process Control,SPC)分析的历史资料。依此可准确对各个焊点作出允许/拒收的判断,按照缺陷检测算法规则自动处理检测数据,并最终对每个器件作出允许或拒收的结论。

当器件的焊接质量不合格时,需要返工并重新焊接,其流程一般为:确认缺陷 BGA 组件→拆卸 BGA→BGA 焊盘预处理→检测焊膏涂敷→重新安放组件并进行回流焊→检测。

3.5.3 BGA 的质量检测与控制

采用 BGA 技术封装的器件性能优于常规的元器件,但是许多生产厂家仍然不愿意投资开发与大批量生产 BGA 器件。究其原因,主要是 BGA 器件焊接点的测试相当困难,不容易保证其质量和可靠性。

1. 器件焊接点检测中存在的问题

目前,中等规模到大规模采用 BGA 器件进行电子封装的厂商,主要是采用电学检测的方式筛选 BGA 器件的焊接缺陷。在 BGA 器件装配工艺过程中控制质量和鉴别缺陷的方法包括使用 X 射线进行装配后的最终检验,以及电学测试的结果分析。

对 BGA 器件进行电学测试是一项极具挑战性的技术。一方面,仅凭电学测试,难以检查和鉴别出 BGA 器件的所有缺陷,这在很大程度上增加了用于排除缺陷和返修时的费用支出;另一方面,根据经验,采用电学测试方式对 BGA 器件进行测试后,从 PCB 装配线上剔除的所有 BGA 器件中,超过 50%实际上并不存在缺陷,是被错误剔除的。目前,电学测试的作用仅限于通过各端口电压-电流的输入-输出关系确定 BGA 器件的宏观电学表现与理想情况是否符合。

BGA 封装是单纯的物理接合工艺过程。为了确定与调控此工艺在实际生产过程中的执行质量,需要了解各类影响可靠性的物理因素,如焊料量、导线和焊盘的定位情况以及润湿性,并对它们进行验证与测试。归根结底,电学测试结果仅是芯片呈现出来的行为表象,其提供信息较为有限,无法显示芯片结构与缺陷的全貌,更无法彻底揭示芯片出现缺陷的原因。

2. BGA 焊前检测与质量控制

生产中质量控制非常重要,尤其是在 BGA 中,任何缺陷都会导致 BGA 器件在印制电路板焊装过程中出现差错,并在此后的工艺中引发质量问题。封装工艺中所要求的主要性能有封装组件的可靠性、与 PCB 的热匹配性、焊球的共面性、对湿度的敏感性、器件边缘与 PCB 标记对齐的准确性,以及加工的经济性等。需要指出的是,无论通过何种工艺制作

出的焊球,都可能从封装基板上脱落,或者尺寸过大、过小,或者发生焊料桥接、缺损等情况。因此,在进行表面贴装之前,需要对器件的参数进行检测与调控。

英国 Scantron 公司研发的 Proscan 1000 光学扫描系统可测量焊球的位置与形貌参数。该系统采用三角激光测量法,属于非接触式扫描设备,由高准确度的激光移动探针、探针框架和搭载了配套软件的计算机组成,最大数据获取速度可达每秒 10 个焊球。Proscan 1000 系统还能用于计算表面粗糙度、体积、表面积和截面积等参数。

3. BGA 焊后质量检测

如前所述,检测焊后安装质量始终是 BGA 贴装工艺中的难题。这类器件在贴装后,检验人员无法目检内部焊点的焊接质量;其他的一些技术,如芯片直接贴装(Chip on Board, COB)及倒装芯片(Flip-Chip)安装等也面临同样的问题。此外,具有射频屏蔽罩的 QFP 器件也面临相同问题。

为满足用户对可靠性的要求,必须解决不可见焊点的检测问题。使用光学与激光系统的检测(如光学自动检测系统)也不可行,因为它们同样需要畅通的光路才能进行检测。为解决这些问题,必须寻求其他检测办法。对于这些焊点不可见的器件,目前的生产检测技术有电学测试和 X 射线测试等。

3.5.4 BGA 基板

BGA 基板应具备以下几个功能:①提供电学通路;②提供导热渠道;③为内部晶片提供固定与保护。此外,基板与电路板的热膨胀系数应当匹配。

热膨胀系数是选择基板时需要考虑的重要因素。硅的热膨胀系数约为 $2.8 \times 10^{-6} / ^\circ\text{C}$,常见层压 PCB 材料(BT 树脂或混入玻璃纤维的 BT 树脂)的热膨胀系数一般为 $1.8 \times 10^{-6} / ^\circ\text{C}$,而陶瓷基板的热膨胀系数约为 $7 \times 10^{-6} / ^\circ\text{C}$,与硅和层压 PCB 之间均存在一定的失配问题。如果两类接触材料之间的热膨胀系数不能很好地匹配,就必须使用包封材料、填料、芯片键合材料或其他特殊方法弥补不足。

在实际生产中,通常采用层压 PCB 以简化二级互连(芯片基板与 PCB 之间的连接),同时采用芯片键合或填料解决一级互连(晶片与封装基板之间连接)的热膨胀系数不匹配问题。例如,奔腾处理器芯片就采用了在有机基板上使用填料的倒装芯片互连技术。

许多 BGA 芯片常采用载带基板或柔性基板。多数情况下,这类基板是一种带有一层金属层的双层有机材料载带。美国 ASTI 公司目前正在生产一种载带基板,其宽度为 $100 \mu\text{m}$,金属线条尺寸为 $25 \mu\text{m}$ 。此外,ASTI 公司还可生产一种多层有机基板,层与层之间通过锡-铜点墨技术相连接。

封装基板通常采用陶瓷材料,以提高器件的可靠性。为了实现用铜制作图形并集成无源元件的目的,目前常采用低温共烧结陶瓷(LTCC)技术制作此类基板。

通常,边长超过 32mm 的陶瓷基板与 PCB 之间的热膨胀系数失配现象尤为严重,容易对器件的可靠性造成损害。一种可行的解决方案是使用与陶瓷基板热膨胀系数相配的特殊电路板;此外,若确实需要在有机 PCB 上贴装尺寸较大的陶瓷封装器件,可用焊柱取代焊球,此时的封装即为前述的陶瓷熔封焊柱阵列(CCGA)封装。将焊球延展为焊柱有助于缓和热膨胀系数适配引入的应力,从而改善连接处的疲劳寿命。Kyocera 公司已成功研制出一种供 BGA 器件使用的陷窝型陶瓷基板,这种基板的特点是采用焊料填充陷窝,从而有效

地增加了焊料块高度。

目前,除高昂的制造成本外,陶瓷基板与有机 PCB 之间的热膨胀失配问题是阻碍其大规模应用的主要因素。援引一些业内人士的观点,陶瓷基板可以最大限度地提高 BGA 器件的可靠性,而有机基板保障的则是表面贴装技术的可靠性、工艺成熟性、通用性与低成本,必要时应视其他加工条件加以取舍。总体而言,基板材料的选取应视工艺条件与应用需求而定。

课后思考题

1. 一级封装包括哪些关键的封装类型?
2. 描述 DIP 的工艺流程,并解释这种封装在 20 世纪 70 年代被广泛使用的原因。
3. 表面贴装技术(SMT)的发展对封装技术产生了哪些影响?请举例说明。
4. BGA 封装技术是如何适应高 I/O 引脚数的 IC 需求的? BGA 的主要类型有哪些?
5. CSP 技术的出现对 MCM 的发展有何重要意义?
6. 描述 CDIP 的工艺流程,并讨论其优缺点。
7. PDIP 相比于 CDIP 有哪些优势?为什么 PDIP 在某些应用中可能更受青睐?
8. 比较 SOP 和 SOJ 封装的优缺点,并讨论它们在现代电子制造中的适用性。
9. QFP 技术的发展带来了哪些优势?为什么它适合高频应用?
10. BGA 封装技术相比于传统封装技术(如 DIP 或 QFP),在性能和成本方面有哪些显著的改进?